

動的再構成可能なアナログRF回路設計技術

- Dynamic Reconfigurable RF Circuit Design -

岡田健一 中村恒一 吉原義昭 菅原弘雄 益一哉 東京工業大学精密工学研究所

研究背景

RF回路設計

無線通信システムの広帯域化
WLAN, WCDMA, GPS, PHS, DTV, UWBへの対応
2.4GHz (IEEE802.11b) / 5GHz (IEEE802.11a)
無線送受信回路のワンチップ化
無線回路をSi基板上で設計する必要

素子モデリングの困難さ
製造ばらつき
設計生産性
アプリケーションの多様化
意図した通りの性能が得られない

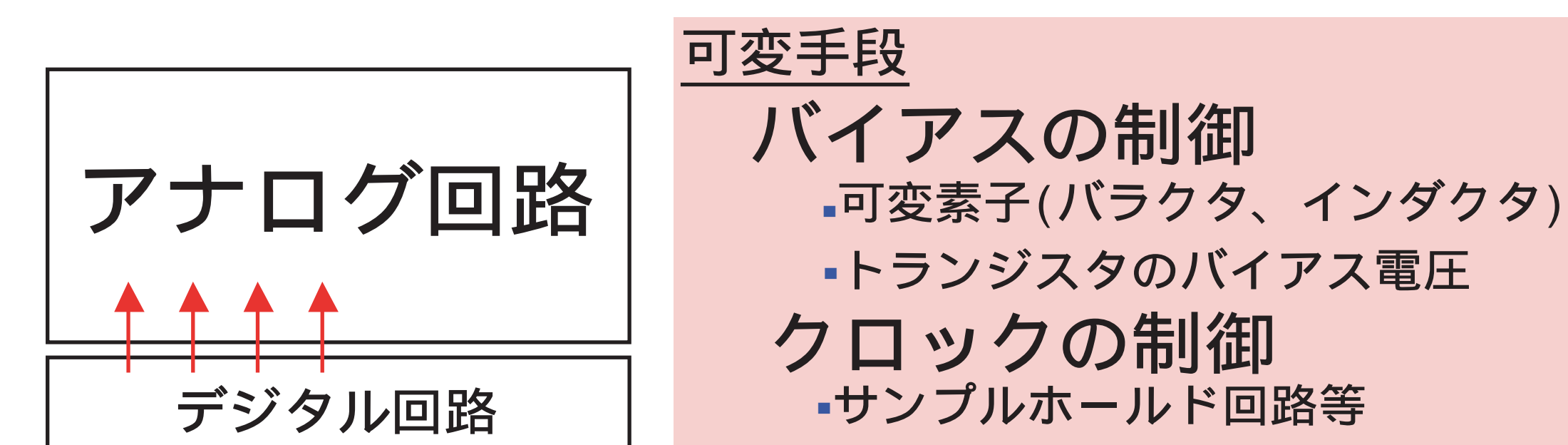
提案手法 - 動的再構成可能なRF回路アーキテクチャ -

アナログ回路部分をデジタル回路により制御

→ 時分割での多機能化 2.4~5GHz VCO等

→ 動作時に回路特性を動的補償

モデル化誤差、温度、製造ばらつき、電源変動



素人でもRF回路設計を

利点

- 高性能化(設計マージンの削減) → 低消費電力の達成
- 動的再構成による多機能化 → 回路面積削減
- 設計容易化
- 歩留り向上
- アナログIPの再利用性向上
- CADとの親和性向上

欠点

- 回路面積の増加
- コントロール部による消費電力の増加(トレードオフ)

従来研究

デジタル系

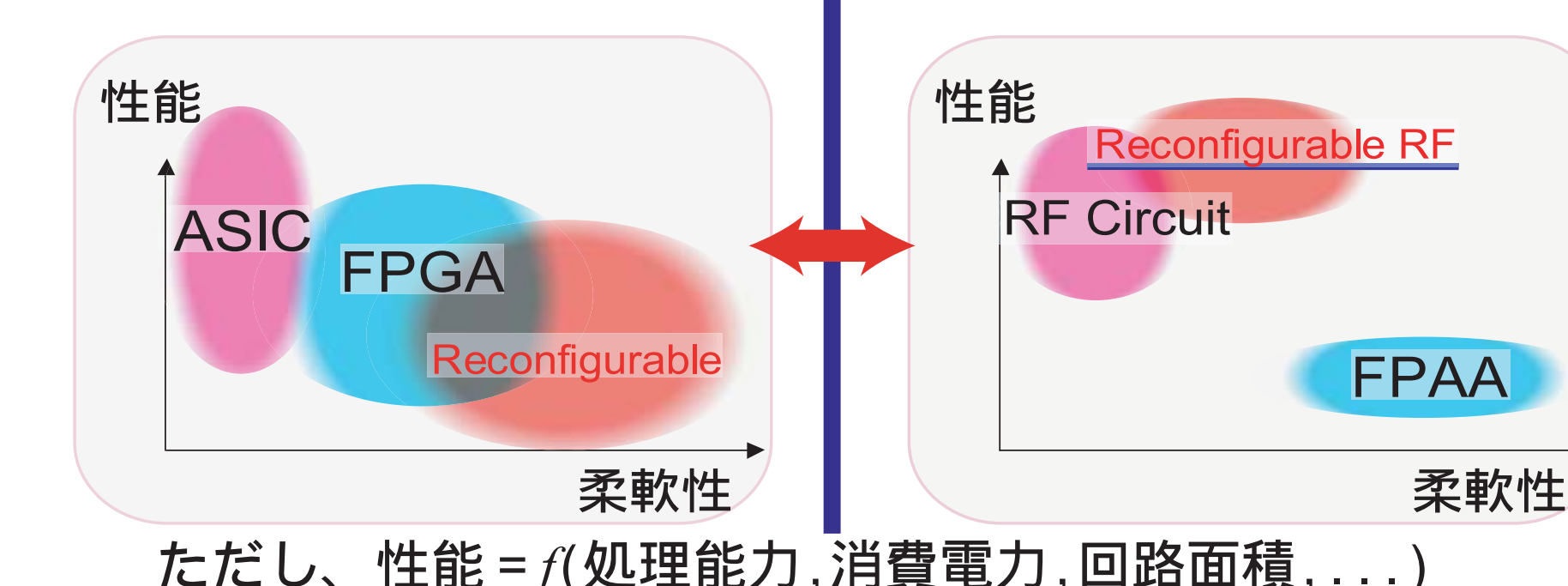
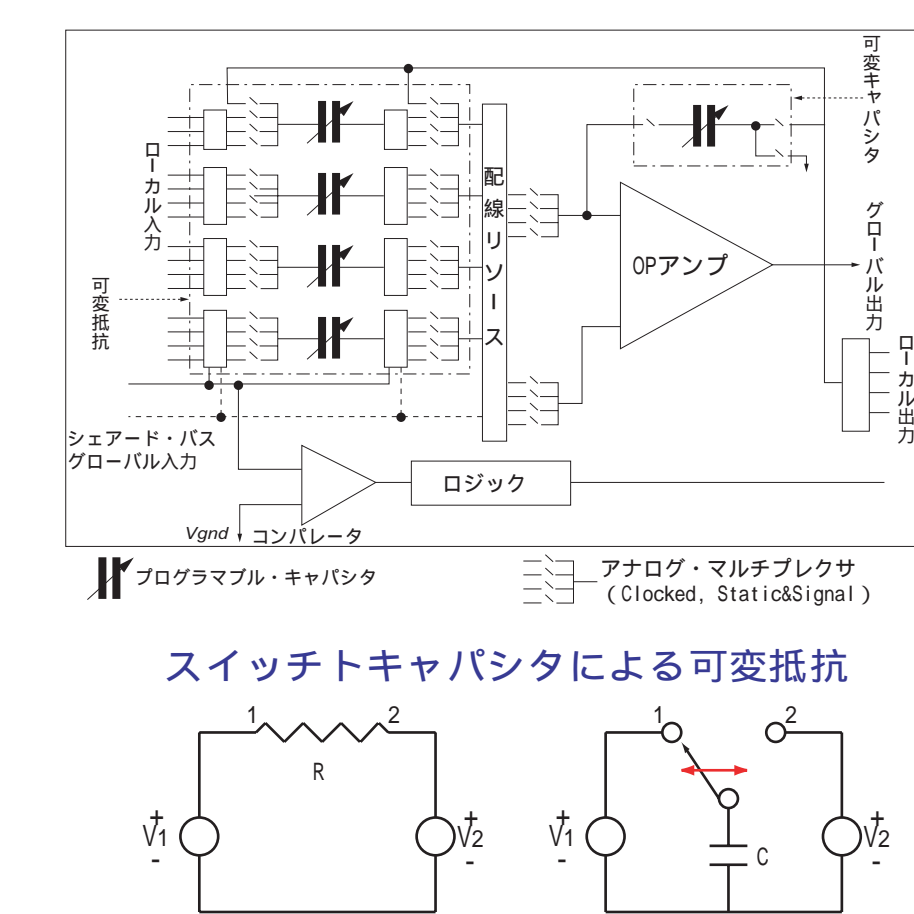
Programmable Logic Devices

- Programmable Logic Array
- Field Programmable Gate Array
 - もともとはASICの設計方式
 - 製造後に開発現場でプログラム
- PLD/CPLD
- (Re)configurable Logic

アナログ系

FPAA(Field Programmable Analog Array) *アナタイム社 アナログ版FPGA

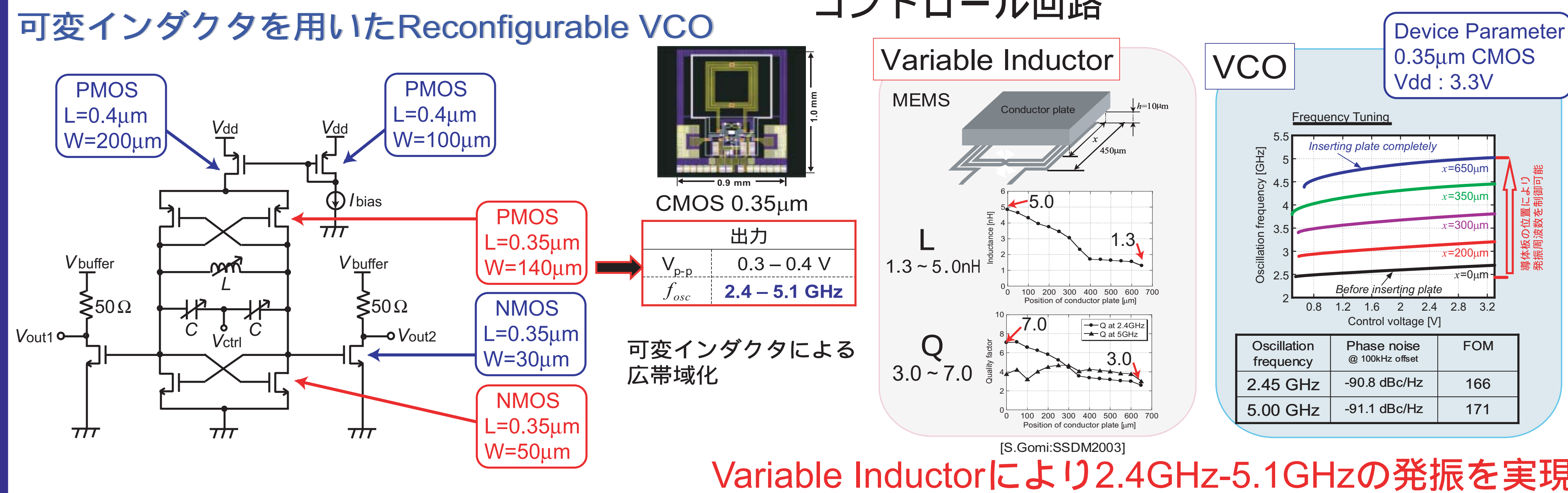
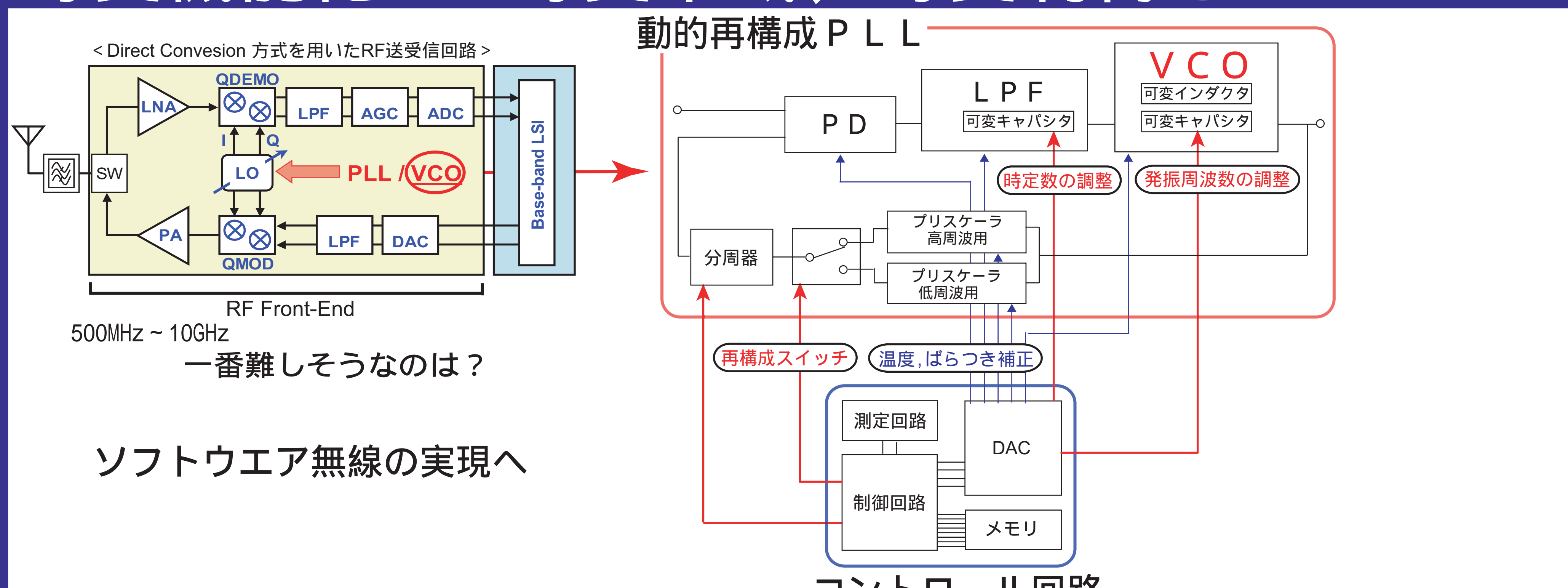
- 欠点**
- 動作速度、消費電力
 - 原理上、数十MHz程度の動作速度



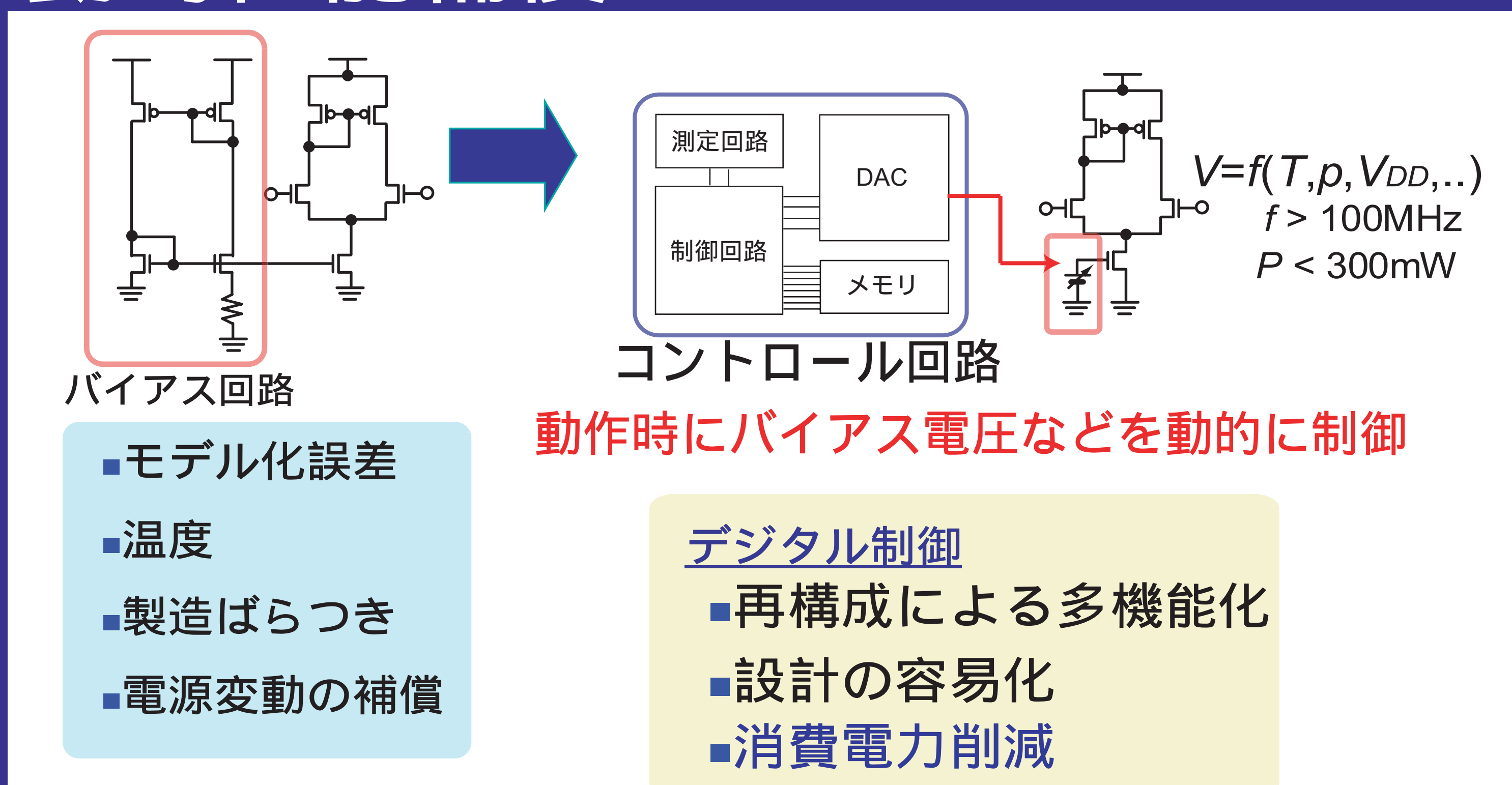
提案アーキテクチャ
→ specificに作り込むことで性能向上を目指す

ただし、性能 = f(処理能力, 消費電力, 回路面積, ...)

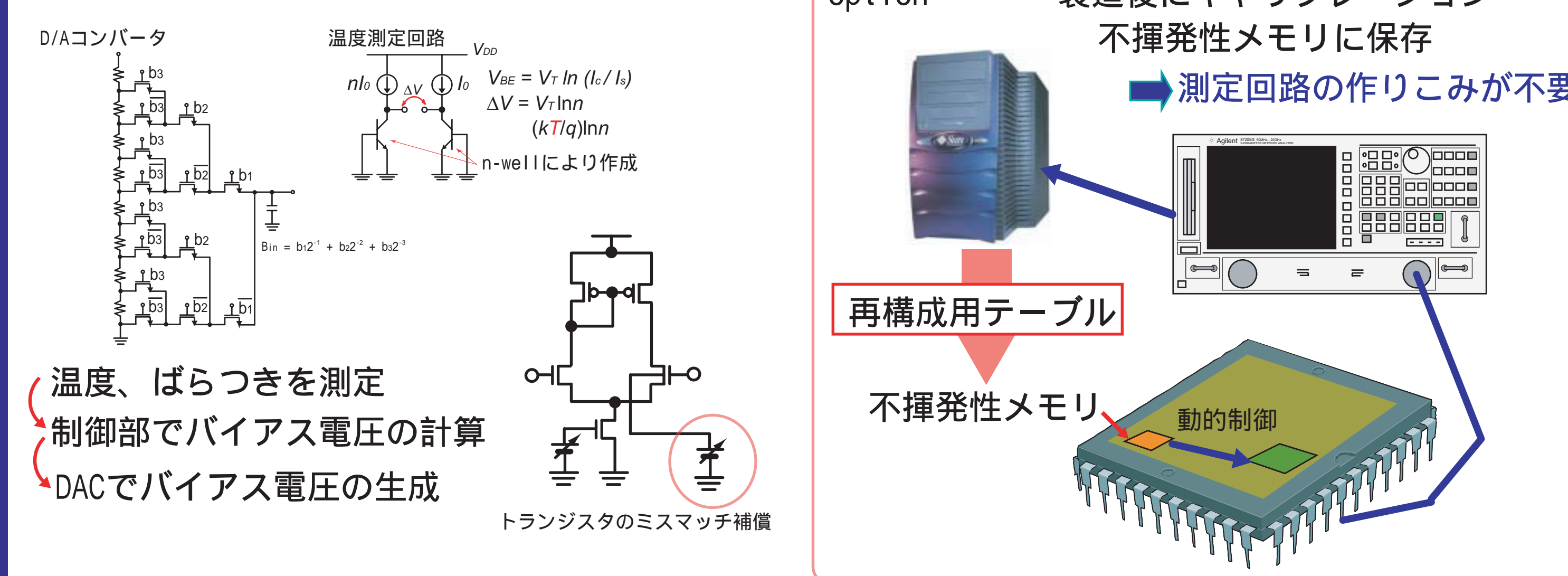
可変機能化 - 可変帯域、可変利得など -



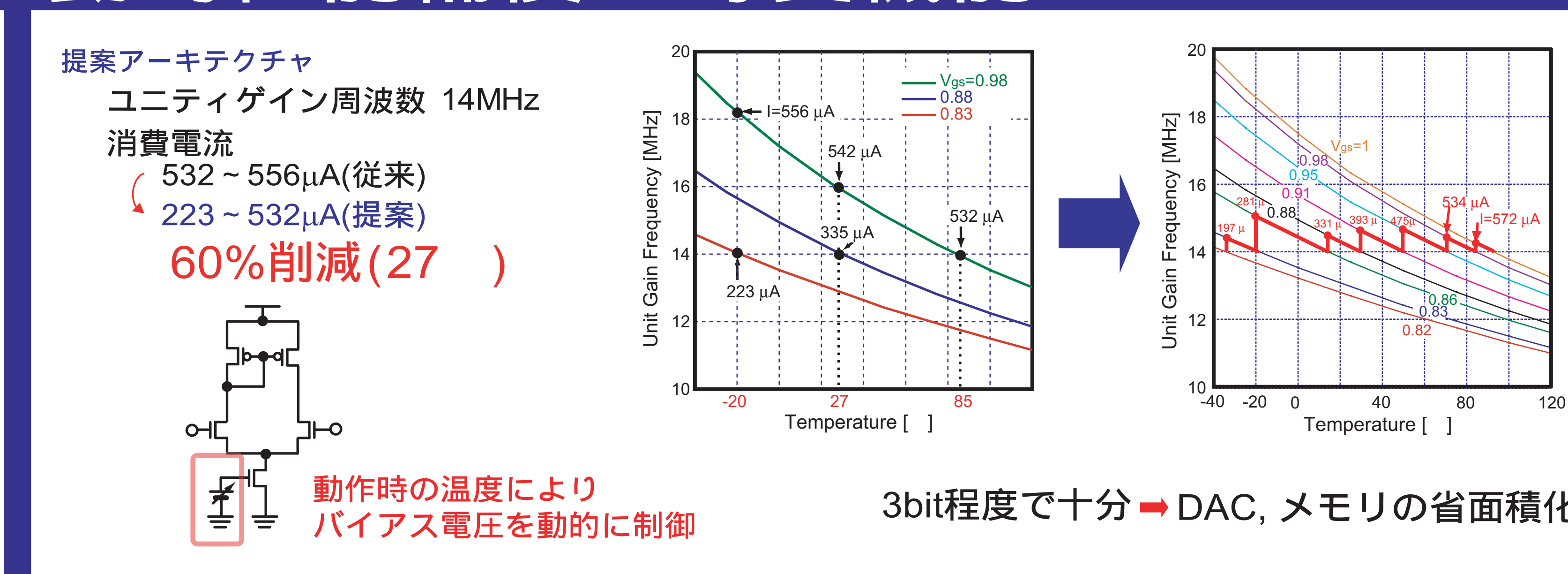
動的性能補償



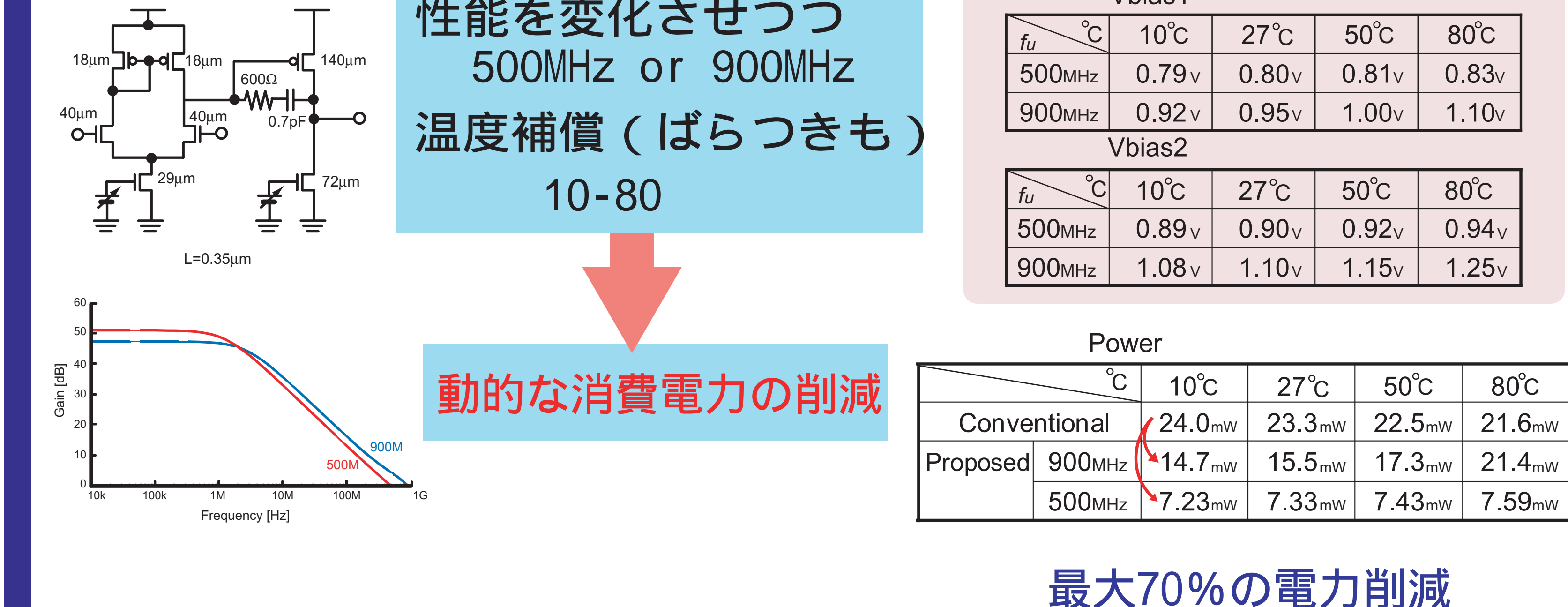
多次元制御



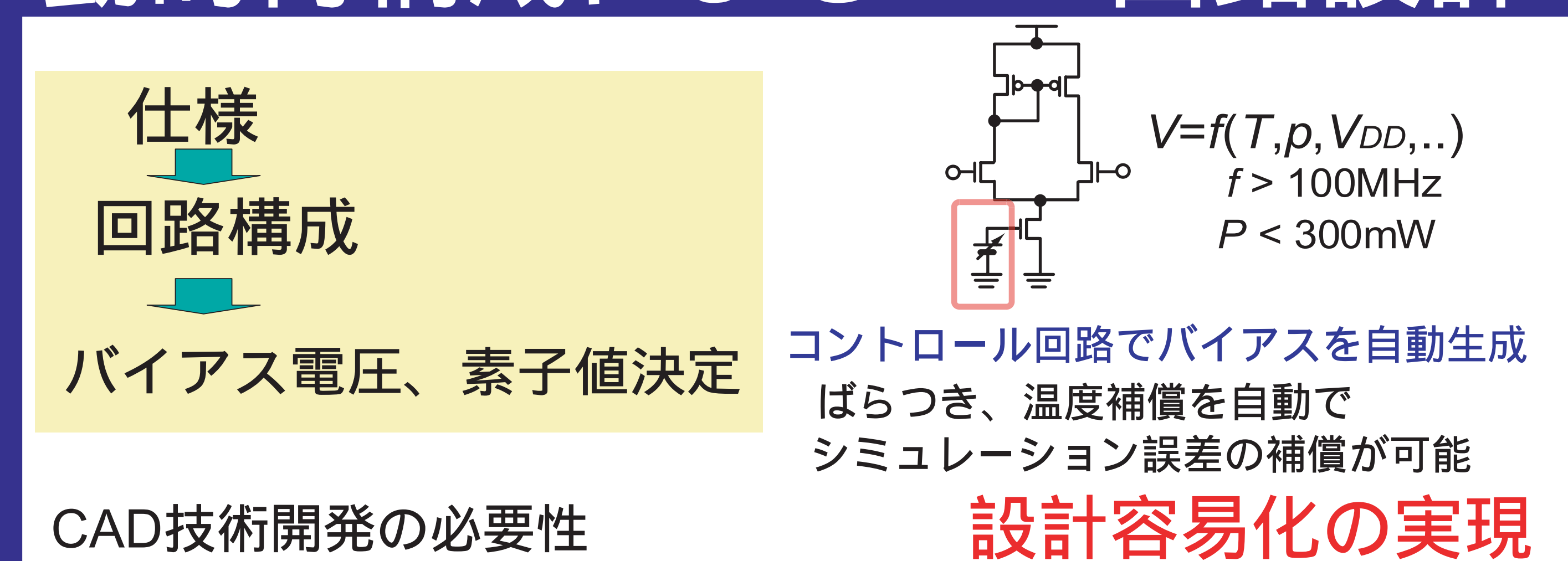
動的性能補償 + 可変機能



機能可変と組み合わせ オペアンプ



動的再構成によるRF回路設計 まとめ



アナログ回路アーキテクチャの提案

- 高性能化と設計容易化を両立
- 時分割多機能
 - 低消費電力
 - 高歩留り
- ファーストシリコンでの動作補償

検討課題

- 動的再構成可能な範囲の検討
 - 広可変RF回路技術の開発
 - 汎用的なコントロール回路の開発
コントロール電圧の再利用
 - 回路設計支援技術
 - D/Aコンバータ
ビット数(可変段数)
ばらつき補償
温度補償
 - メモリ
EEPROM
FeRAM
 - ばらつき測定回路
チップ間ばらつき
チップ内ばらつき
- 再構成能力の最適化
- Configurable
 - Reconfigurable
 - Dynamic Reconfigurable
 - Dynamic Self Reconfigurable
- 回路面積
消費電力の増加