

抵抗型 D/A 変換器のばらつき補償に関する研究

Study of calibration of resistance mismatch in Resistor DAC

夏 エン
Yuan Xia

宮原 正也
Masaya Miyahara

松澤 昭
Akira Matsuzawa

東京工業大学大学院 理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、無線通信の高速化に従い、DAC にも低消費電力、小面積、高 SFDR が要求されている。プロセスの微細化に伴う低電圧化が進む中、従来の電流型 DAC では出力振幅を十分に確保できない問題が発生している。これに対し、RDAC は出力振幅をグランドから電源電圧まで上げられるという利点を有している。しかし、抵抗ばらつきによる線形性の劣化という問題があるため、高分解能において高線形かつ小面積の RDAC の実現が困難である [1]。

本研究では、抵抗ばらつきを補償するキャリブレーション回路を提案し、RDAC の線形性の向上を達成した。

2 従来回路

一般に、従来のセグメント型 RDAC はバイナリ型 RDAC とサーモメータ型 RDAC から構成され、上位ビットにサーモメータ型 RDAC を割り当てる。サーモメータ型 RDAC の抵抗ユニットを図 1(a) に示す (M_T : サーモメータ型 RDAC のビット数)。ここで、NMOS と PMOS はスイッチを構成しており、 R を電源あるいはグランドに接続させる動作をしている。RDAC は抵抗の分圧効果で出力を作り出しているため、 R のばらつきにより、線形性が劣化してしまう。抵抗ばらつき $\sigma(R)$ は抵抗面積 S との関連性を持っている。その関係は

$$\frac{\sigma(R)}{R} \propto \frac{1}{\sqrt{S}} \quad (1)$$

と表される。 $\sigma(R)$ を低減させるためには、 S を大きくする必要があるので、回路面積の増大に繋がる。

3 提案回路

以上の問題に対し、抵抗キャリブレーション回路を提案した。その回路を図 1(b) に示す。提案回路では、スイッチの数を増やして並列に配置している。NMOS と PMOS のドレイン側間に補償用抵抗 R_{CAL} を挿入している。回路動作としては、1つのスイッチを正常動作させ、ほかのスイッチを全て開放にする (NMOS に Low 電圧、PMOS に High 電圧を印加する)。 i 番目のスイッチが正常動作する時の出力端から見た抵抗値 R_C は

$$R_C = (k-i)R_{CAL} + R \quad (i = 0, 1, \dots, k) \quad (2)$$

となる。次に、外部の比較回路を用いてこの時の R_C を理想値と比較し、その結果をレジスタに記録する。このように、全てのスイッチを試し、比較結果から最も理想に近い動作条件を見つけ出す。

図 2 に 65nm プロセスでのシミュレーション結果を示す。RDAC の分解能を 12 bit (バイナリ: 4bit, サーモメータ: 8bit)、電源電圧を 1.2V、 k を 2、 R_{CAL} の面積を R の面積の 15% とした。 $INLYIELD (INL < 0.125 \text{ LSB}) > 95\%$ を満たす $\sigma(R)/R$ は、従来回路では 0.06% であるのに対し、提案回路では 0.10% まで許容することができ、抵抗面積として 34% 削減された。

4 まとめ

抵抗ばらつきを補償するキャリブレーション回路の設計を行った。従来回路より、提案回路は抵抗面積を 34% 削減できた。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームをご提供いただいた Mentor Graphics 社に感謝する。

参考文献

- [1] D. S. Karadimas, D.N. Mavridis, K.A. Efstathiou, "A digitally calibrated R-2R ladder architecture for high performance digital-to-analog converters," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.4779-4782, May.2006

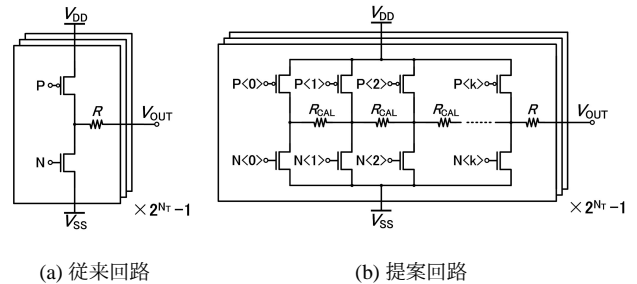


図 1. 回路比較

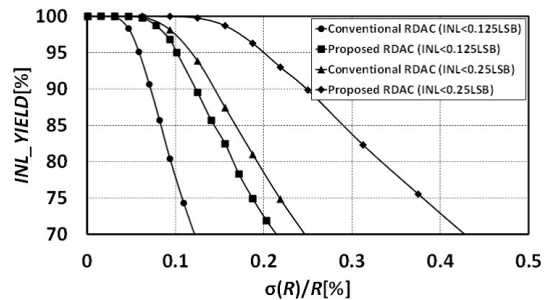


図 2. シミュレーション結果