

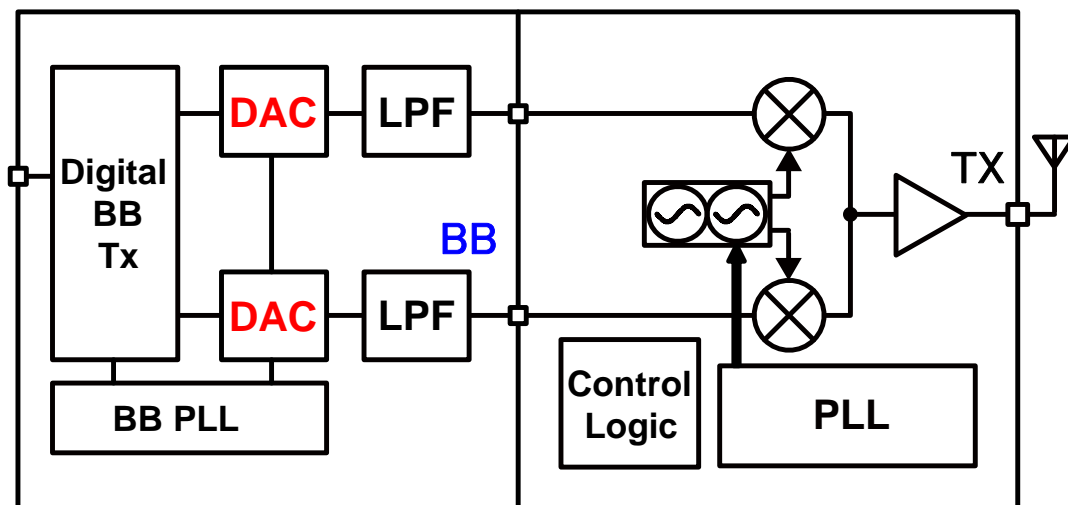
# 抵抗型D/A変換器の ばらつき補償に関する研究

○夏 エン 宮原 正也 松澤 昭

東京工業大学大学院 理工学研究科

電子物理工学専攻

2015/09/11



TX

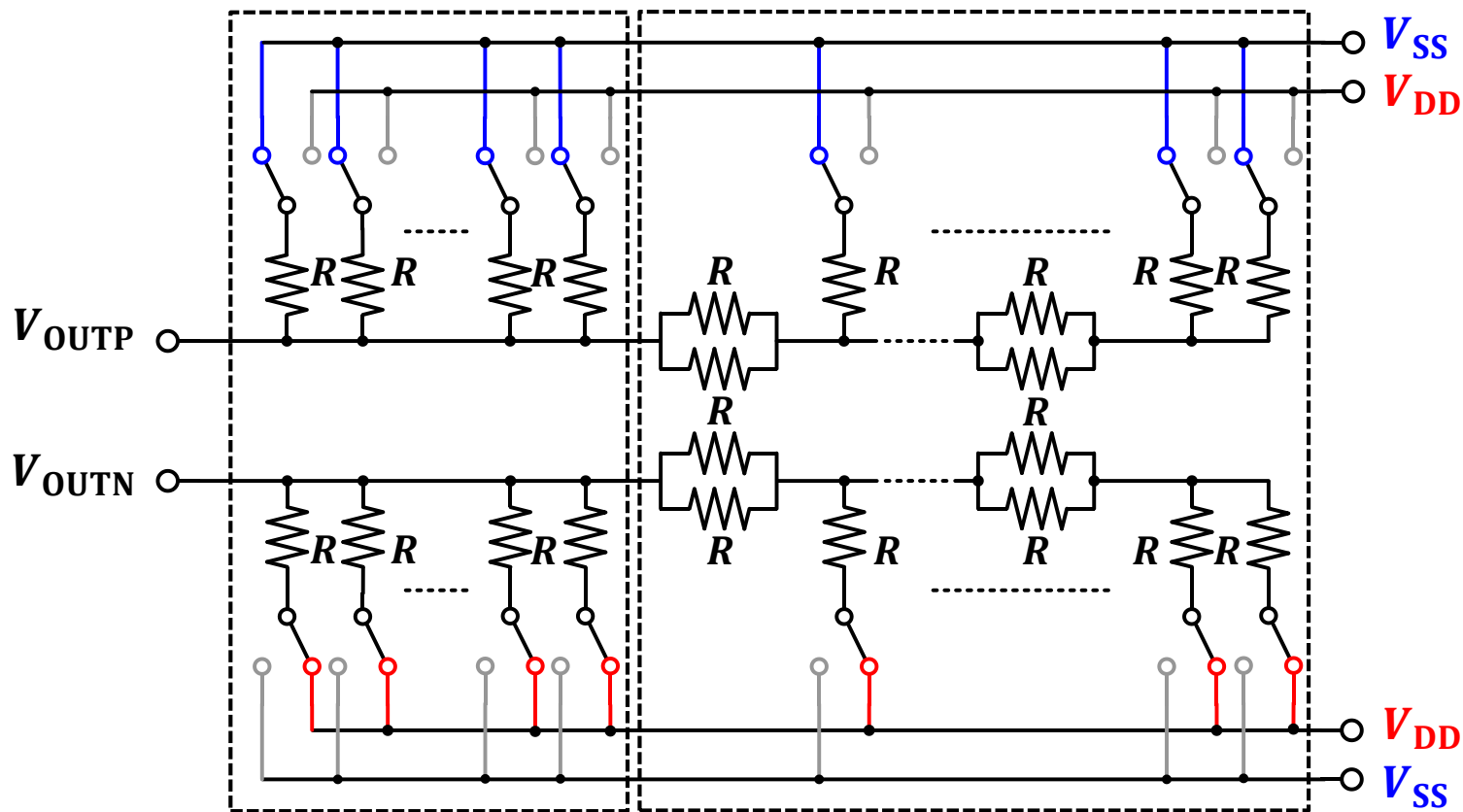
- 要求性能
  - 高速動作
  - 高SFDR
  - 低消費電力
  - 小面積

## • RDACのメリットとデメリット

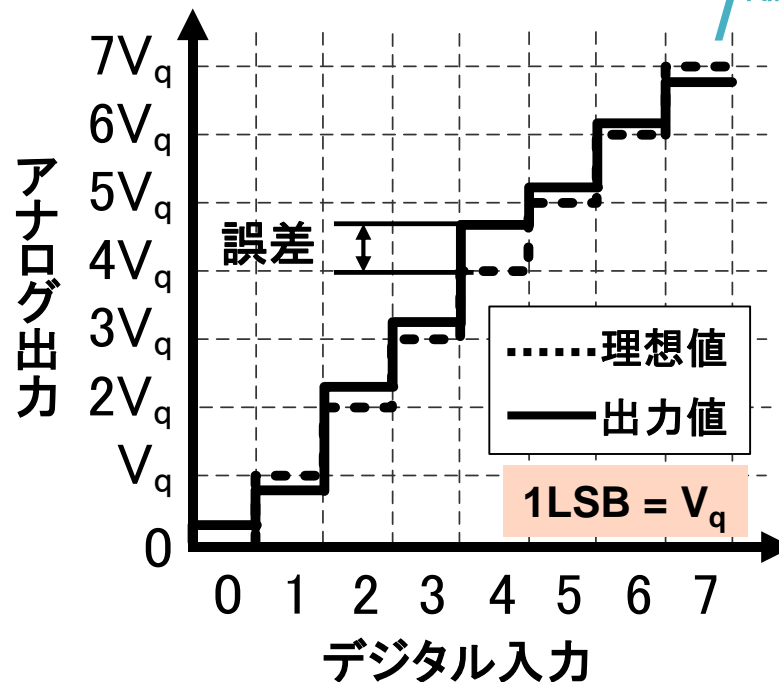
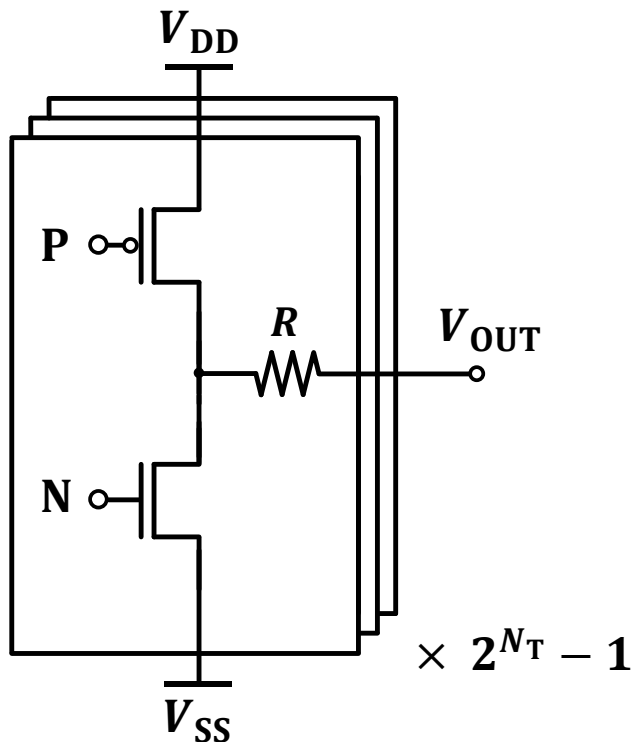
- |                |                 |
|----------------|-----------------|
| ☺ 広い出力電圧範囲     | ☹ DC消費電流のコード依存性 |
| ☺ 一定の出カインピーダンス | ☹ <u>抵抗ばらつき</u> |

# 従来回路 (1)

- 従来のRDAC



上位  $N_T$  bit: サーモメータ型      下位  $N_B$  bit: バイナリ型 (R-2R)

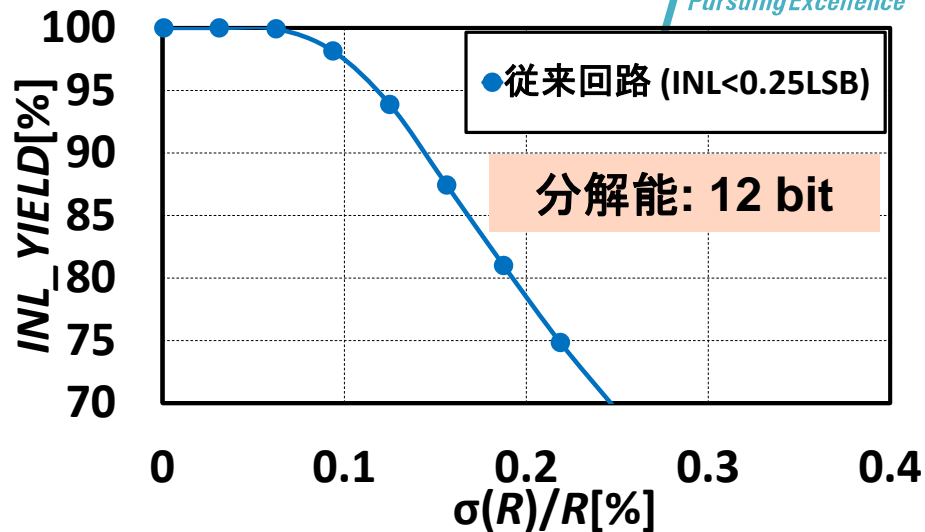
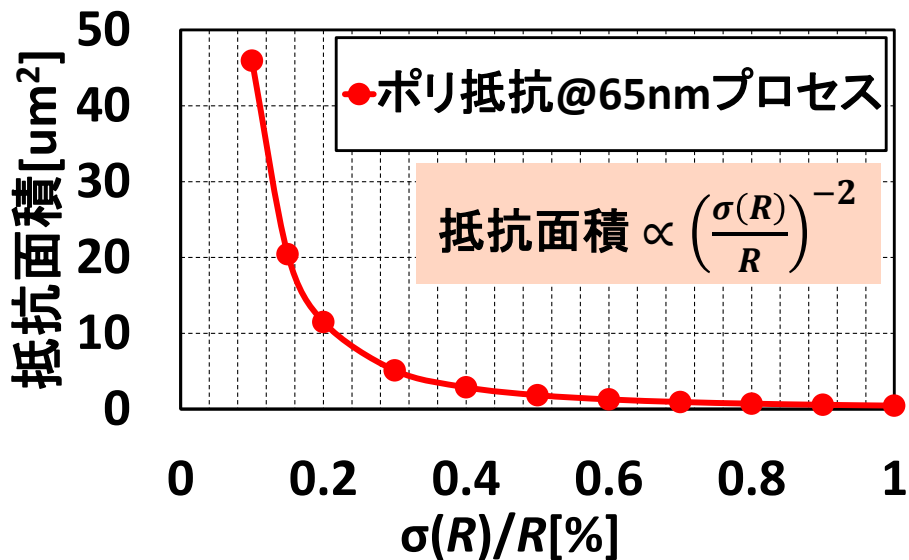


従来回路の抵抗ユニット

抵抗ばらつきによる出力への影響

抵抗ばらつきによる出力値と理想値のずれが生じる

# 従来回路 (3)

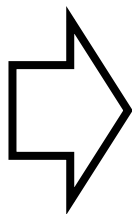


抵抗面積と抵抗ばらつきの関係

線形性と抵抗ばらつきの関係

## 従来回路の問題点

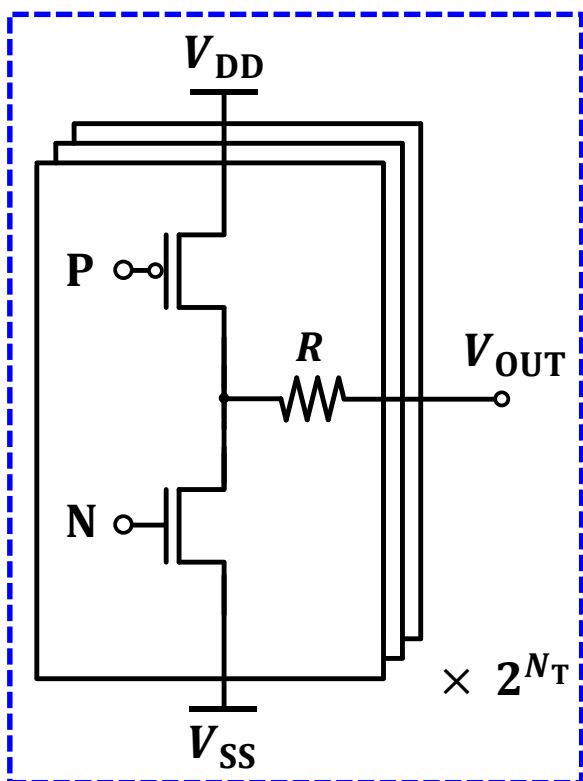
線形性を  
上げる



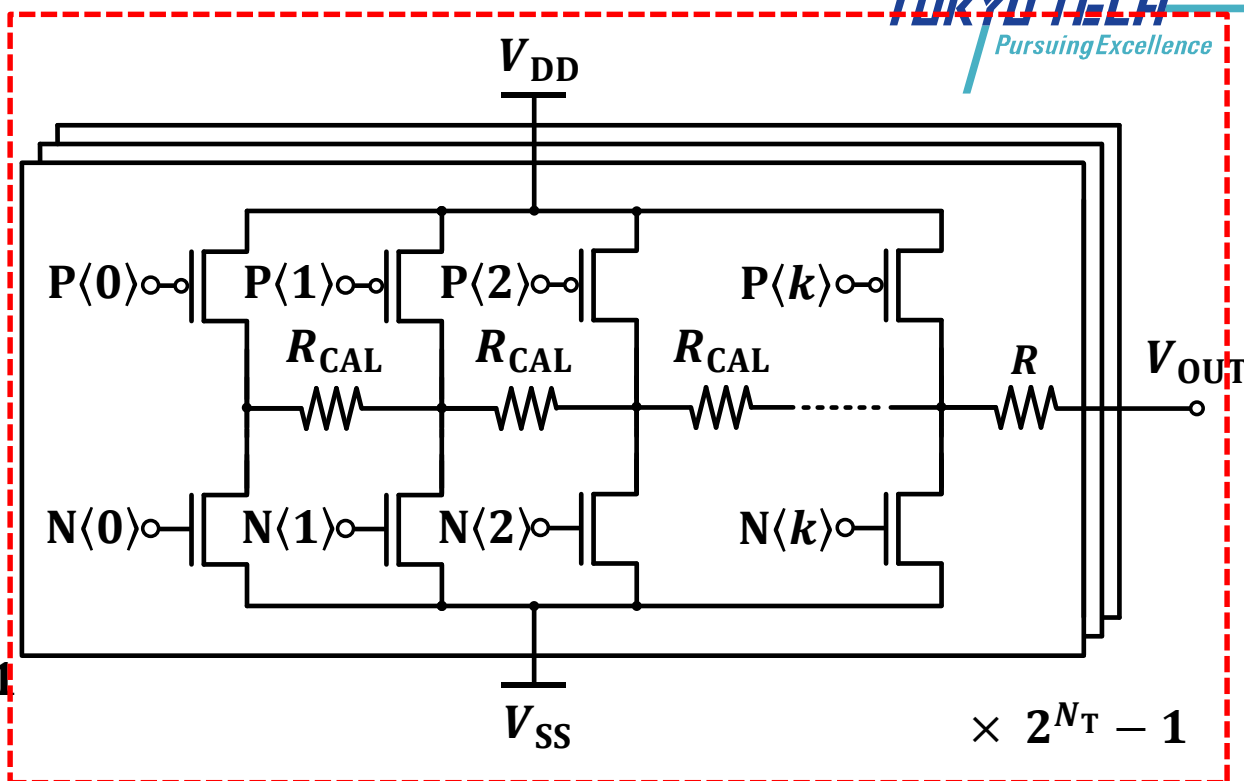
ばらつきを  
小さくする



抵抗面積が  
大きくなる



従来回路

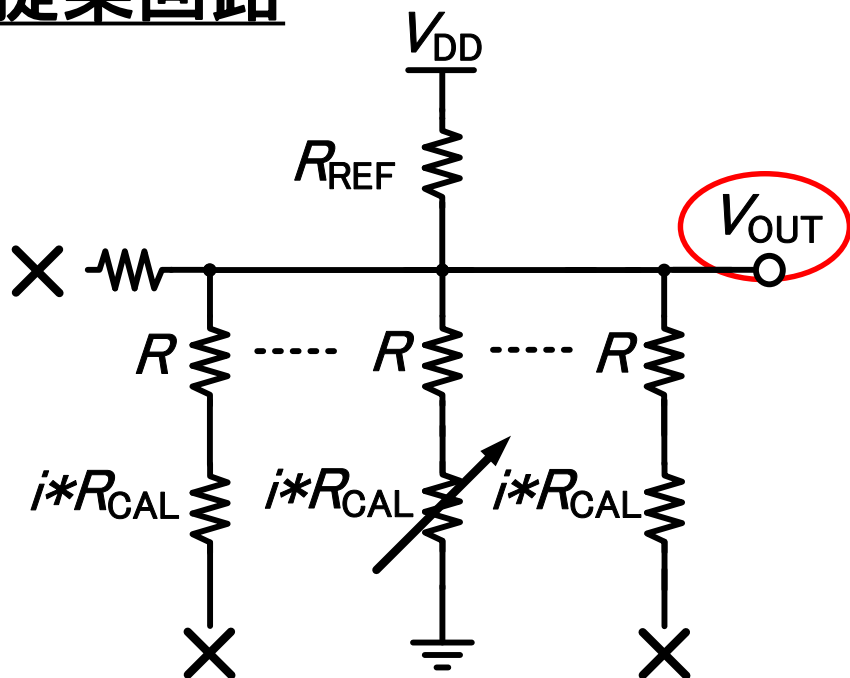


提案回路

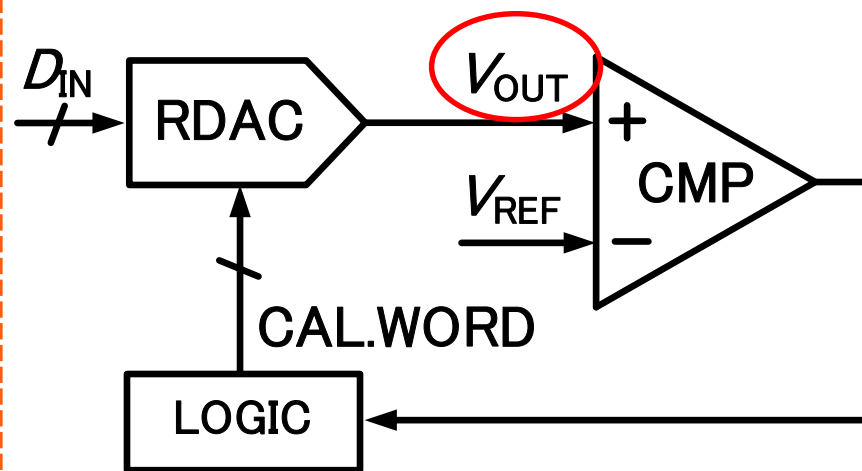
- $R_{CAL}$  : 補償用抵抗
- $R_C$  : 出力端から見たときの抵抗値  

$$R_C = i \times R_{CAL} + R \quad (i = 0, 1, \dots, k)$$

## 提案回路

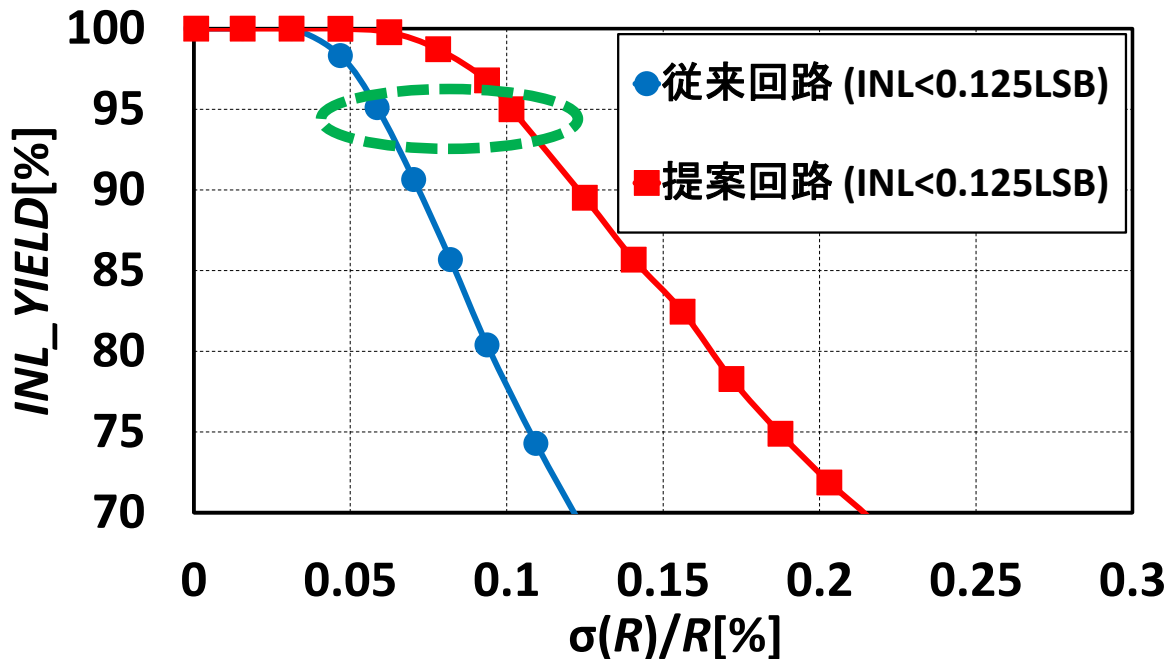


## 比較回路



- ① スイッチを1つのみ正常動作させる
- ②  $R_C (i \times R_{CAL} + R)$  と  $R_{REF}$  の大小比較を行う
- ③ ①と②を繰り返し、最適な動作条件を見つける

# シミュレーション結果



- シミュレーション条件
  - プロセス: 65nm
  - 分解能: 12bit (下位4bit, 上位8bit)
  - $S_{R_{CAL}} \cong 15\% \times S_R$

	従来回路	提案回路
INL_YIELD (<0.125 LSB) [%]	95	
ばらつき ( $\sigma(R)/R$ ) [%]	0.06	0.10

😊 回路面積として23%削減された



## 結論

- 抵抗ばらつきを補償するためのキャリブレーション回路を提案し,  $INL\_YIELD (INL < 0.125 \text{ LSB}) > 95\%$  を満たす  $\sigma(R)/R$  は、従来回路では 0.06% であるのに対し、提案回路では 0.10% まで許容することができ、回路面積として 23% 削減された。

## 今後の課題

- 実際にレイアウトを行い, チップに乗せて特性を測定する必要がある。

ご清聴ありがとうございました