

位相補間回路の高精度化に関する検討

Consideration for Accurate Phase Interpolator

桂木 真希彦
Makihiko Katsuragi

タライル ナラヤナン アラビンド
Aravind Tharayil Narayanan

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

同一のハードウェアで様々な無線通信規格に対応できるソフトウェア無線技術において、高い基準周波数を用いつつも高分解能な周波数制御が可能な Fractional- N 型の PLL が広く用いられている。従来は分周器の分周比を動的に切り替えることにより分数分周を実現していたが、近年注目されている Sub-Sampling PLL においては分周器を用いない分数分周の実現が求められている。

その実現方法の一つとして、位相補間回路を用いて VCO の出力信号を多位相に分割し、参照信号との比較に使う位相を順次切り替えることで分数分周を実現する方法がある [1]。この方法では位相補間回路の精度が PLL のジッタ性能に大きく影響することから、本研究では位相補間回路の高精度化について検討を行った。

2 従来構成

従来のインバータを用いた位相補間回路 [2] の構成を図 1 に示す。位相の異なる Φ_{i1} , Φ_{i2} を入力すると、各入力を反転させた Φ_{o1} , Φ_{o3} , およびその中間の位相 Φ_{o2} を出力する。位相補間回路は図 1(a) のような 2 つのインバータから構成されており、それぞれが電流 I_x で出力端の容量 C に充放電を行う。

位相補間回路の立ち上がり時の動作を説明する。 Φ_{o1} , Φ_{o3} はそれぞれ Φ_{i1} , Φ_{i2} の立ち下がり瞬間から $\frac{dV}{dt} = \frac{2I_x}{C}$ の傾きで立ち上がる。一方、 Φ_{o2} は Φ_{i1} の立ち下がり瞬間から $\frac{dV}{dt} = \frac{I_x}{C}$ の傾きで立ち上がり始め、 Φ_{i2} の立ち下がり瞬間から $\frac{dV}{dt} = \frac{2I_x}{C}$ の傾きで立ち上がる。こうして Φ_{o2} は、 Φ_{o1} と Φ_{o3} の中間位相での立ち上がりを実現する。

しかし実際には図 1(c) のように、 Φ_{i1} の立ち下がりから Φ_{i2} の立ち下がりまでの間、 Φ_{in1} 側の PMOS と Φ_{in2} 側の NMOS が同時に ON になることにより貫通電流が流れる。これによって、電流 I_x が全て充電に使われず、位相補間の精度が劣化する問題があった。

3 提案構成

提案構成を図 1(b) に示す。提案構成では、 Φ_{in1} と Φ_{in2} が共に High であるときのみ NMOS が ON になるように制御している。これによって、 Φ_{in1} が立ち下がった瞬間に両側の NMOS が OFF になるため、貫通電流を防ぐことができる。

また、従来構成では n ビットの位相出力のために 2^{n-1} 個の位相補間回路が必要であったが、図 1(d) のようなパイプライン型の構成 [3] を用いることで必要な回路ブロックを n 個まで削減し、消費電力と面積の削減を実現した。

シミュレーション結果および性能比較は表 1 の通りである。

4 結論

位相補間回路において、従来の課題であった貫通電流を防ぐような構成を提案した。これに加えて、パイプライン型の構成を用いることで、高精度・低消費電力・小面積な位相補間回路を実現した。

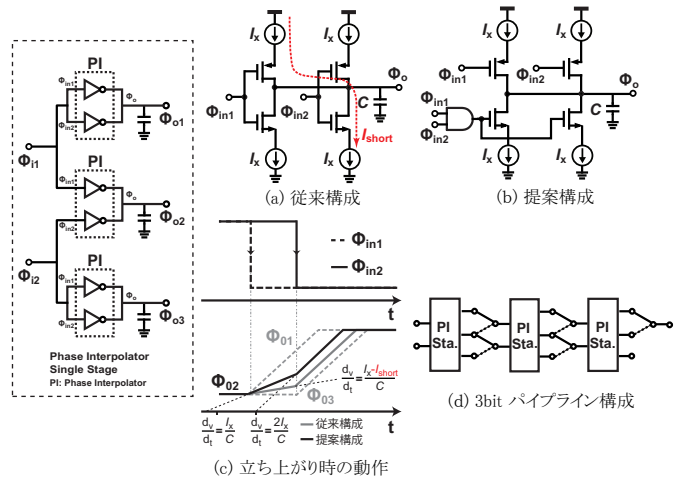


図 1 位相補間回路の構成と動作

表 1 位相補間回路の性能比較

	This	[4]	[5]	[3]
bits	3	8	2	6
Input Freq. [GHz]	0.5 - 3.0	0.1 - 1.5	0.3	0.025 - 0.25
INL [LSB]	<0.5	1.33	-	2.07
DNL [LSB]	<0.6	0.5	1.06	0.91
Power/Freq [mW/GHz]	0.53	2.9	0.038	0.12
Area [mm ²]	0.003	0.06	-	-

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、半導体理工学研究センター、東工大基金、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

参考文献

- [1] A. T. Narayanan, et al., "A Fractional- N Sub-Sampling PLL using a Pipelined Phase-Interpolator with an FoM of -246dBc/Hz," *IEEE European Solid-State Circuits Conference*, Sept. 2015.
- [2] B. W. Garlepp, et al., "A Portable Digital DLL for High-Speed CMOS Interface Circuits," *IEEE Journal of Solid-State Circuits*, May 1999.
- [3] S. Kumaki, et al., "A 0.5V 6-bit Scalable Phase Interpolator," *IEEE Asia Pacific Conference on Circuits and Systems*, Dec. 2010.
- [4] M. S. Chen, et al., "A 0.1-1.5 GHz 8-bit Inverter-Based Digital-to-Phase Converter Using Harmonic Rejection," *IEEE Journal of Solid-State Circuits*, Nov. 2013.
- [5] A. Nicholson, et al., "A 1.2V 2-bit phase interpolator for 65nm CMOS," *IEEE International Symposium on Circuits and Systems*, May 2012.