

クロスカップリングを用いた 比較器の低雑音化の検討

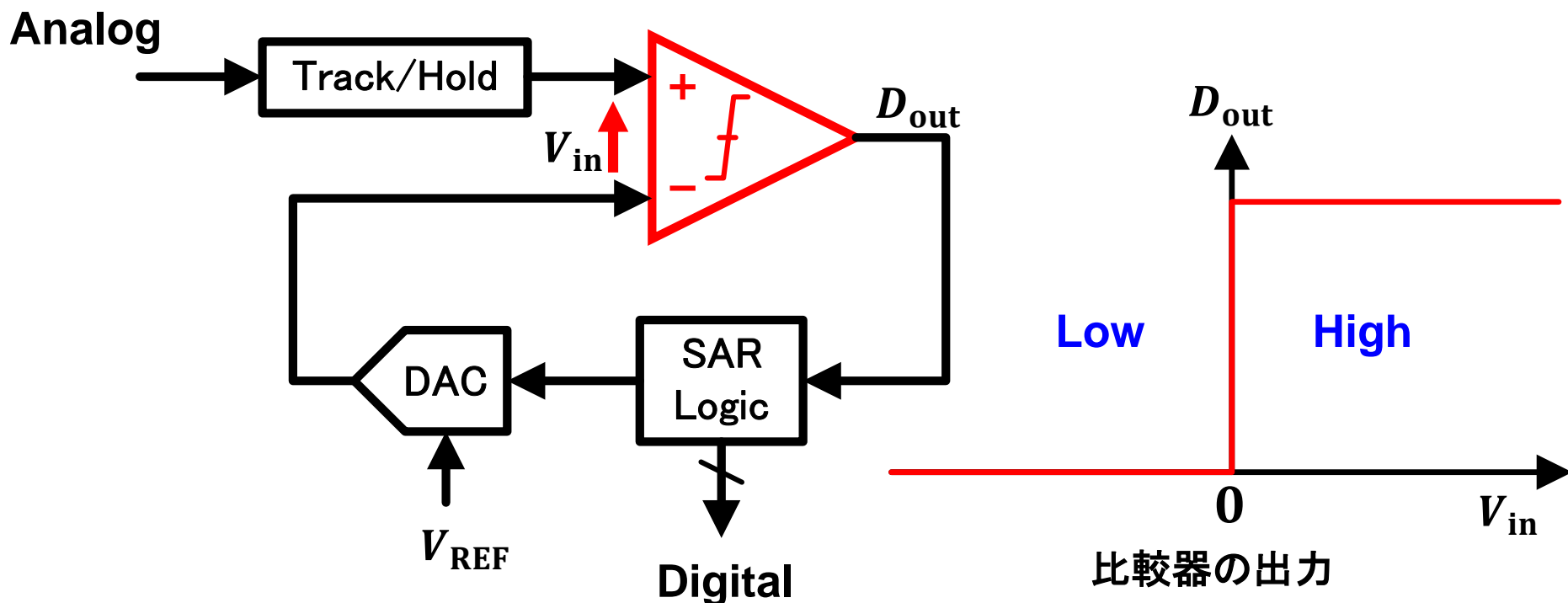
○遠藤 友貴哉 宮原 正也 松澤 昭
東京工業大学大学院 理工学研究科
電子物理工学専攻

2015/09/11

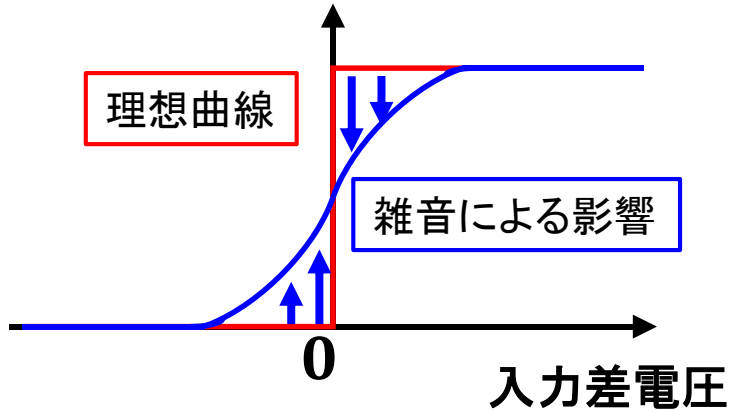
• 比較器

- 2つの入力電圧の大小を比較する回路
- アナログ・デジタル変換器(ADC)などに用いられる

逐次比較型A/D変換器(SAR ADC)



Highの確率

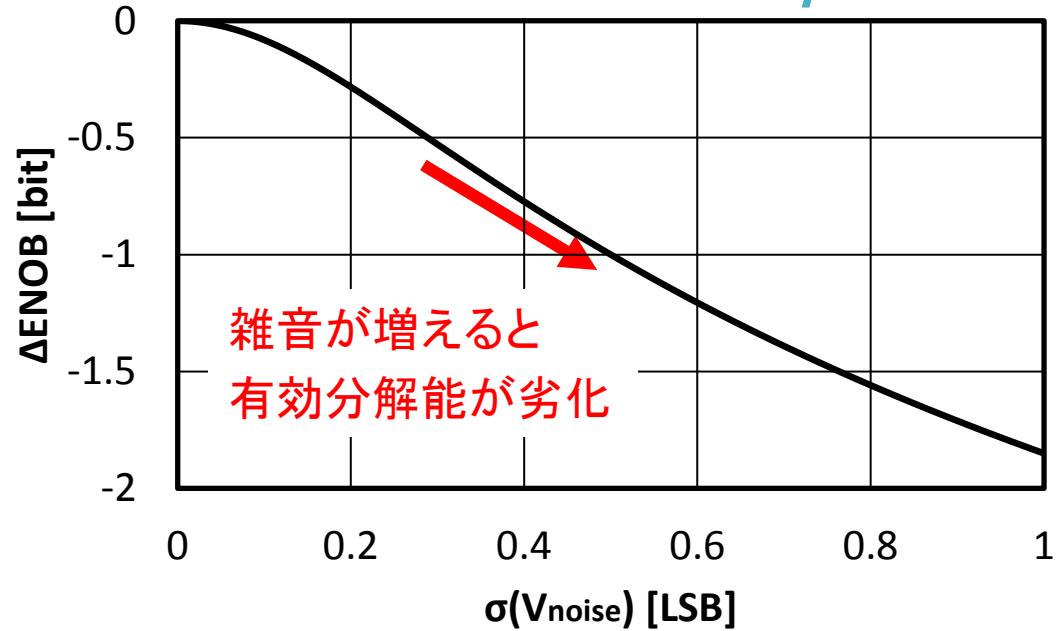


雑音による比較器への影響

比較器の雑音が
ADCの性能に影響



低雑音の比較器が必要

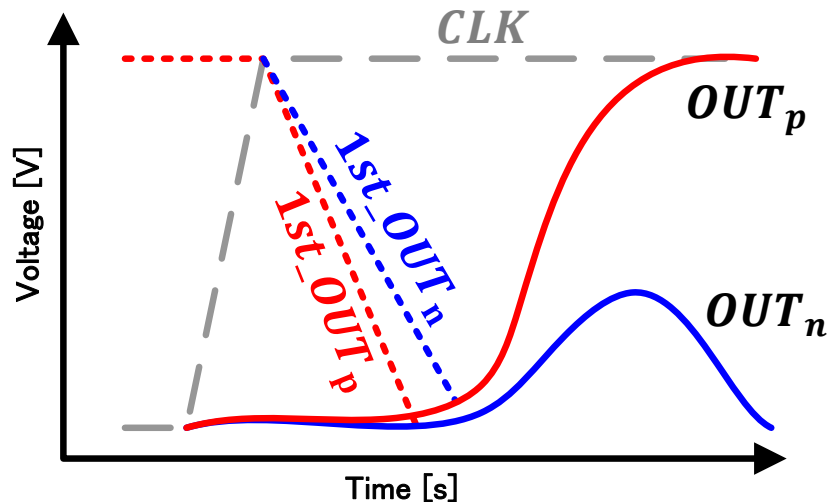
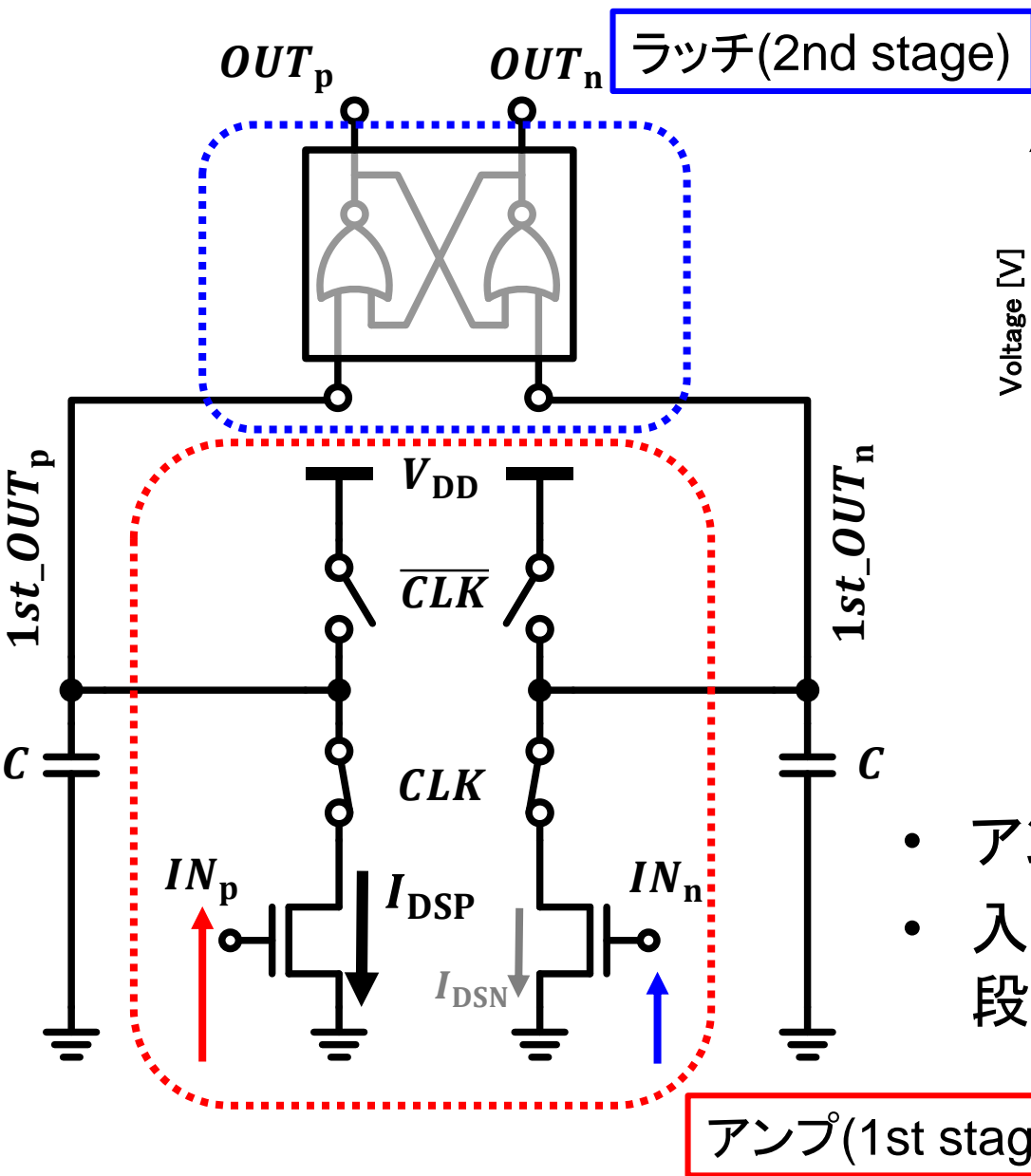


比較器の雑音による
ADCの有効分解能の劣化

$$\Delta ENOB = \frac{1}{2} \log_2(1 + 12\sigma(V_{\text{noise}})^2)$$

$\Delta ENOB$: 有効分解能の劣化
 $\sigma(V_{\text{noise}})$: 比較器の雑音(LSBで規格化)

従来の比較器



比較器の出力波形

- アンプとラッチの2段構成+容量
- 入力電圧をアンプで増幅し、後段のラッチで出力を判定

アンプ(1st stage)

負荷容量の値を大きくする

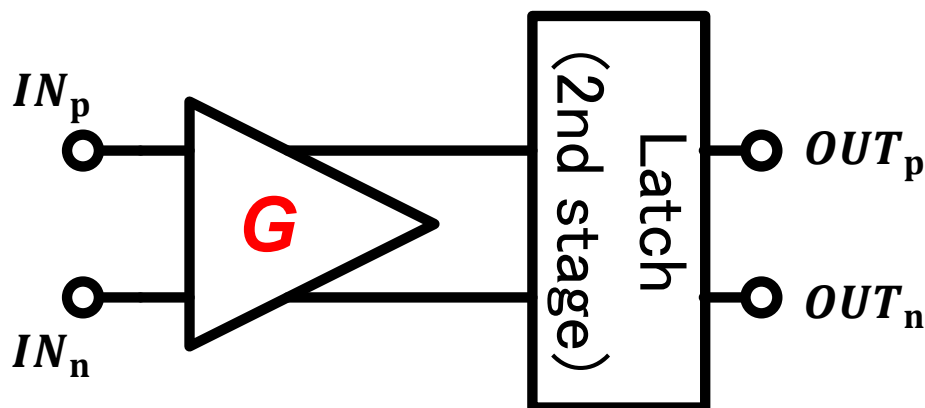
☺ノイズが減る $= \frac{kT}{C}$

☹動作が遅くなる $= \frac{CV_{DD}}{I}$

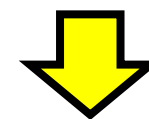
☹消費電力が増える $= fCV_{DD}^2$

容量によるトレードオフ

✓ アンプの利得を大きくする

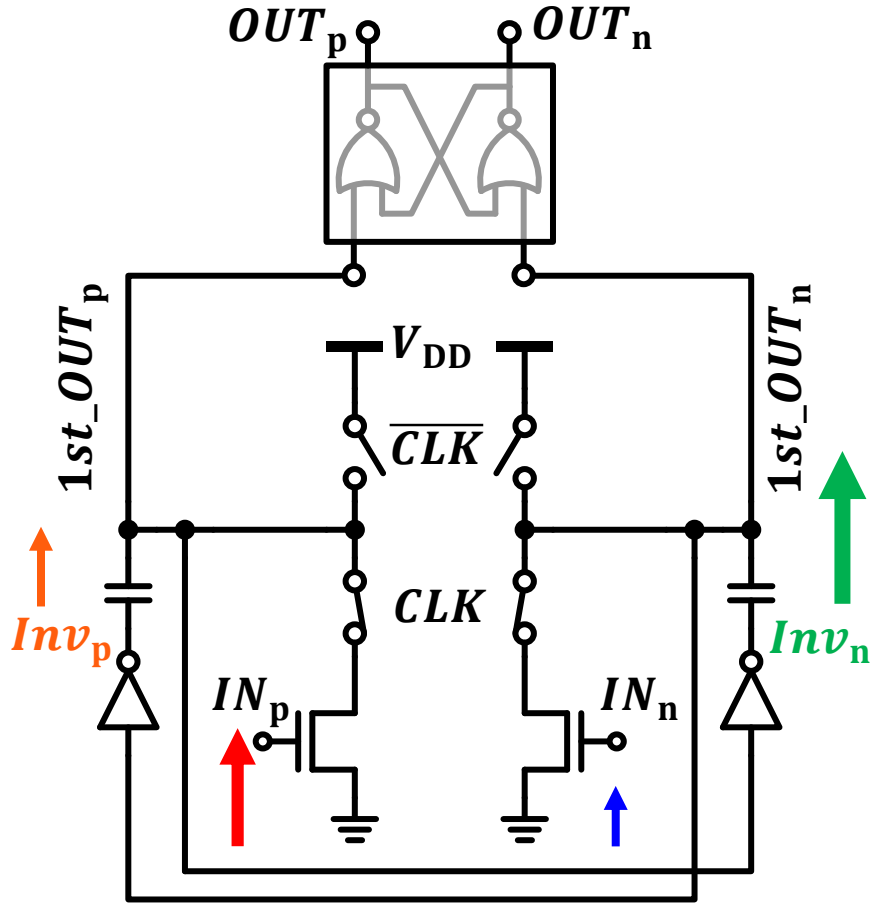


後段のラッチに雑音の影響が出ると誤動作する可能性がある



前段の**アンプの利得を上げて**後段の雑音の影響を見えにくくする

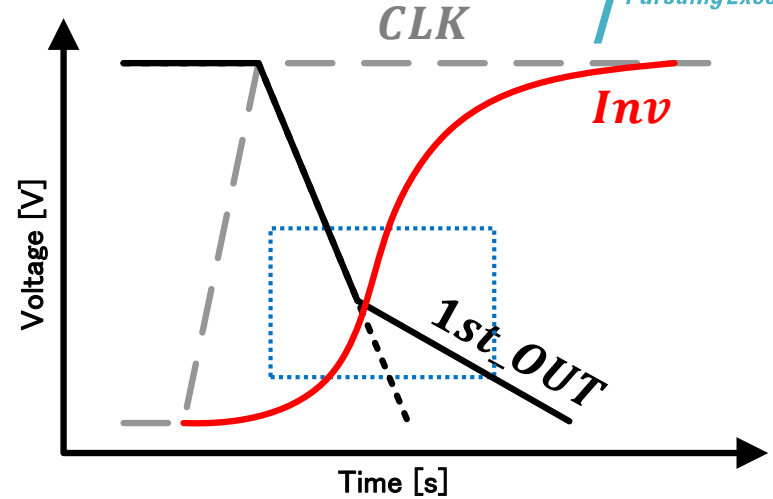
提案する比較器



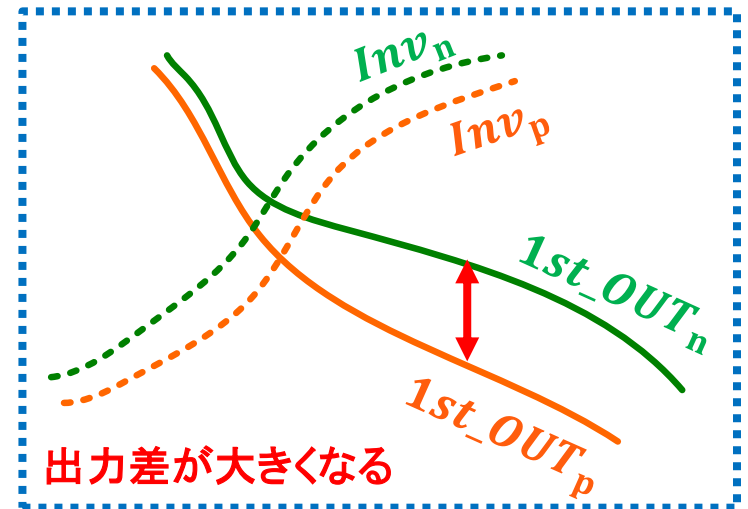
クロスカップリングにより**正帰還**がかかり
アンプの出力電圧差が大きくなる



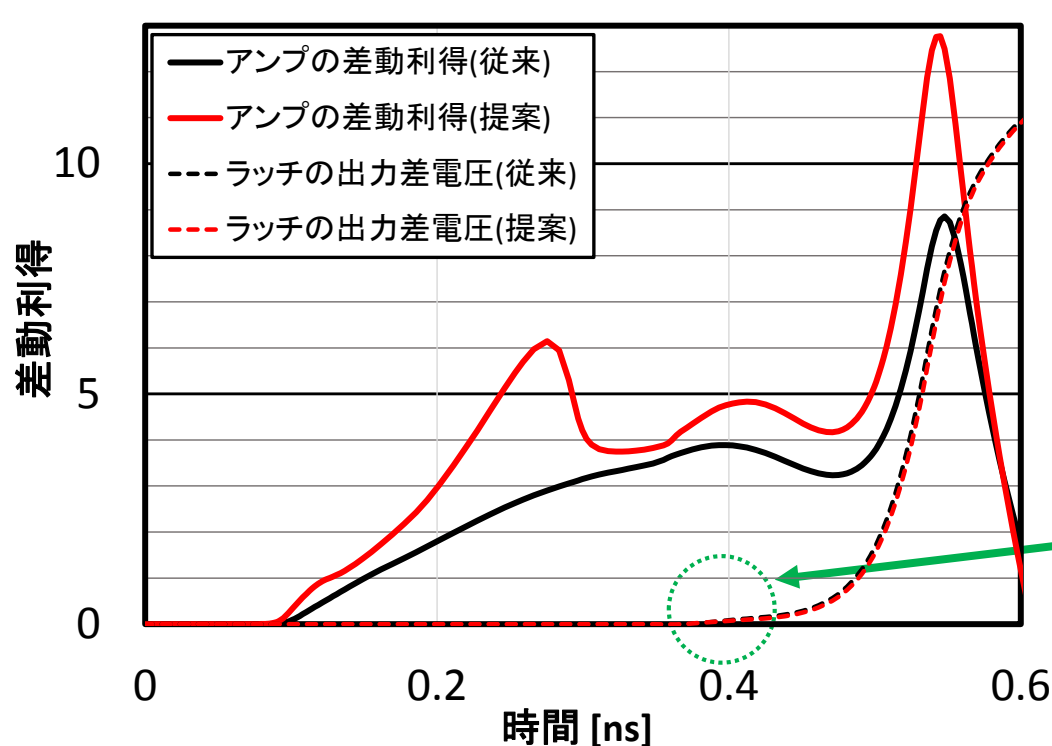
利得が大きくなり、雑音を低減できる



インバータの出力とアンプの出力の変化



動作速度, 消費電力を等しく設計



プロセス	180nm CMOS
電源電圧	1.8 V
入力差電圧	1 mV

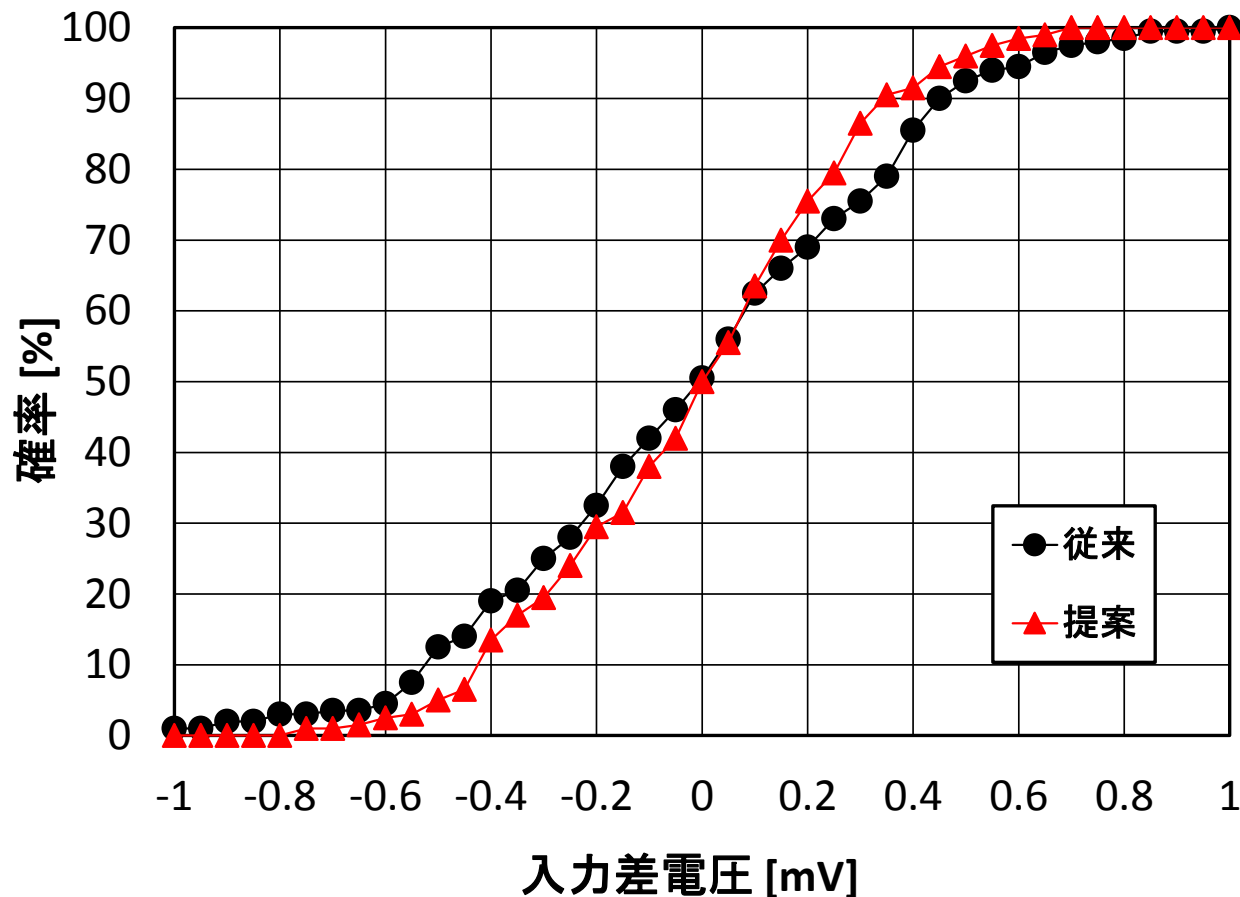
ラッチの判定が終了

差動利得

$$\text{差動利得} \equiv -\frac{1stOUT_p - 1stOUT_n}{IN_p - IN_n}$$

- 提案回路では正帰還により、ラッチの判定が終了するまでに利得を大きく取れている

比較器の雑音



雑音レベル

入力換算雑音 (標準偏差)

従来	提案
0.30mV	0.27mV

- 結果を累積分布関数にフィッティング
- 動作回数: 200回

雑音電力を 19% 低減

• 結論

- 従来のダイナミック型比較器の負荷容量の接続法を変更した新たな比較器を提案した。
- 動作速度と消費電力をそのままに**雑音電力を19%低減**し、低雑音の比較器を作成することができた。

• 今後の課題

- 比較器単体のみならず、ADC回路全体でのシミュレーションを行う。
- レイアウトを行い、問題なく動作することを確認する。

ご清聴ありがとうございました