クロスカップリングを用いた比較器の低雑音化の検討

Study of Low-noise Dynamic Comparator using Cross-Coupling Connection

遠藤 友貴哉　Yukiya Endo
宮原 正也　Masaya Miyahara
松澤 昭　Akira Matsuzawa

東京工業大学大学院 理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1　まえがき

比較器はアナログ信号をデジタル信号に変換する重要な役割を担っており、ADC で広く用いられている。近年、センサーネットワークや医療機器などには逐次比較型 ADC が用いられているが、消費電力や動作速度、雑音のような性能は比較器によって決定されるため、ADC の高性能化には比較器自体の高性能化が必要不可欠である。本研究では、定電流が流れず低消費電力であるダイナミックアンプを用いた比較器に着目し、クロスカップル接続された容量を用いて前段のアンプの利得を大きく取ることで入力換算雑音の低減を図った。

2　回路構成

図 1(a) に従来の比較器の構成を示す。比較器は前段のアンプと後段のラッチで構成されている。入力された電圧をダイナミックアンプで増幅し、増幅された差電圧をラッチで検出し判定を行う。アンプの出力には容量が接続されている。これによりラッチでの判定時に雑音の影響を小さく抑えている。

図 1(b) に提案回路の構成を示す。提案回路では、アンプの出力からインバータを介して反対側の容量へ接続している。アンプの一方の出力が下がってくるともう一方の電圧が容量を介して押し上げられ、さらにその電圧変化の影響がもとの出力に作用するような、P 側の出力と N 側の出力との間でのポジティブフィードバックがかかる構成となっている。このような正帰還をかけることで、ラッチでの判定より前の段階でアンプの利得を大きくとれるようになり、従来型と比較して入力換算雑音をさらに低減することができる。

3　シミュレーション結果

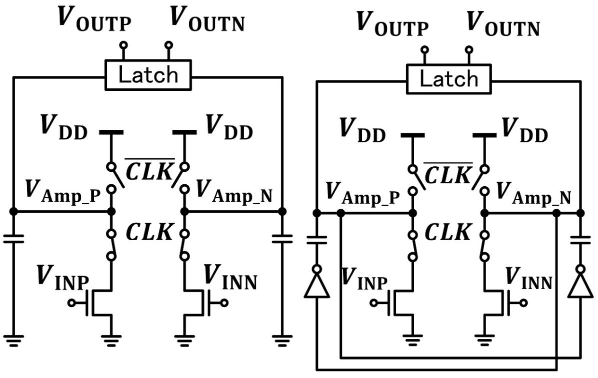
180nm CMOS プロセスでのシミュレーション結果を示す。従来型と提案回路の比較のため、比較器の動作速度と消費電力は等しく設計されている。

図 2 に比較動作時のアンプの差動利得を、ラッチの出力電圧差と共に示す。ラッチの差電圧が上がり始める 174.4ns までに比較器の判定が決定するので、アンプの利得が大きくとれていれば雑音の低減が見込める。提案回路では、従来回路と比較して利得のピークが約 2 倍になる瞬間もあり、判定が決まるまでの全区間で差動利得を大きくとれていることがわかる。

また、従来回路と提案回路で入力換算雑音の比較を行った。その結果、提案回路の入力換算雑音が電力換算で 19% 低減されるという結果が得られた。

4　まとめ

ダイナミック型比較器について、クロスカップリング接続により前段アンプの利得を大きく取り、入力換算雑音を低減する試みをおこなった。従来型と提案型で動作速度と消費電力を等しく設計した結果、提案型の雑音電力が 19% 低減された。



(a) 従来回路　　(b) 提案回路

図 1.　比較器の回路構成

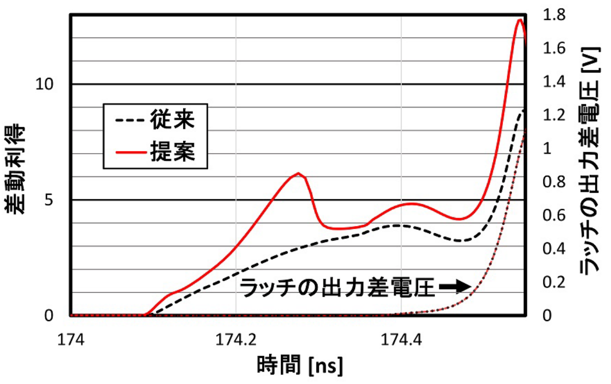


図 2.　比較時の差動利得

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームをご提供いただいた Mentor Graphics 社に感謝する。

参考文献

[1] Yu Lin, Kostas Doris, Hans Hegt, Arthur van Roermund, “A Dynamic Latched Comparator for Low Supply Voltages Down to 0.45 V in 65-nm CMOS” IEEE, 2012.