

注入同期を利用した Synthesizable PLL

東京工業大学 大学院 理工学研究科
電子物理工学専攻 松澤・岡田研究室
中田 憲吾

- 研究背景
- 従来研究と課題
- 注入同期による雑音性能の改善
- 提案回路構成
- 実測結果
- 結論

• Synthesizable Analog Circuits

- 設計時間&コスト削減
- スケーラビリティ
- プロセス移植性

• 位相同期回路(PLL)

- 周波数シンセサイザ、基準クロック

☹ 従来アナログのカスタム設計

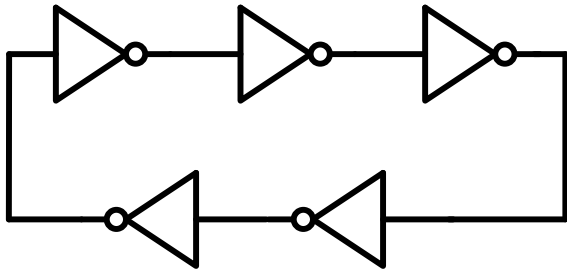
RTL+netlist

Digital design flow

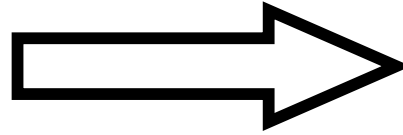
Layout

研究目的

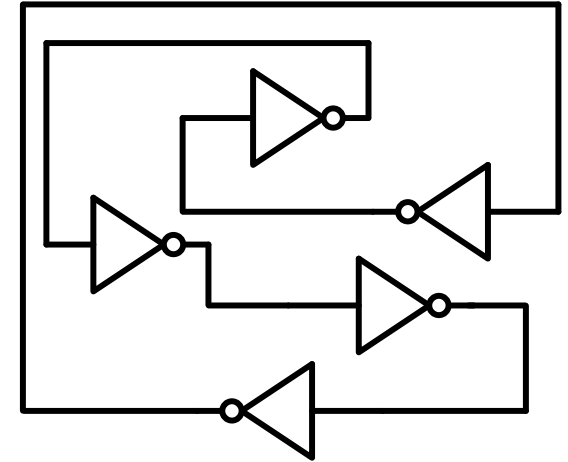
PLLをデジタル設計ツールのみで自動合成する



理想のレイアウト



自動配置配線ツール
でレイアウト



実際のレイアウト

☹️ 非対称な負荷やレイアウト

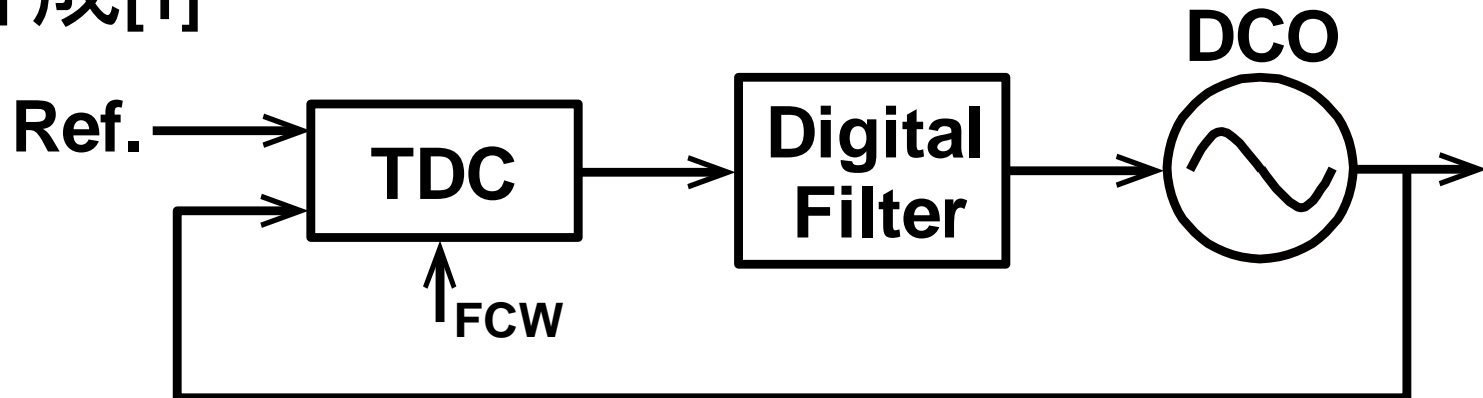
☹️ 不要な寄生成分の発生

⇒ TDCやDCOの線形性の劣化

TDC:時間差デジタル変換器

DCO:デジタル制御発振器

TDC-based PLLをデジタル設計ツールのみ
で合成[1]

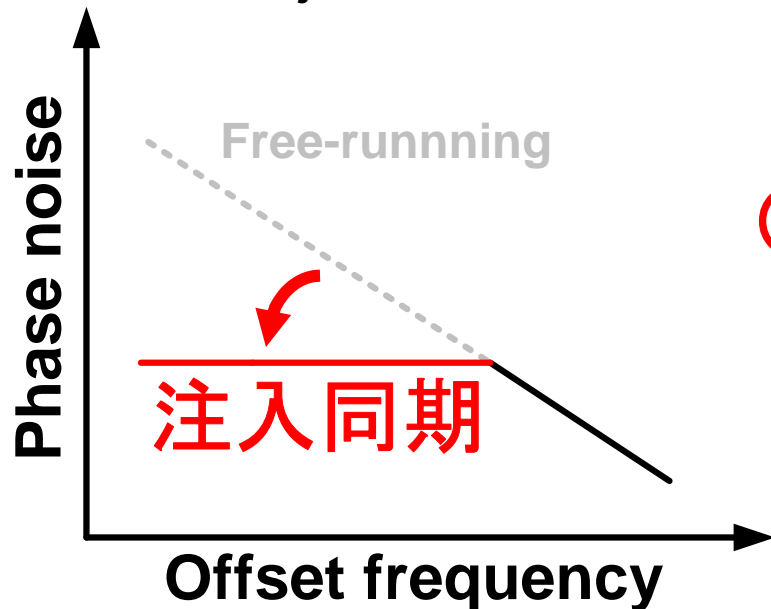
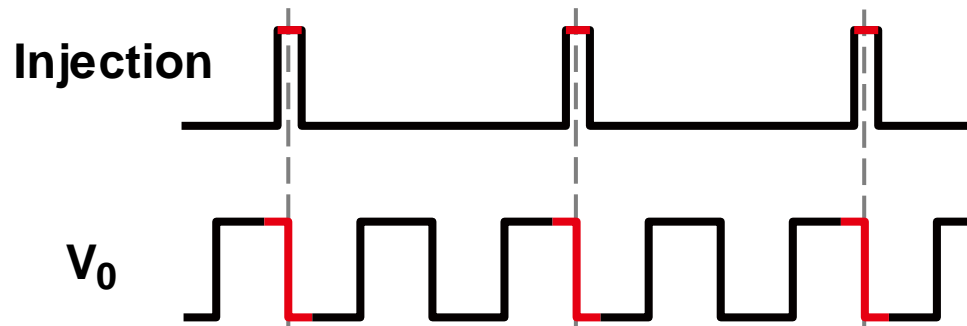
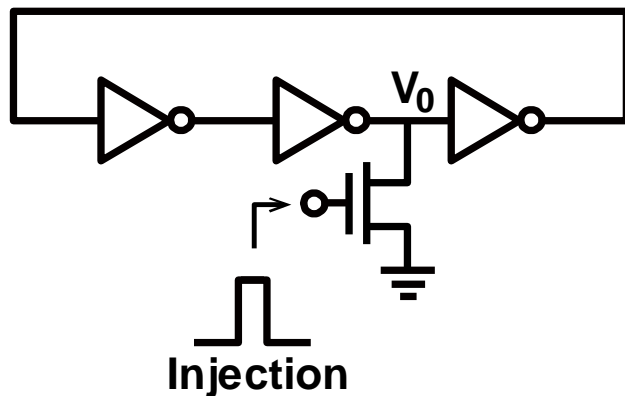


[1] Y.Park, *et al.*, CICC 2011.

課題

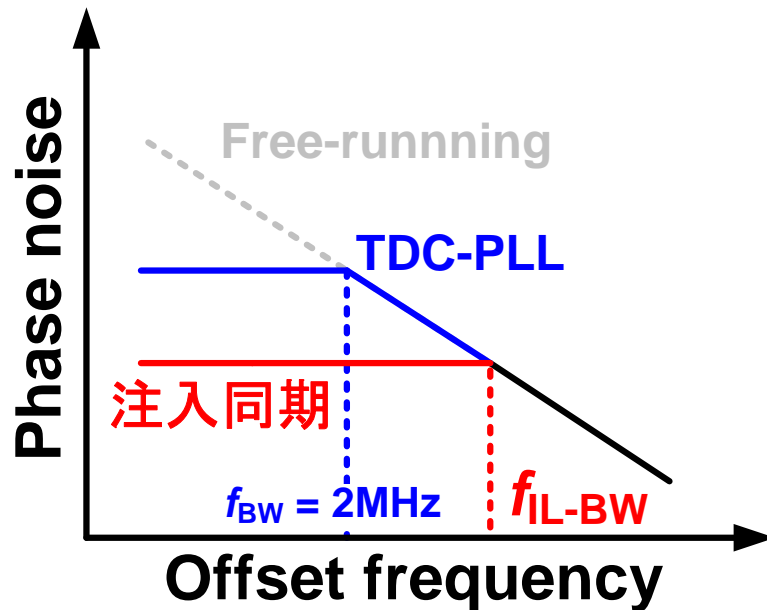
- ⊖ 自動レイアウトによりPLLのジッタ性能劣化
- ⊖ 消費電力とジッタ性能はトレードオフの関係

• 注入同期技術(Injection Lock)



😊 帯域内位相雑音
およびジッタ性能改善

- 注入同期のバンド幅 f_{IL-BW}



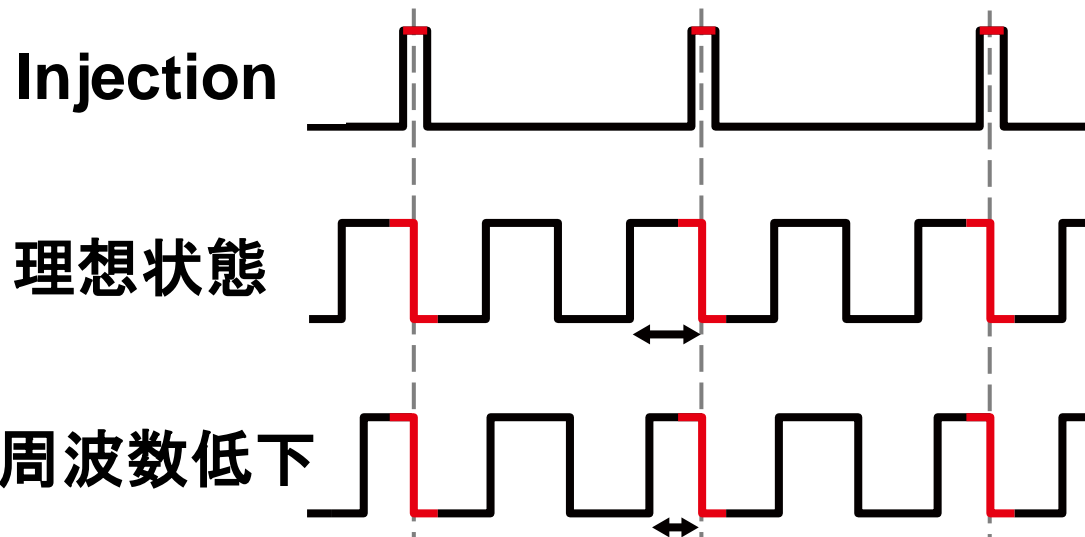
$$f_{IL-BW} = \frac{f_{\text{ref}}}{2\pi} \cdot \sqrt{\frac{6}{1 - \frac{1}{N}}} \quad [2]$$

$$f_{\text{ref}} = 40\text{MHz} \text{ で } f_{\text{BW}} \approx 16\text{MHz}$$

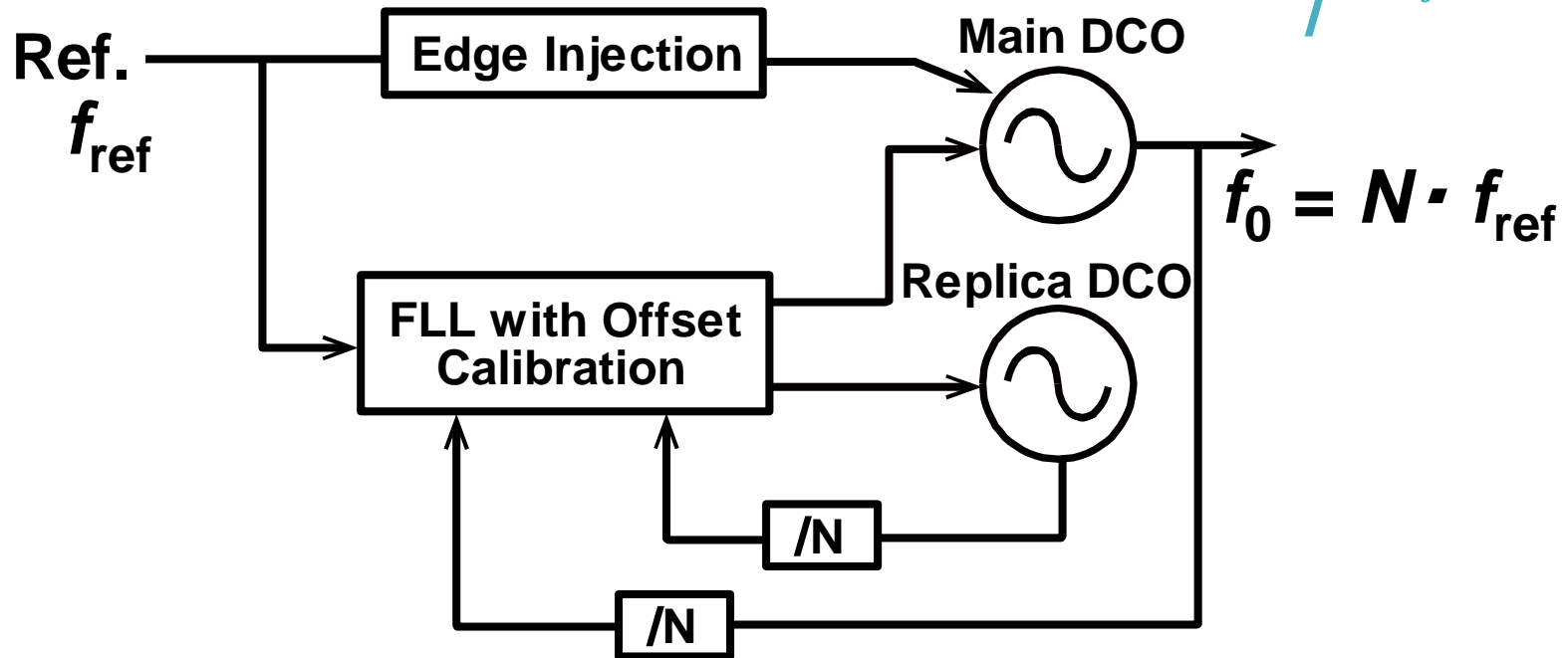
[2] N. Da Dalt, IEEE Trans. 2014

TDCベースのPLLよりも広いバンド幅が得られる
⇒ 大幅なジッタ性能改善が可能

電源電圧や温度の変化により周波数が変動しても検出できない



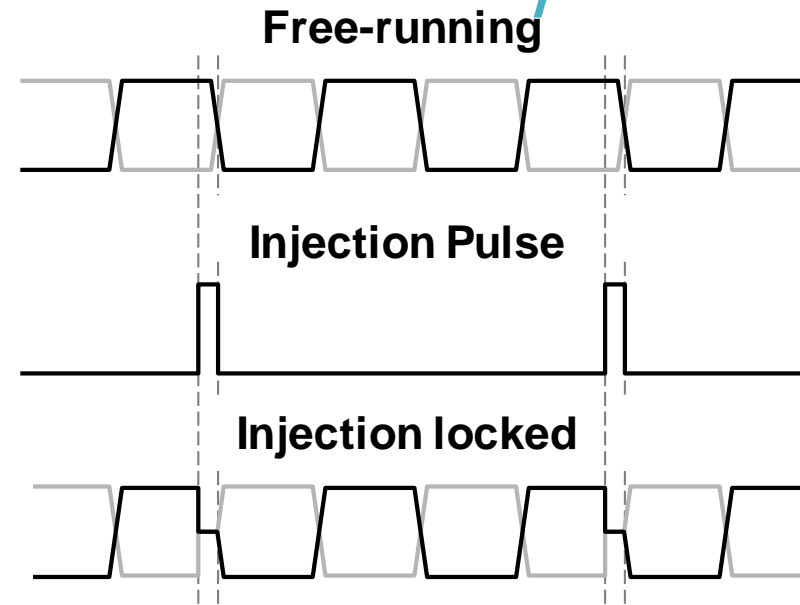
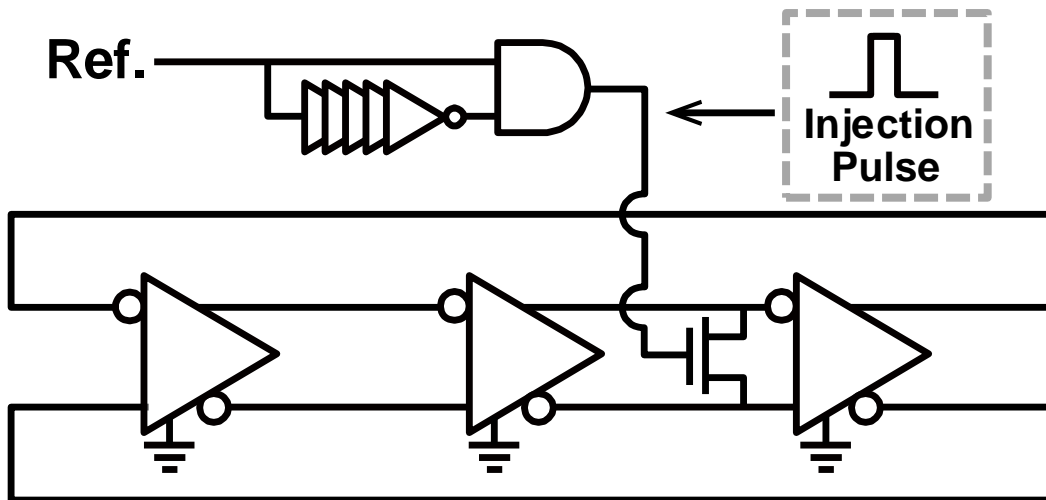
- ☹️ Duty比の劣化や**スプリアス**の増加
 - ☹️ ロックが外れ、周波数が大きく変動
- ⇒IL-PLLでは周波数補償が必要



Replica DCO:周波数変動を検出

Main DCO:周波数誤差をフィードバックし、補償

☺ 注入同期と同時に周波数補償可能



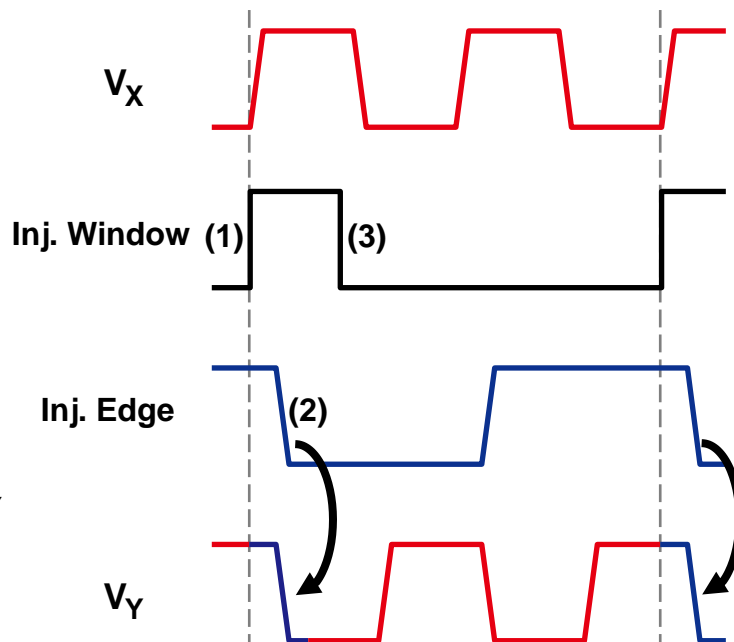
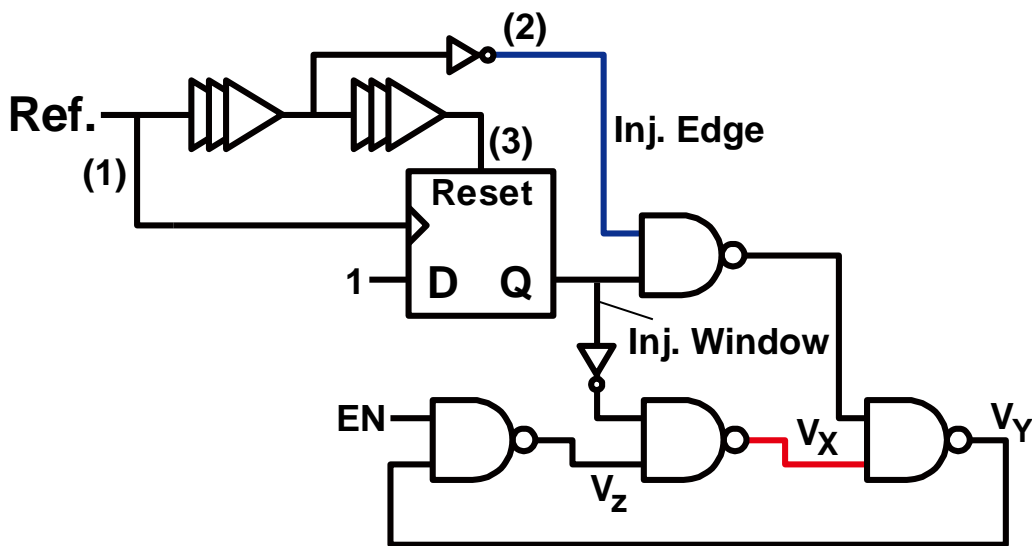
[3] B. Helal, et al., JSSC 2009

Injection Pulseのパルス幅により出力波形は歪む

☹ Ref. Spurが増加

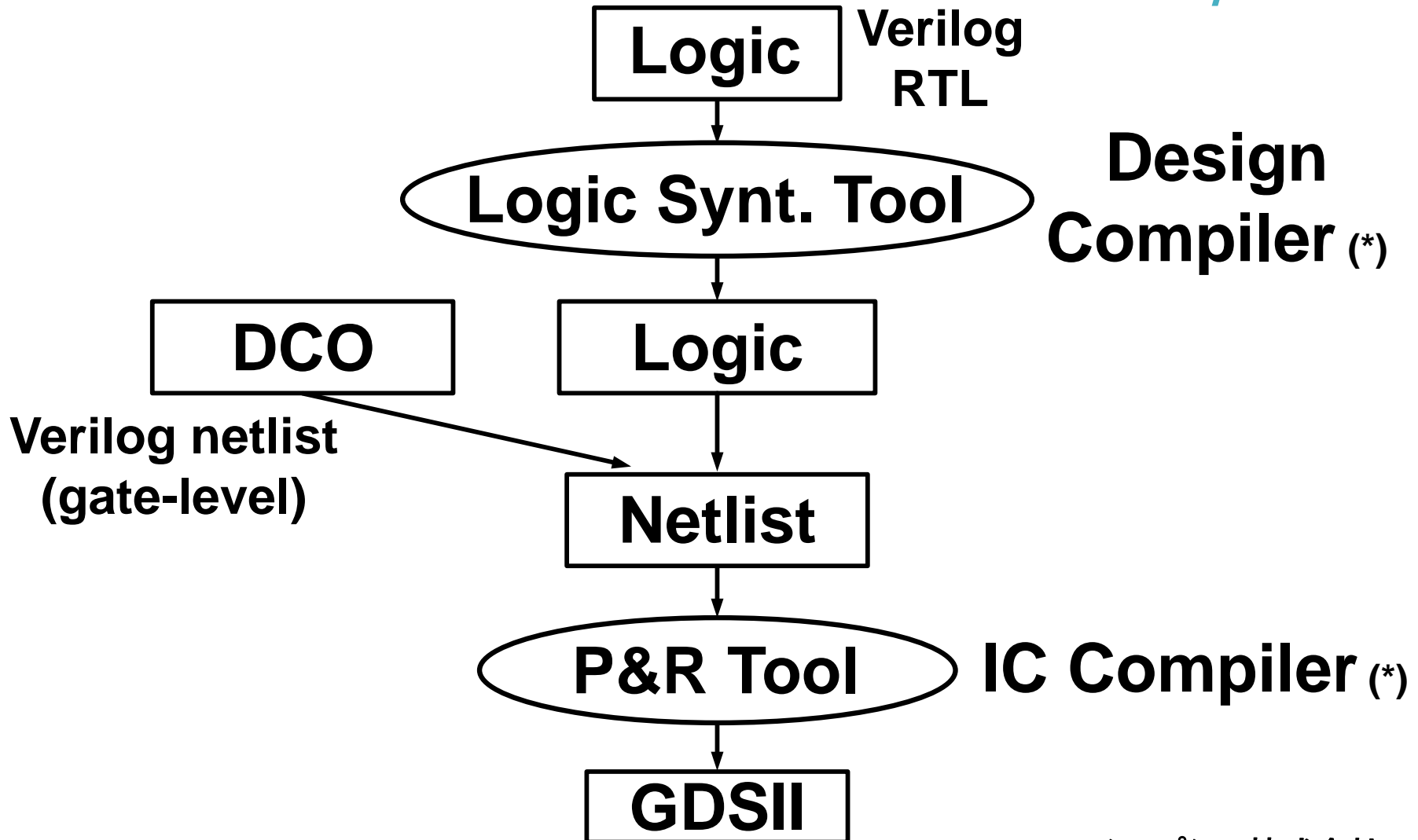
☹ パルス幅の厳密なタイミング調整が必要

DCOとRef.のエッジの入れ替えによる注入同期



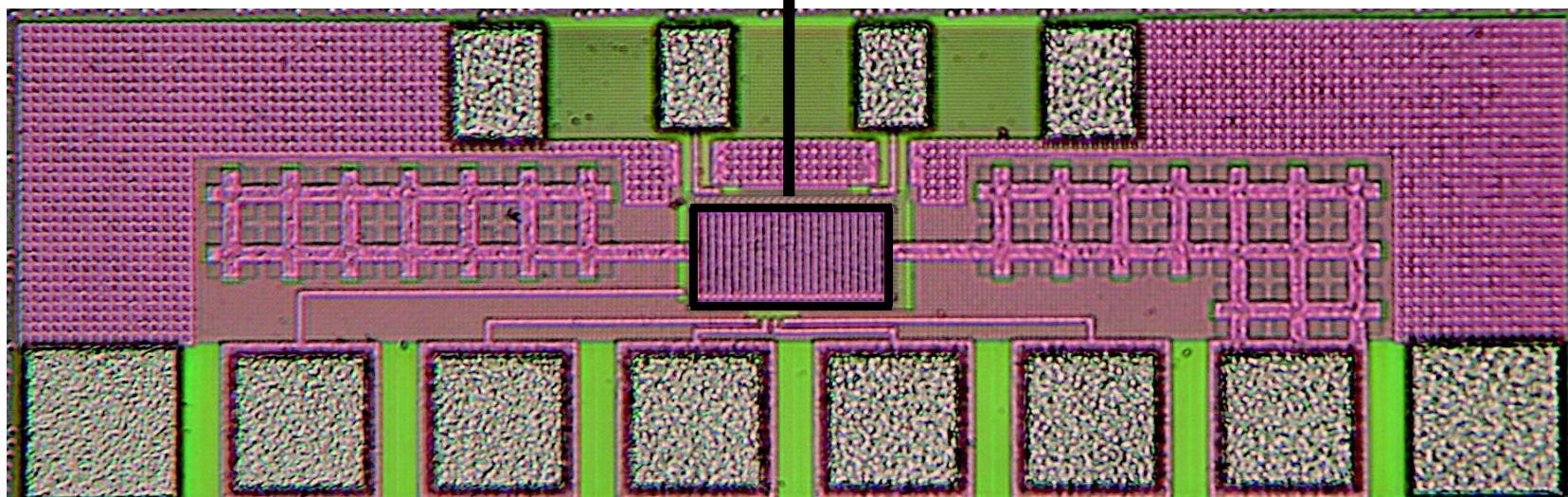
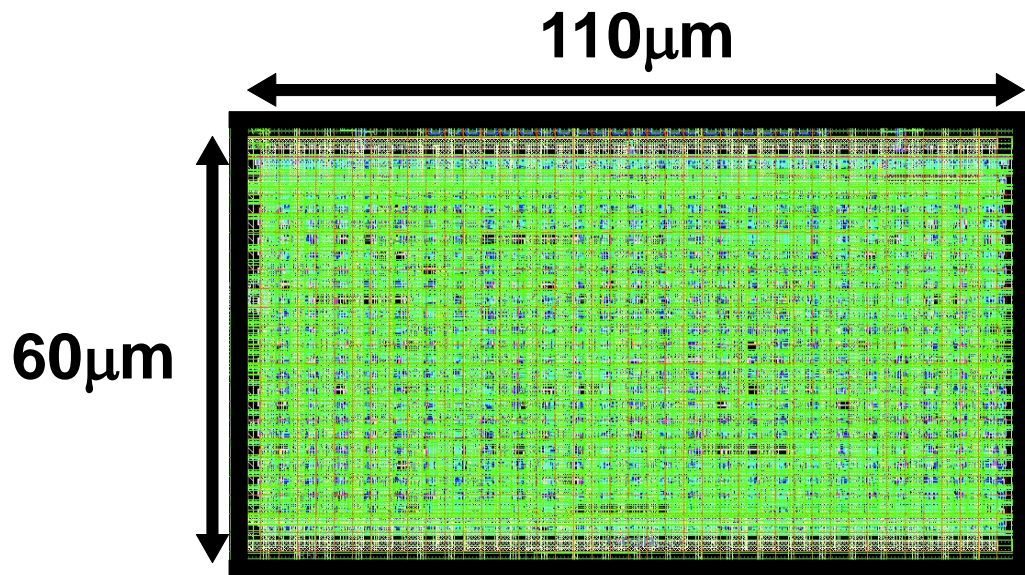
パルス型注入と違い、厳密なタイミング調整が不要

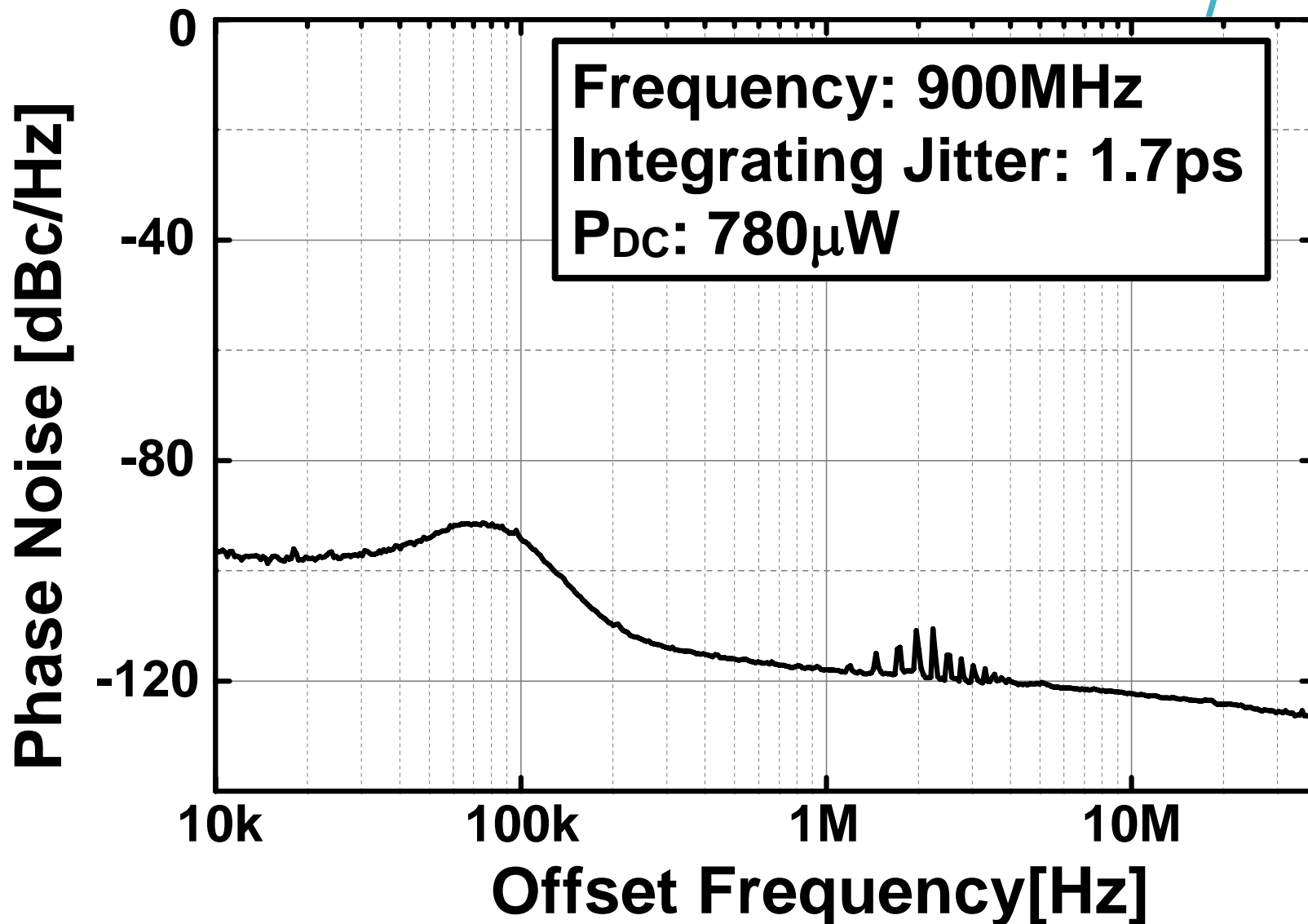
😊 従来のパルス幅由来のRef. Spurを抑制



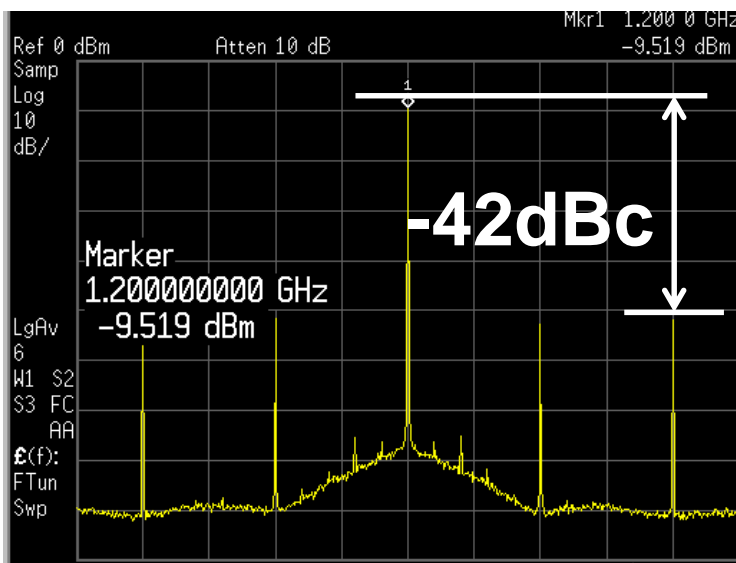
(*) シノプシス株式会社

Chip Microphotograph



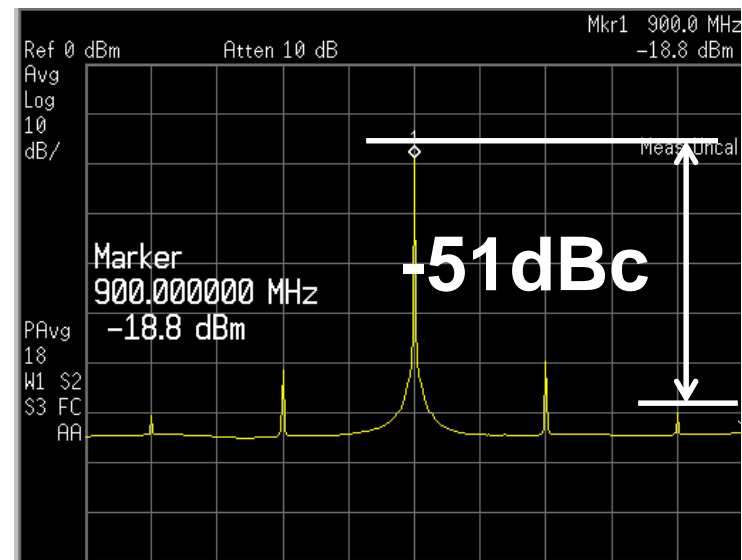


Pulse Injection (Conventional) N=6



1st Spur: -41 dBc
2nd Spur: -42 dBc

Edge Injection (This work) N=6



1st Spur: -41 dBc
2nd Spur: -51 dBc

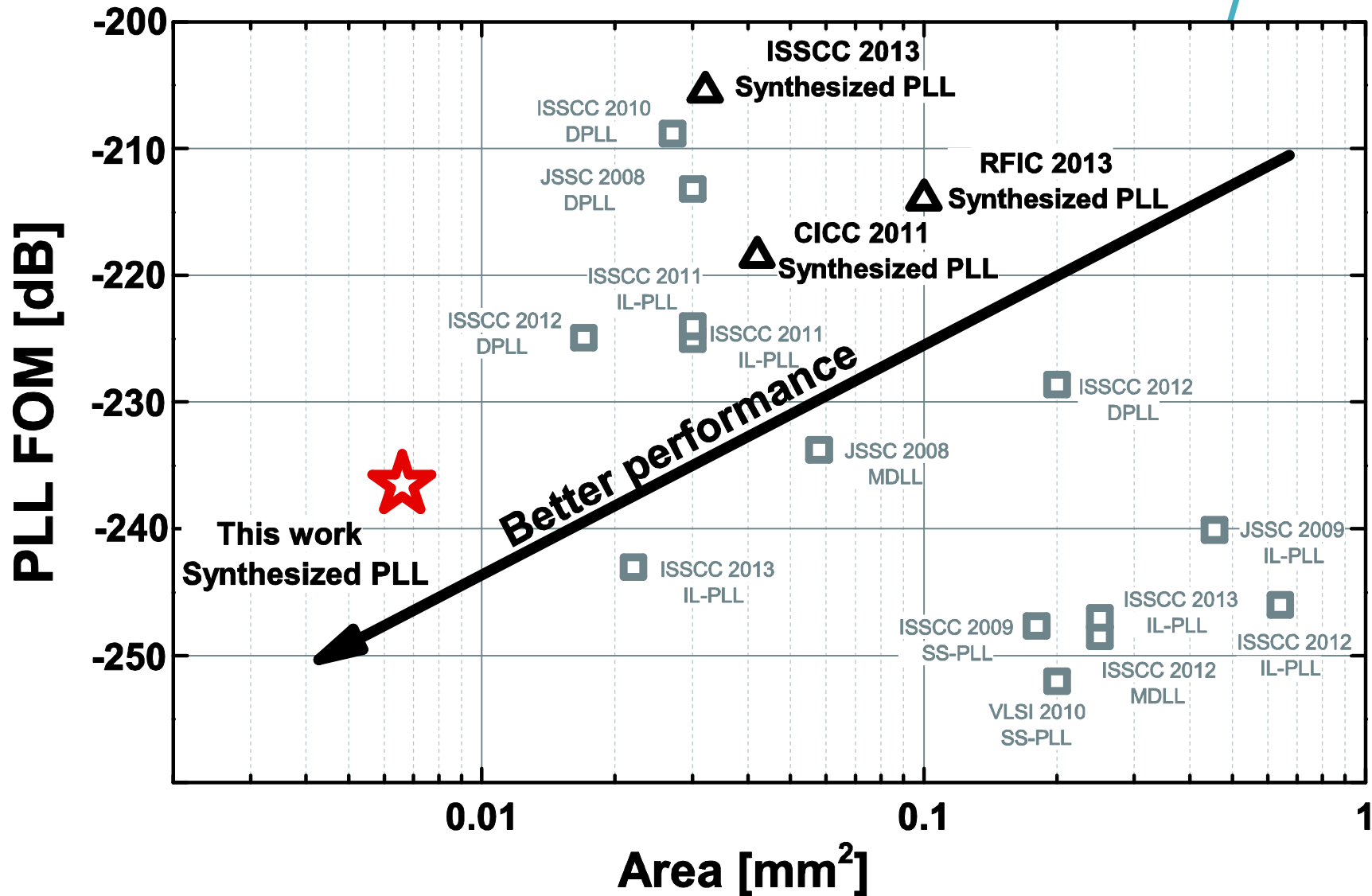
N: Multiplication factor

	This work 65nm	[1] 28nm	[4] 65nm	[5] 65nm
Power [mW]	0.78 @900MHz	13.7 @2.5GHz	3.1 @250MHz	2.1 @403MHz
Area [mm ²]	0.0066	0.042	0.032	0.1
Integ. Jitter [ps]	1.7	N.A.	30	N.A.
RMS Jitter [ps]	2.8	3.2	N.A.	13.3
FOM [dB]	-236.5	-218.6*	-205.5	-214*
W/ custom cells?	No	No	Yes	Yes
Topology	IL-base	TDC-base	TDC-base	TDC-base

*FOM is calculated based on RMS jitter.

[1]Y. Park, *et al.*, CICC 2011. [4]W. Kim, *et al.*, ISSCC 2013.

[5]M. Faisai, *et al.*, RFIC 2013.



- PLLをスタンダードセルのみを用いてレイアウトまで自動合成することに成功
- 注入同期を利用することで、ジッタ性能と消費電力のトレードオフを解消し、1.7psのジッタ性能かつ0.78mWの消費電力を実現
- 世界最小面積0.0066mm²のPLLを実現

Thank you for your attention.