

注入同期を利用した 自動合成配置配線可能な All Digital Synthesizable PLL

○中田 憲吾, Deng Wei, Yang Dongsheng, 上野 智大,
Narayanan Tharayil Aravind, Siriburanon Teerachot,
近藤 智史, 岡田 健一, 松澤 昭

東京工業大学 大学院理工学研究科
電子物理工学専攻 松澤・岡田研究室

- 研究背景と目的
- 従来手法と課題
- 注入同期によるジッタ特性改善
- 提案回路構成
- 測定結果
- 結論

Synthesizable Analog Circuits

- 設計時間&コスト削減
- スケーラビリティ
- プロセス移植性

位相同期回路(PLL)

従来アナログのカスタム設計

RTL+netlist

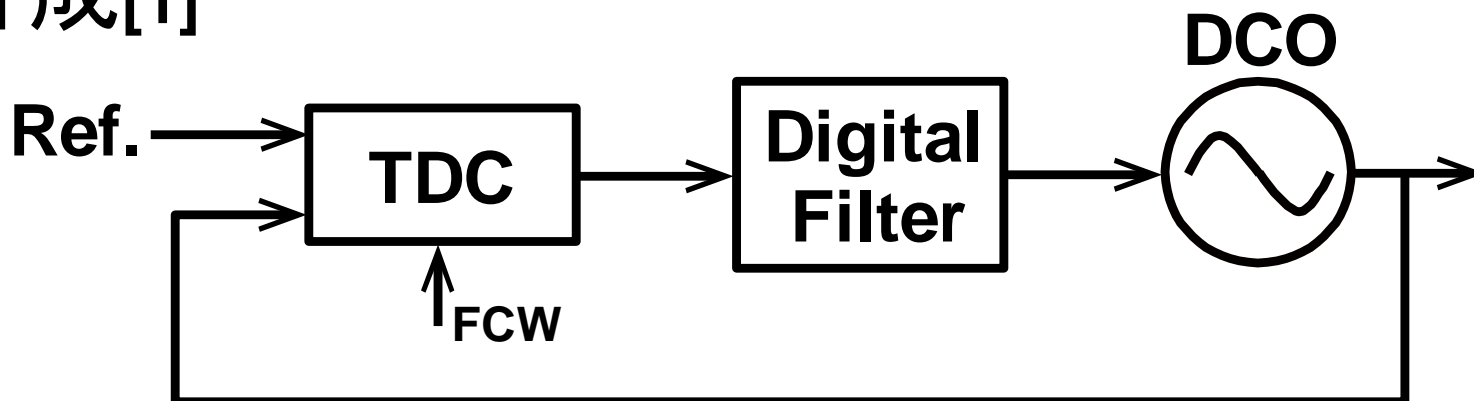
Digital design flow

Layout

研究目的

PLLをデジタル設計ツールのみで自動合成する

TDC-based PLLをデジタル設計ツールのみ
で合成[1]



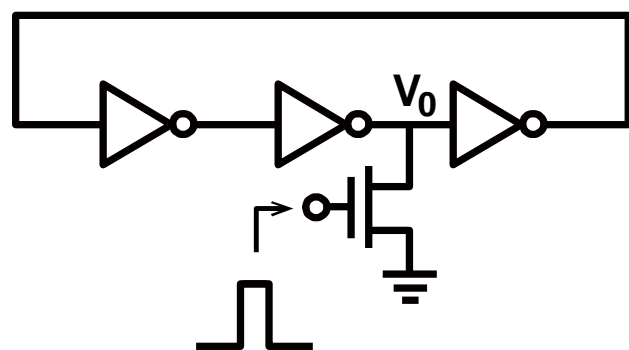
TDC:時間差デジタル変換器
[1] Y.Park, et al., CICC 2011.

課題

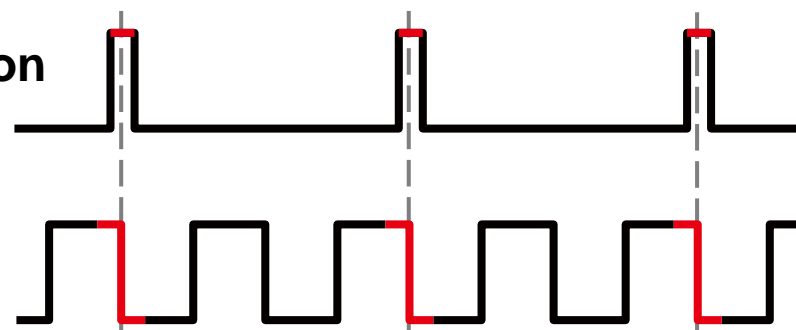
- ☹️ 自動レイアウトでTDC, DCOの線形性劣化
→ Synthesizable化でPLLのジッタ特性劣化

• 注入同期(Injection Lock)

発振器出力を低ジッタな参照信号に同期



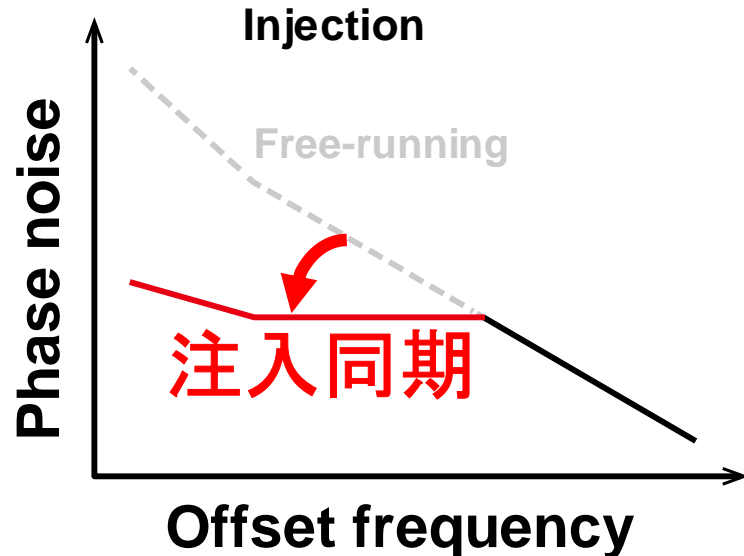
Injection



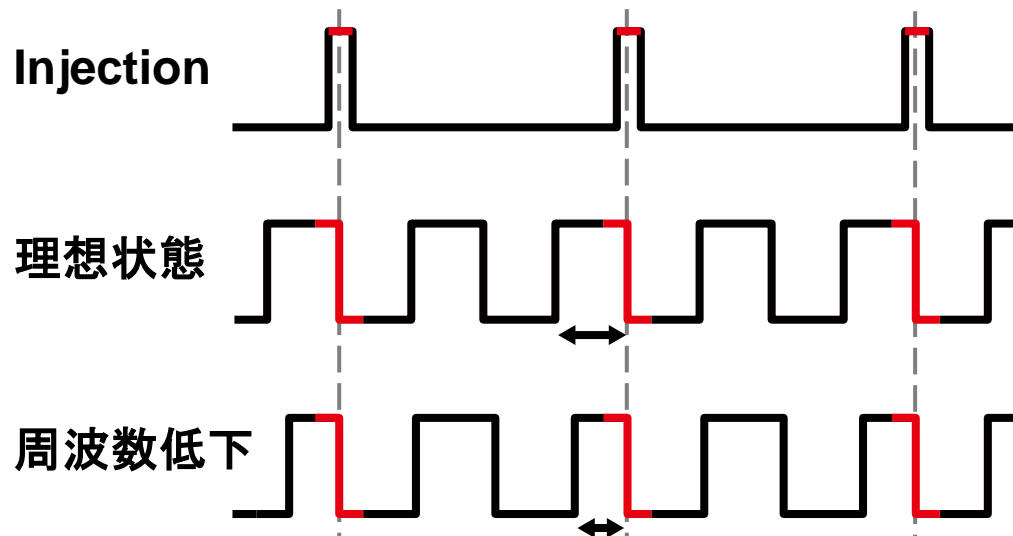
帯域内位相雑音

およびジッタ改善[2]

[2] N. Da Dalt, IEEE Trans. 2014.



従来型注入同期PLL(IL-PLL)課題



周波数変動はカウンタで検出できない

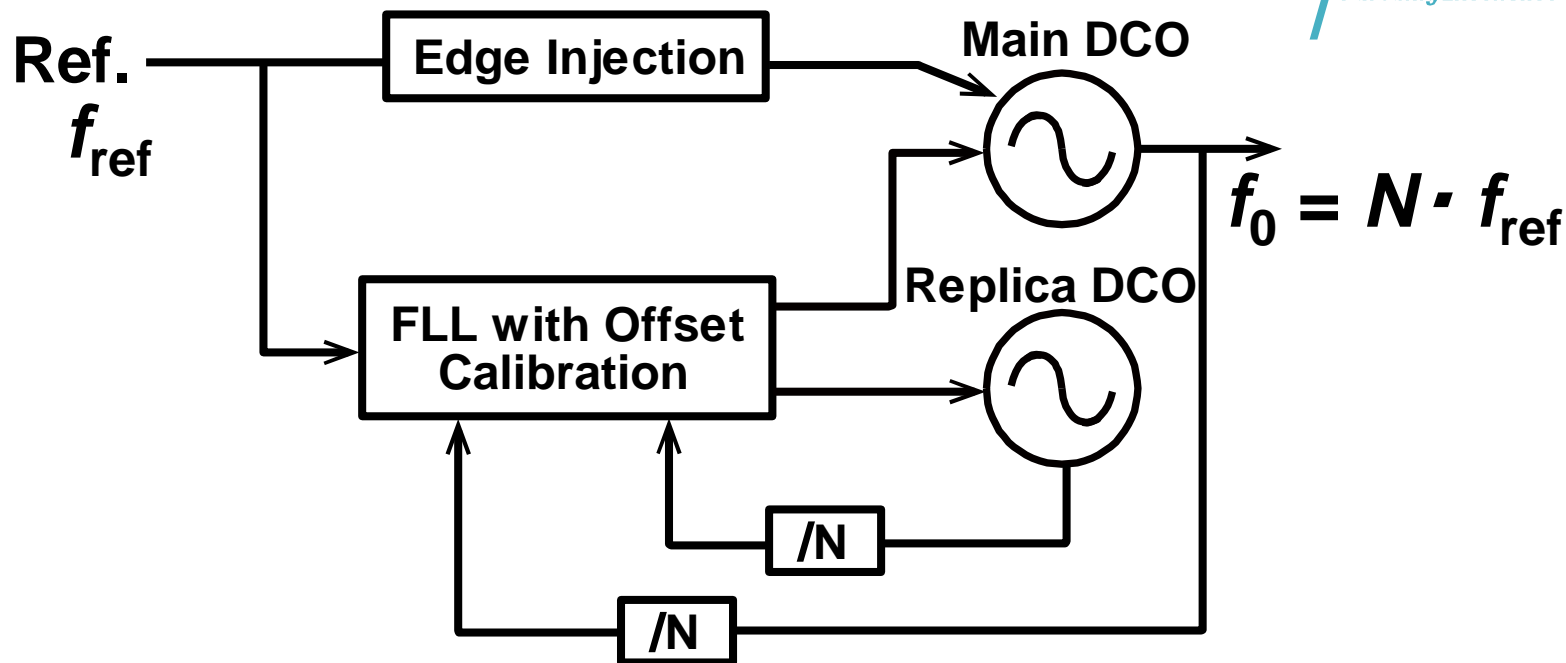
→電源電圧や温度の変化による周波数変動で

☹ Duty比の劣化や**スプリアス**の増加

提案構成：二重ループ型IL-PLL

7

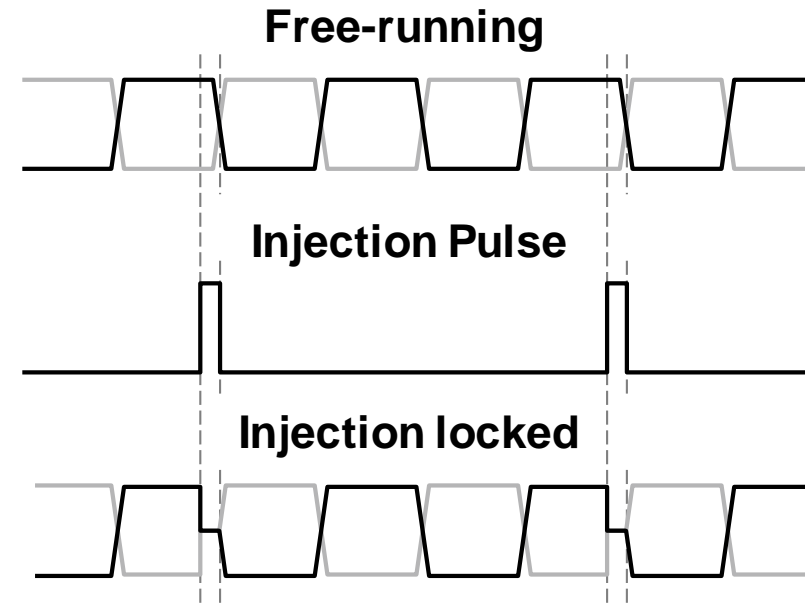
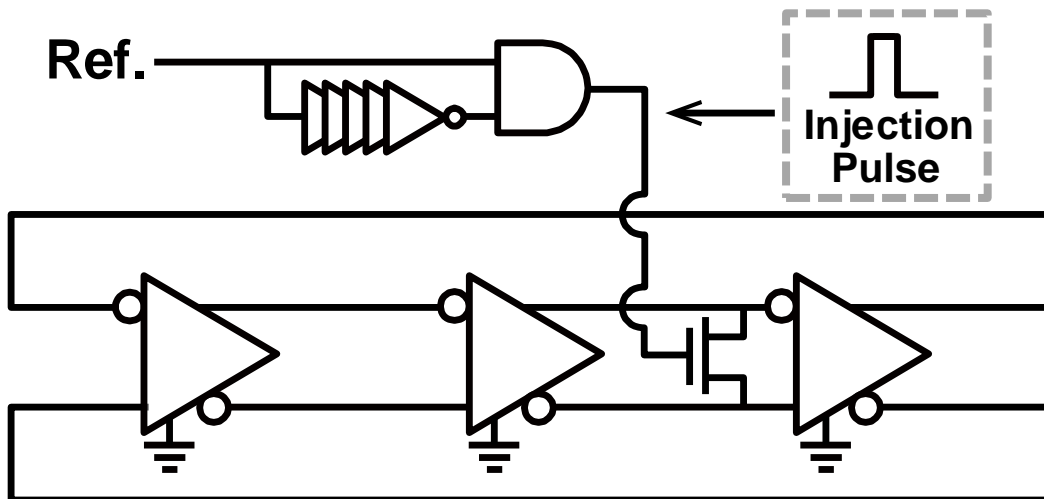
TOKYO TECH
Pursuing Excellence



Replica DCO:周波数変動を検出

Main DCO:周波数誤差をフィードバックし、補償

☺ 注入同期と同時に周波数補償可能

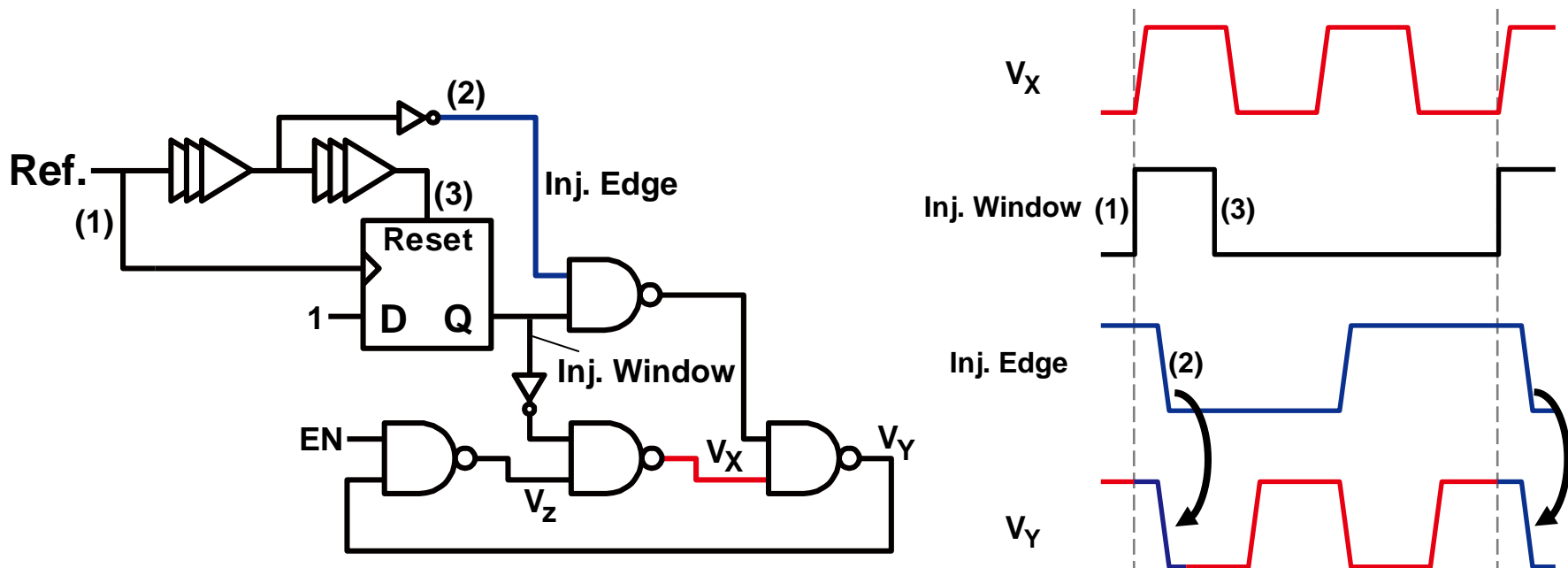


[3] B. Helal, *et al.*, JSSC 2009

Injection Pulseのパルス幅により出力波形は歪む

☹️ パルス幅の厳密なタイミング調整が必要

DCOとRef.のエッジを入れ替え、ジッタ抑制



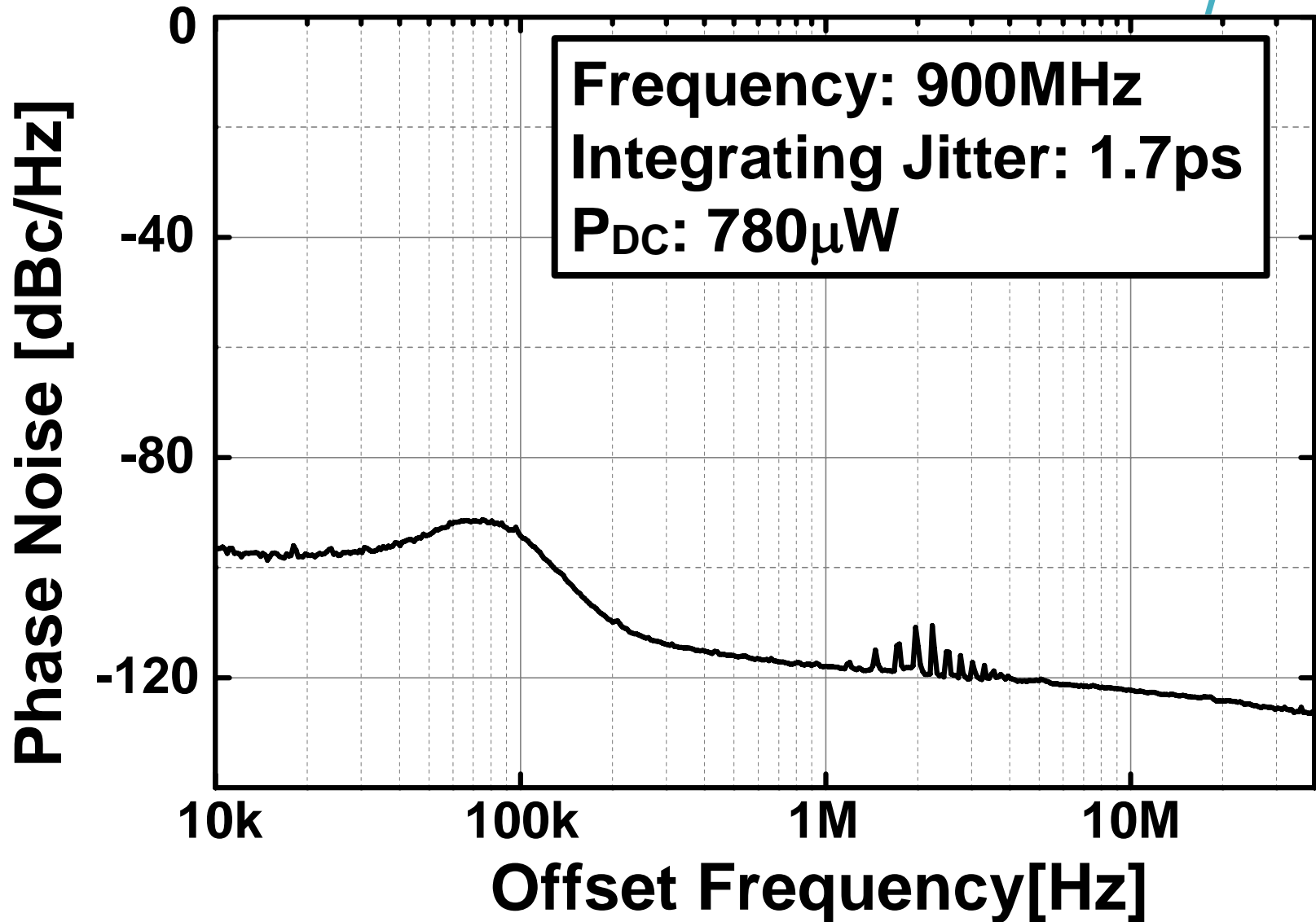
パルス型注入と違い、厳密なタイミング調整が不要

😊 自動レイアウトでの性能劣化を回避し、
ジッタ削減可能

測定結果 : Phase noise

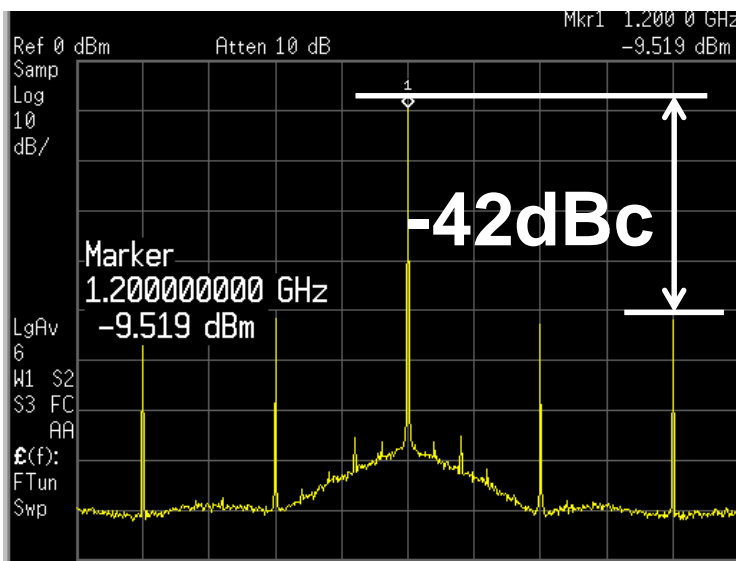
10

TOKYO TECH
Pursuing Excellence



パルス型注入 (Conventional)

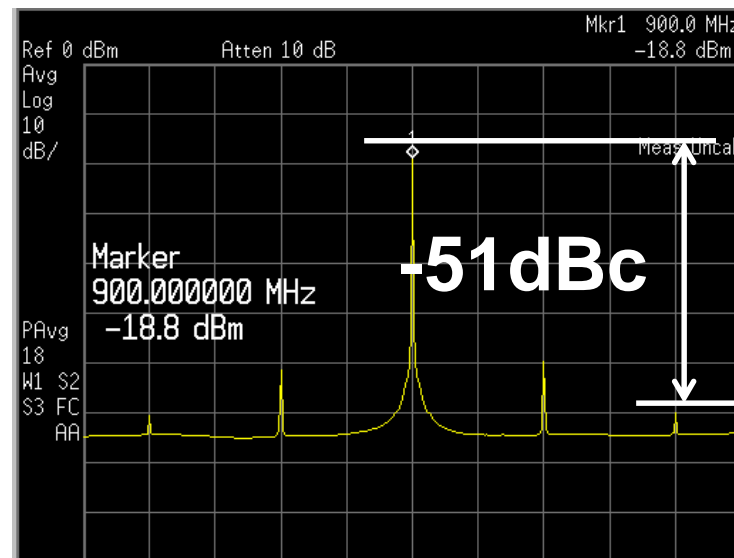
N=6



1st Spur: -41 dBc
2nd Spur: -42 dBc

Edge Injection (This work)

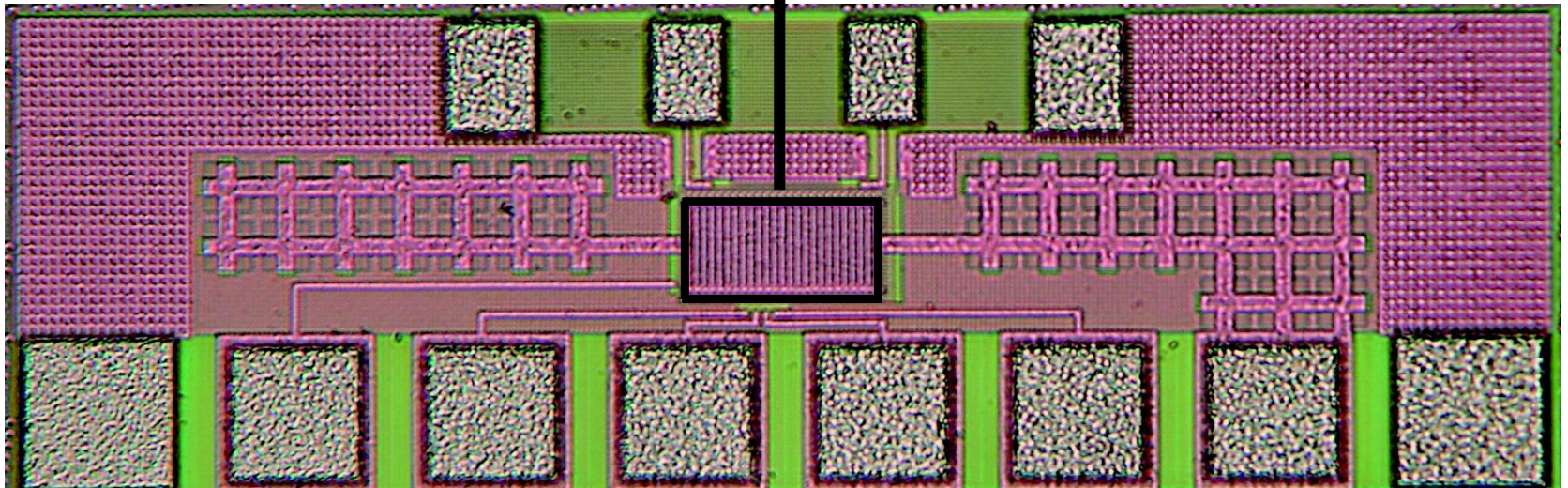
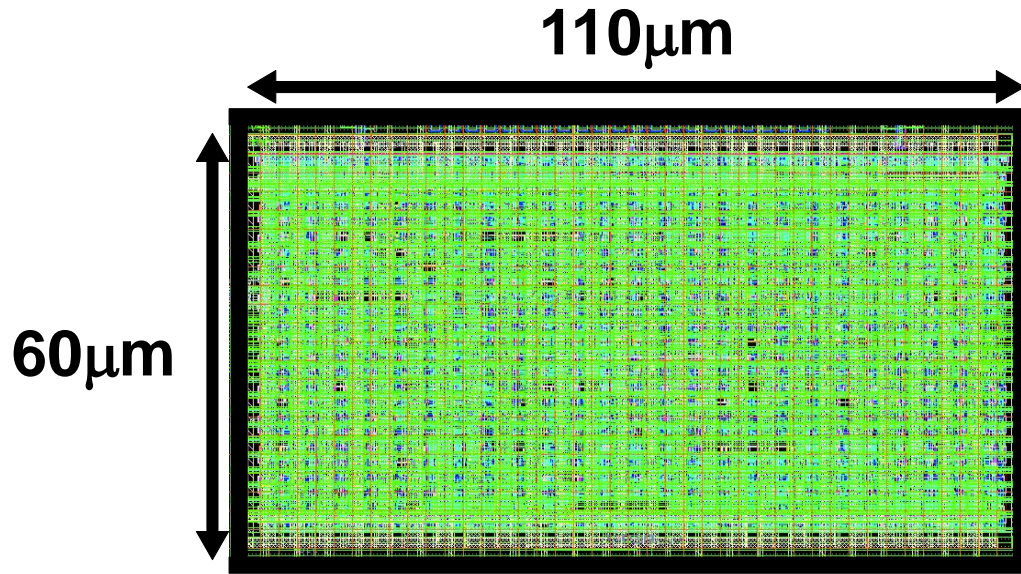
N=6



1st Spur: -41 dBc
2nd Spur: -51 dBc

N: Multiplication factor

Chip Microphotograph



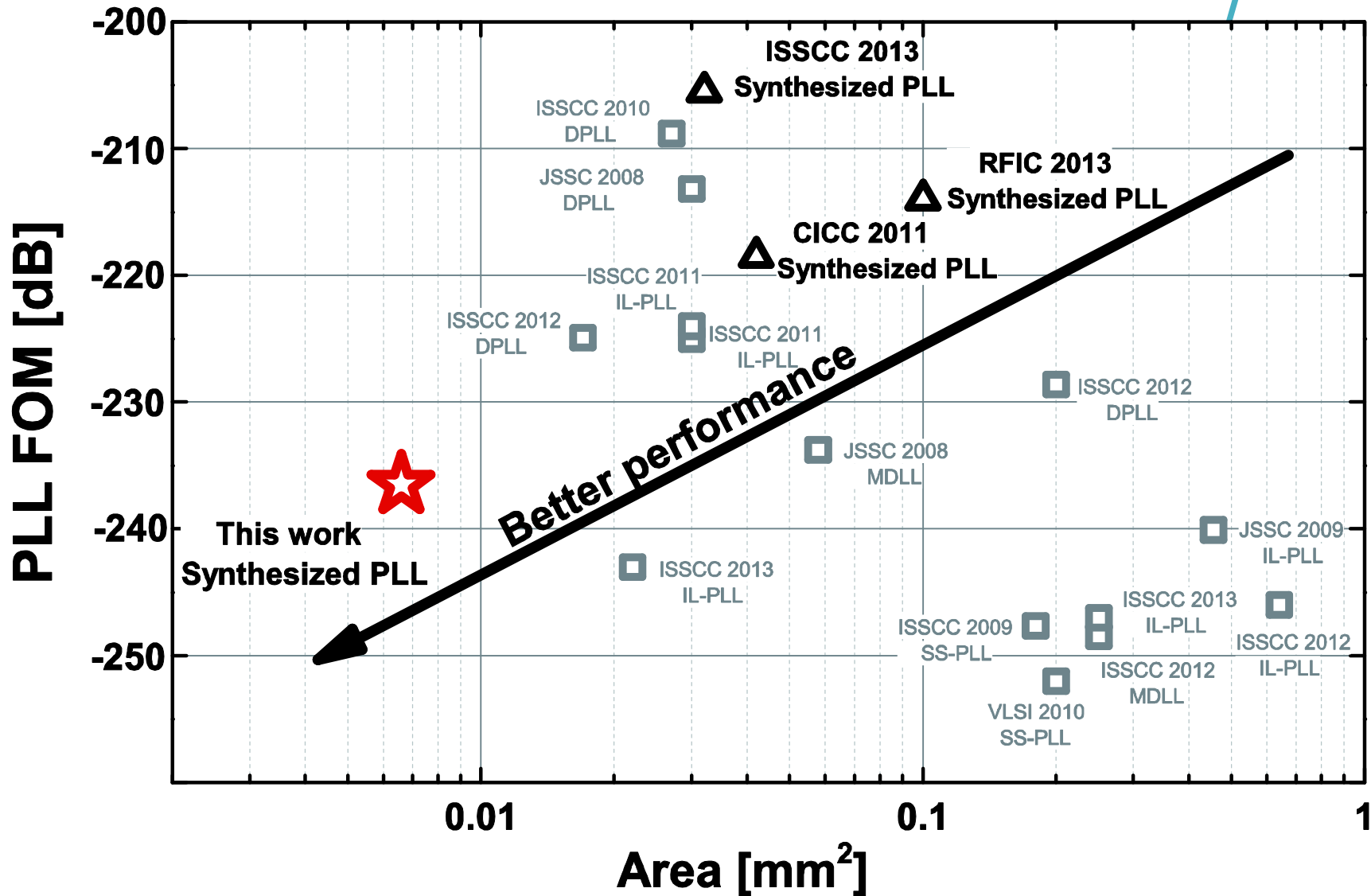
	This work 65nm	[1] 28nm	[4] 65nm	[5] 65nm
Power [mW]	0.78 @900MHz	13.7 @2.5GHz	3.1 @250MHz	2.1 @403MHz
Area [mm ²]	0.0066	0.042	0.032	0.1
Integ. Jitter [ps]	1.7	N.A.	30	N.A.
RMS Jitter [ps]	2.8	3.2	N.A.	13.3
FOM [dB]	-236.5	-218.6*	-205.5	-214*
W/ custom cells?	No	No	Yes	Yes
Topology	IL-base	TDC-base	TDC-base	TDC-base

*FOM is calculated based on RMS jitter.

[1]Y. Park, *et al.*, CICC 2011. [4]W. Kim, *et al.*, ISSCC 2013.

[5]M. Faisai, *et al.*, RFIC 2013.

Performance Comparison



- PLLをスタンダードセルのみを用いてレイアウトまで自動合成することに成功
- 注入同期を利用することで、ジッタ性能と消費電力のトレードオフを解消し、1.7psのジッタ性能かつ0.78mWの消費電力を実現