

# カスケード型IL-PLLにおける 逓倍比の最適化に関する検討

◎吉岡 透, 中田 憲吾, 岡田 健一, 松澤 昭

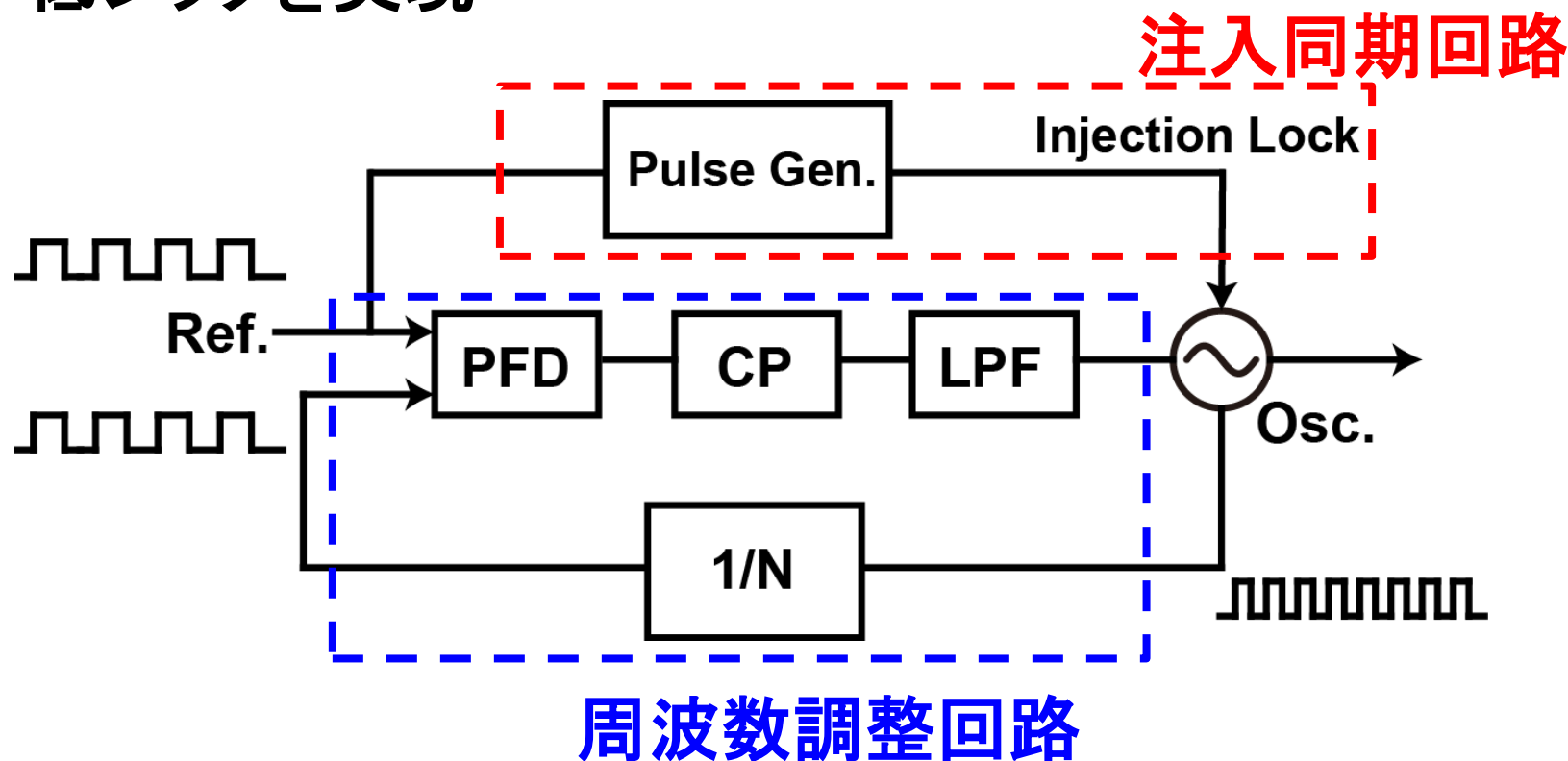
東京工業大学大学院 理工学研究科  
電子物理工学専攻 松澤・岡田研究室

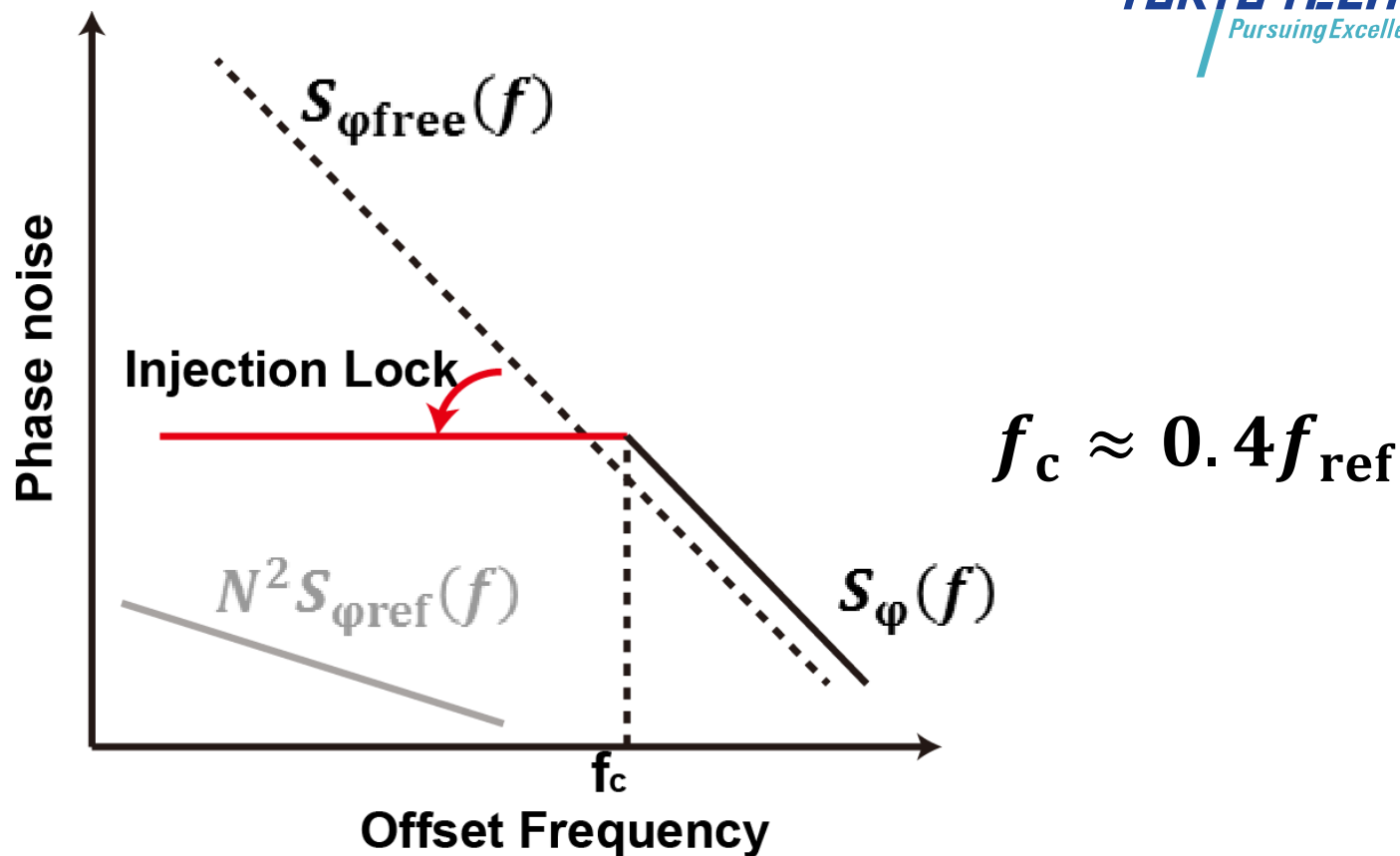
- 研究背景
- Edge型注入同期における課題
- カスケード型IL-PLL
- 理論式によるFoMの最適化
- シミュレーション結果との比較
- まとめ

## IL-PLL (注入同期PLL)

高純度な参照信号で注入同期

😊 低ジッタを実現

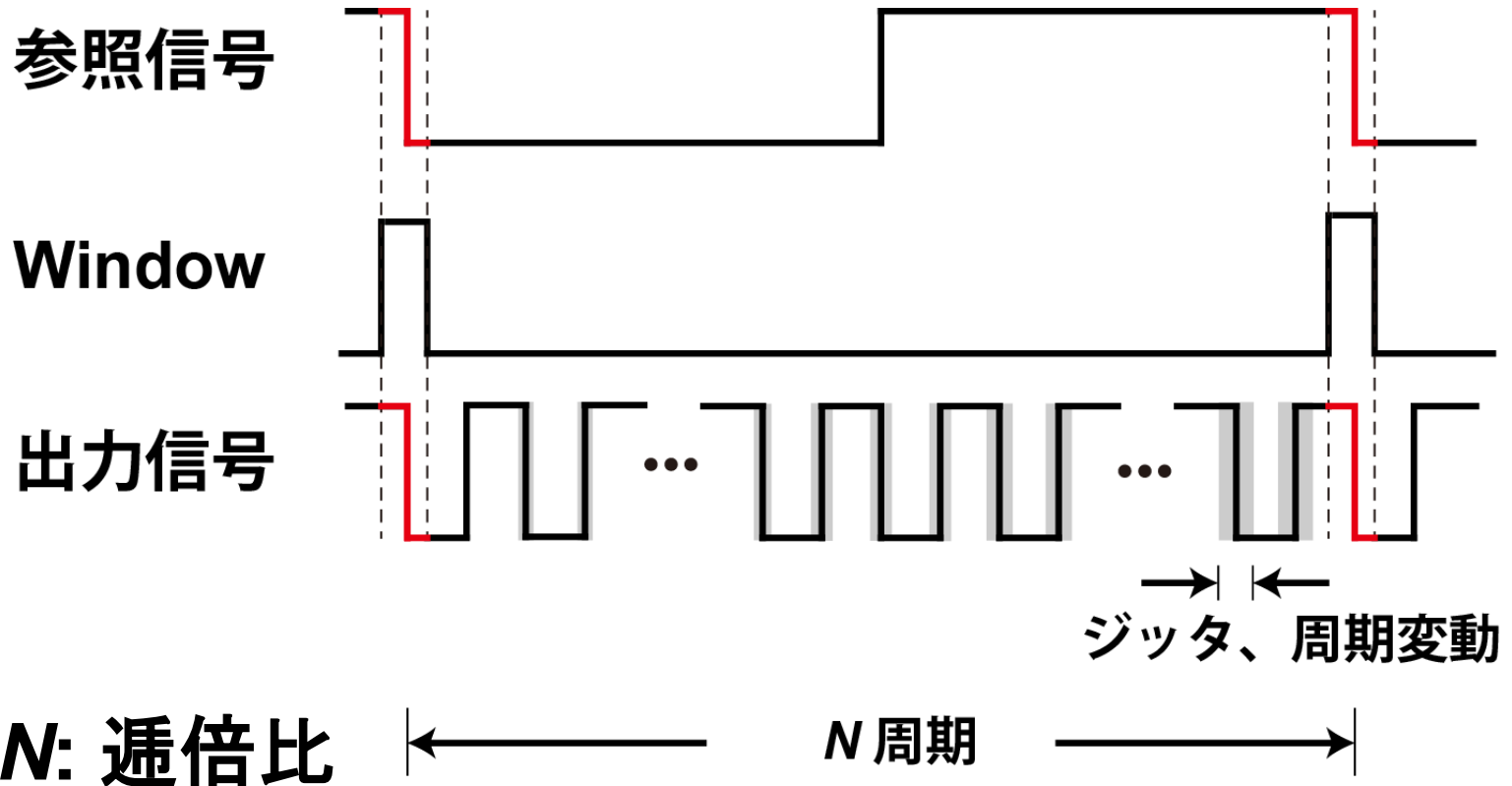




[1]N. Da Dalt, *et al.*, IEEE Trans., 2014

参照信号の周波数が高いほど低ジッタとなる

Windowでマスクしている期間参照信号と出力信号を入れ替える



[2] W. Deng, *et al.*, ISSCC, 2014

所望のタイミングのみをマスクする必要がある

参照信号

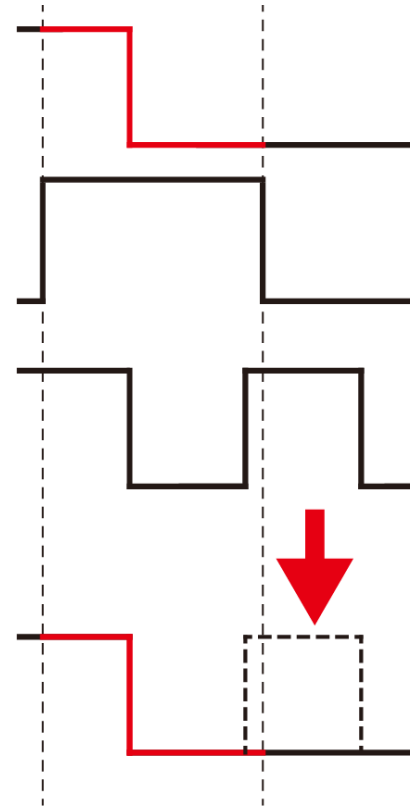
Window

出力信号

(without injection)

出力信号

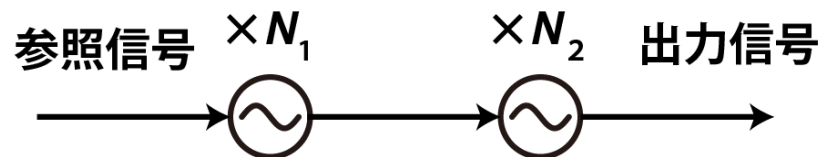
(with injection)



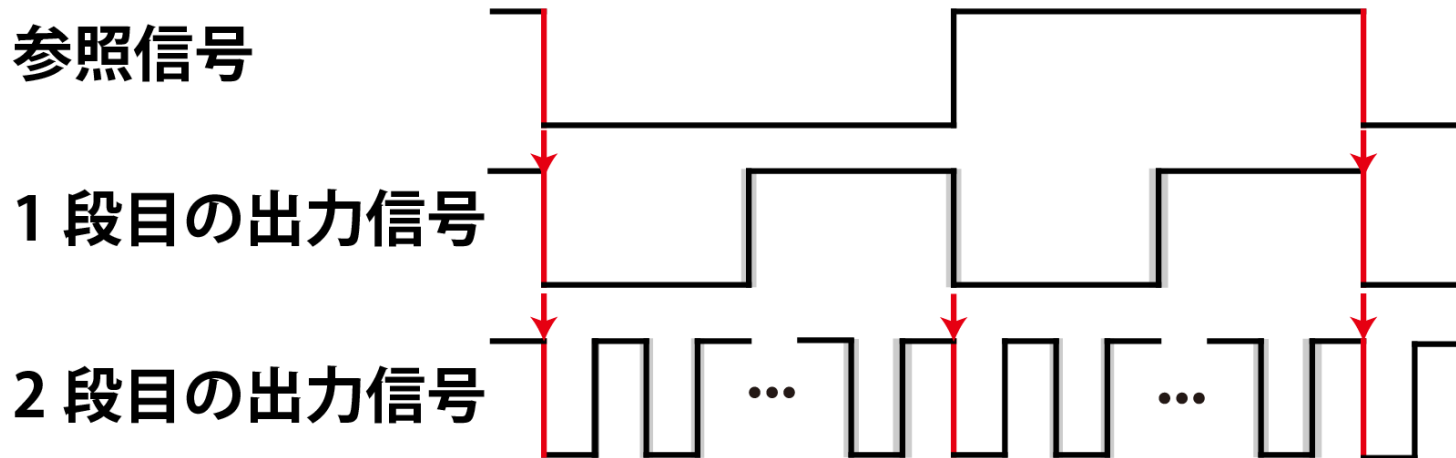
参照信号の周波数が低い→タイミングのずれが増加

☹ Window幅の制約が厳しくなり誤動作を引き起こす

## 😊 高逓倍比( $N = N_1 \times N_2$ )動作を実現

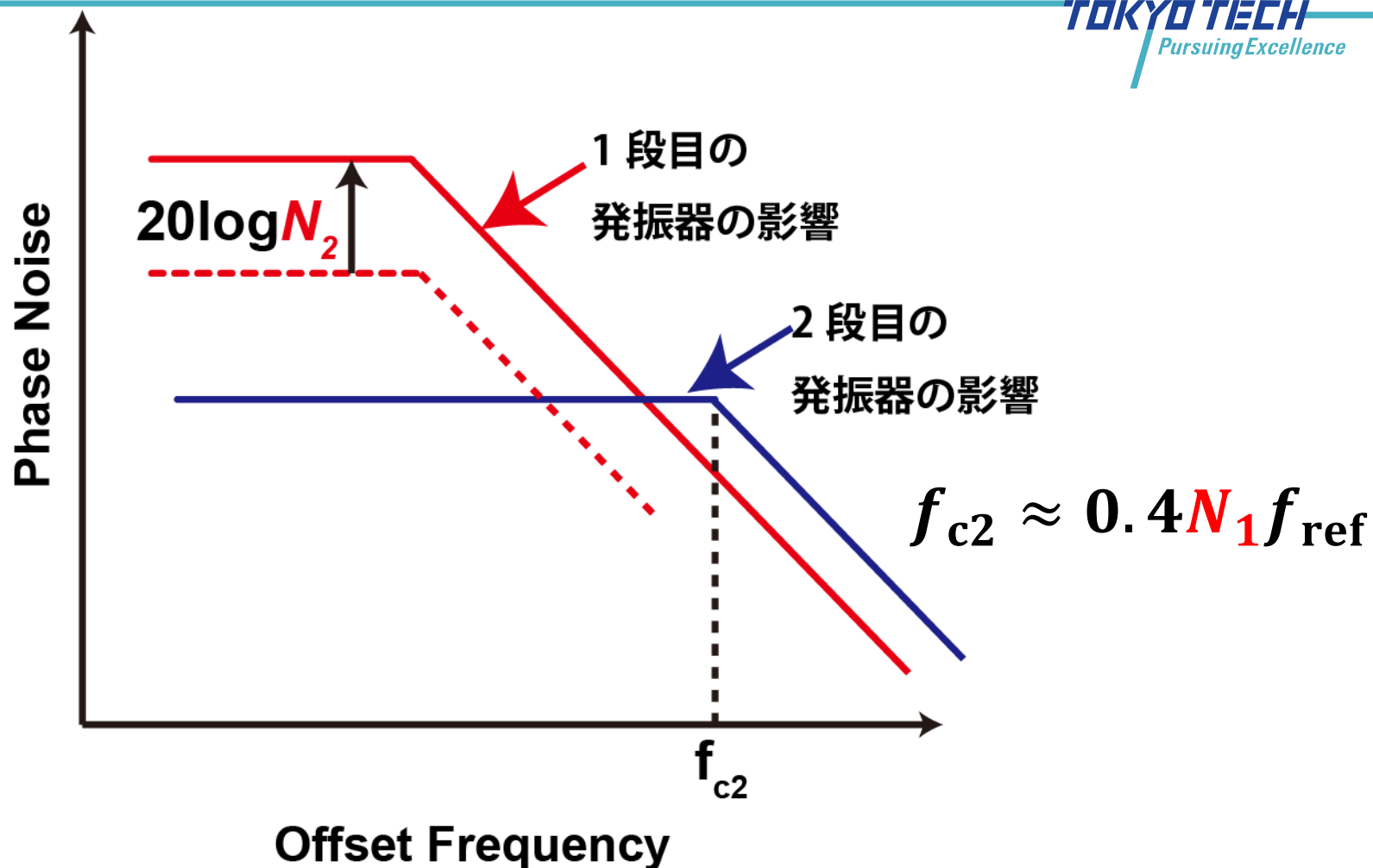


[3] J.Lee, *et al.*, JSSC, 2009



## 本研究の目的

## カスケード型IL-PLLの理論的最適化



- 参照信号(1段目の発振器)の位相雑音が影響
- 逓倍比の分配によって位相雑音が変化

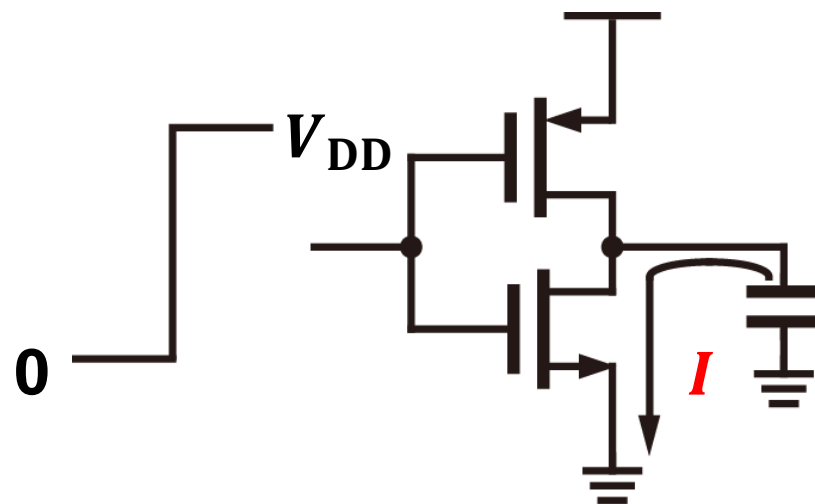


## 消費電力と位相雑音のトレードオフ

$$S_{\phi\text{free}}(f) \propto \frac{1}{I} \quad [4]$$

消費電力大 → 雑音小

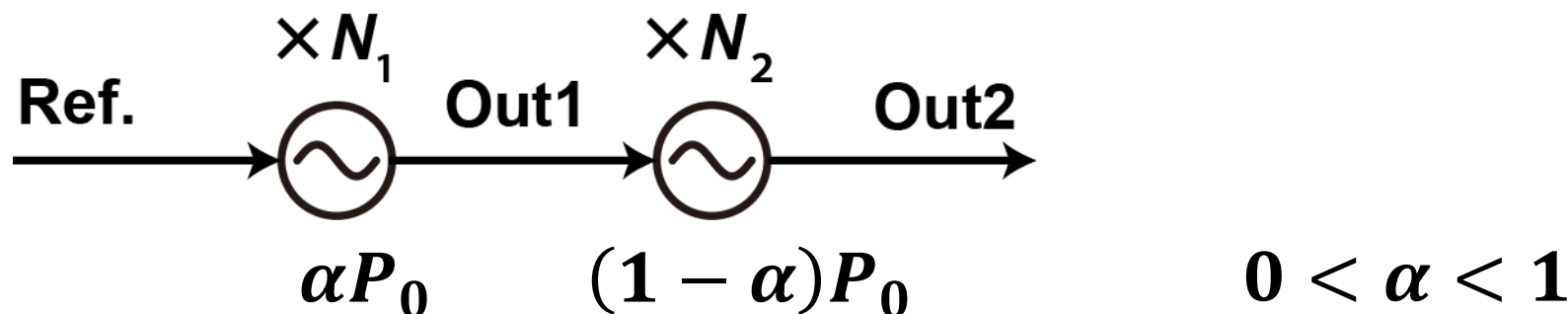
消費電力小 → 雑音大



→ 二つの発振器における消費電力を調節

[4] Asad A. Abidi, JSSC, 2006

合計の消費電力 $P_0$ を1, 2段目の発振器で分配



評価指標 : Figure of Merit

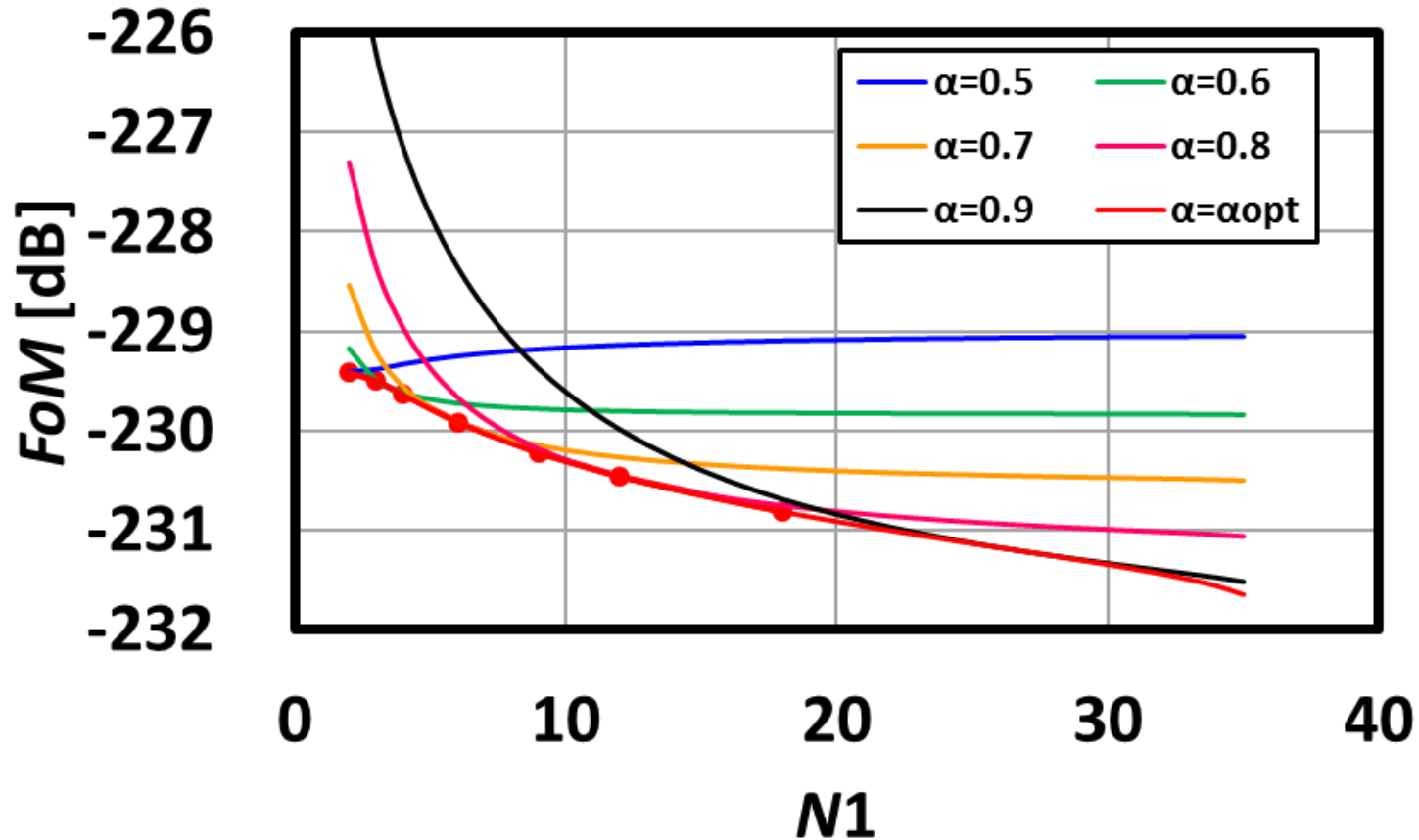
$$FoM = 10 \log(J_{\text{RMS}}^2 \cdot P_{\text{DC}})$$

→  $N_1$ と $\alpha$ の関数 $\phi(N_1, \alpha)$ で表される

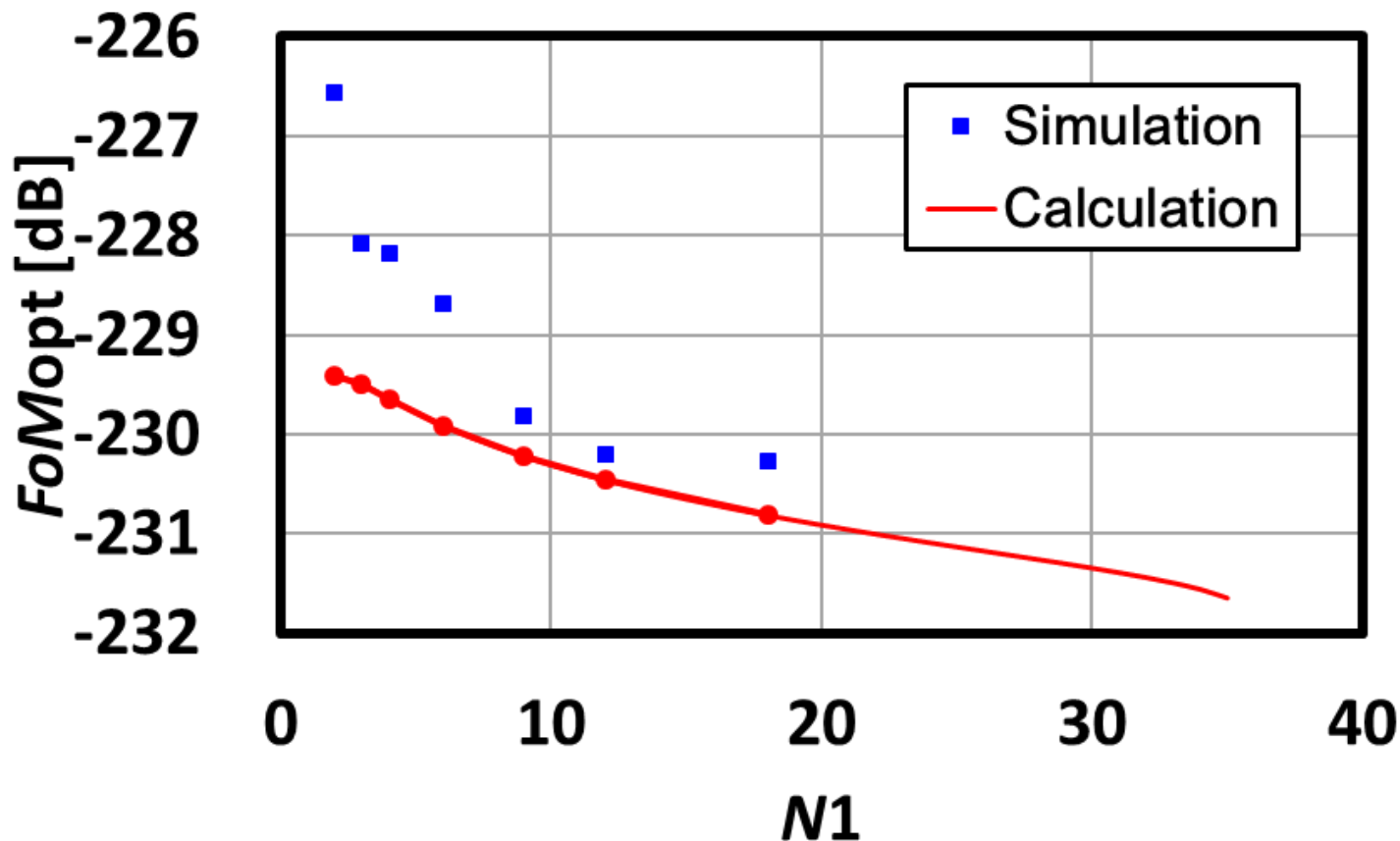
$$\frac{\partial \phi(N_1, \alpha_{\text{opt}})}{\partial \alpha} = 0$$



最適な電力分配



条件 :  $f_{\text{ref}} = 50 \text{ MHz}$ ,  $N_1 \times N_2 = 36$



## Simulationとの誤差

→ Spurを考慮した理論式が必要

## まとめ

- カスケード型IL-PLLにおいて発振器の消費電力と逡倍比を調節しFoMを最適化した
- 1段目の発振器の消費電力を増やすことでジッタを減らし、 $N_1$ を大きくすることでFoMを改善できる傾向にある

## 今後の課題

- Spurの影響を含めた性能の理論計算
- Spurを軽減する手法の検討