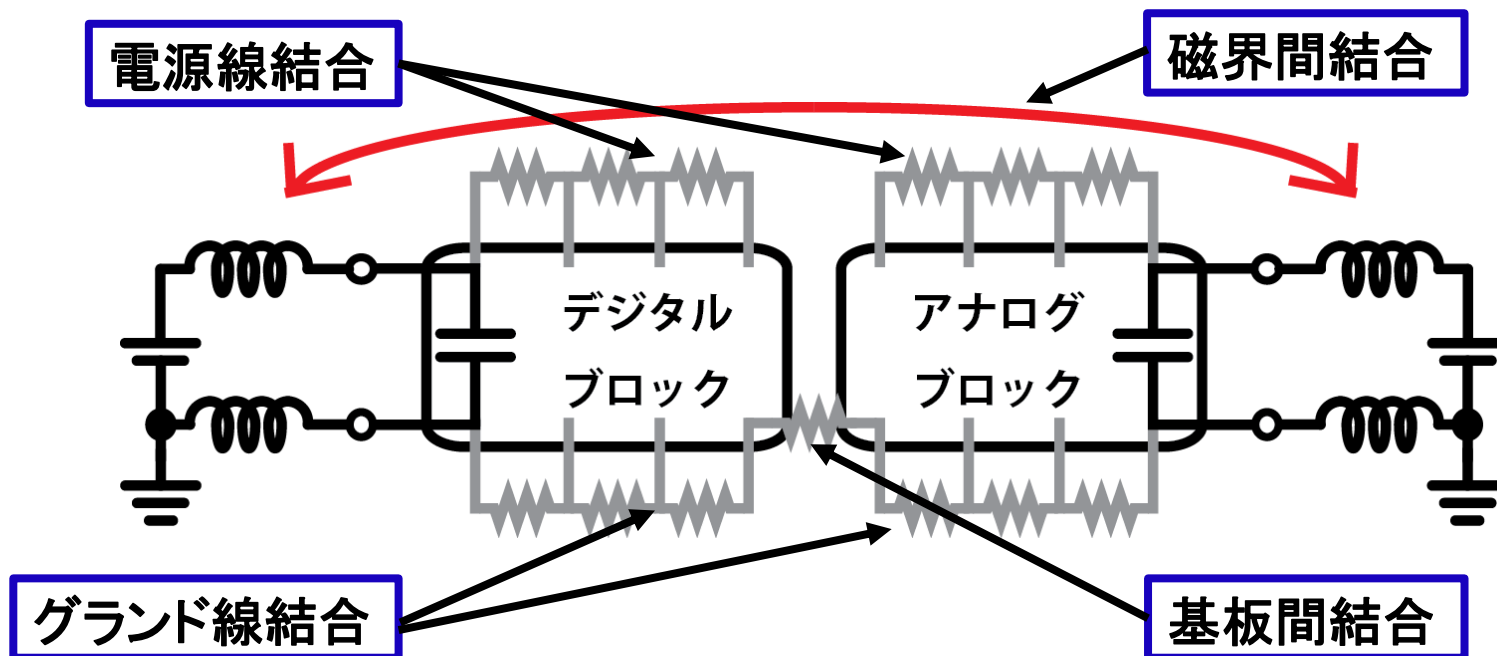


# 電源電圧雑音に 不感なLC発振器の検討

東京工業大学大学院 理工学研究科  
松澤・岡田研究室  
木村 健将

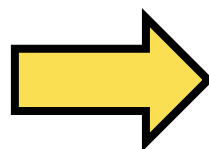
- 研究背景
- 研究目的 (従来手法の問題点)
- 提案するLC発振器の電源雑音不感化
  - 各容量成分の電源特性
- 実測結果
- 結論

## ・SoCにおける雑音混入パス



## ・発振器における影響

1. PLLのロック外れ
2. ジッタ性能の劣化
3. スプリアス信号の発生



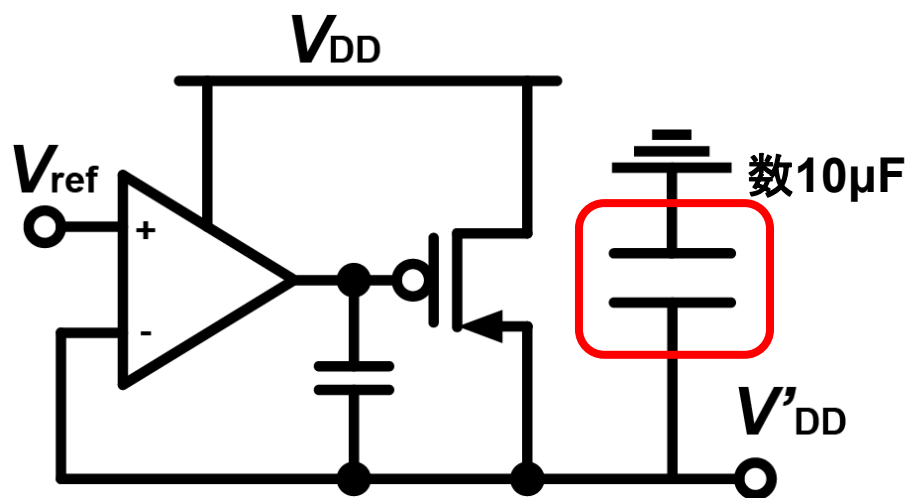
電源対策が不可欠

## 従来手法

オンチップ高PSRRレギュレータ

オンチップデカップリング (nFオーダー)

- ☺ 電源雑音の影響を緩和できる
- ☹ レギュレータ自身のノイズ
- ☹ 数 $10\mu\text{F}$ の容量
- ☹ 余分なピンとパッド



大きな雑音レベル



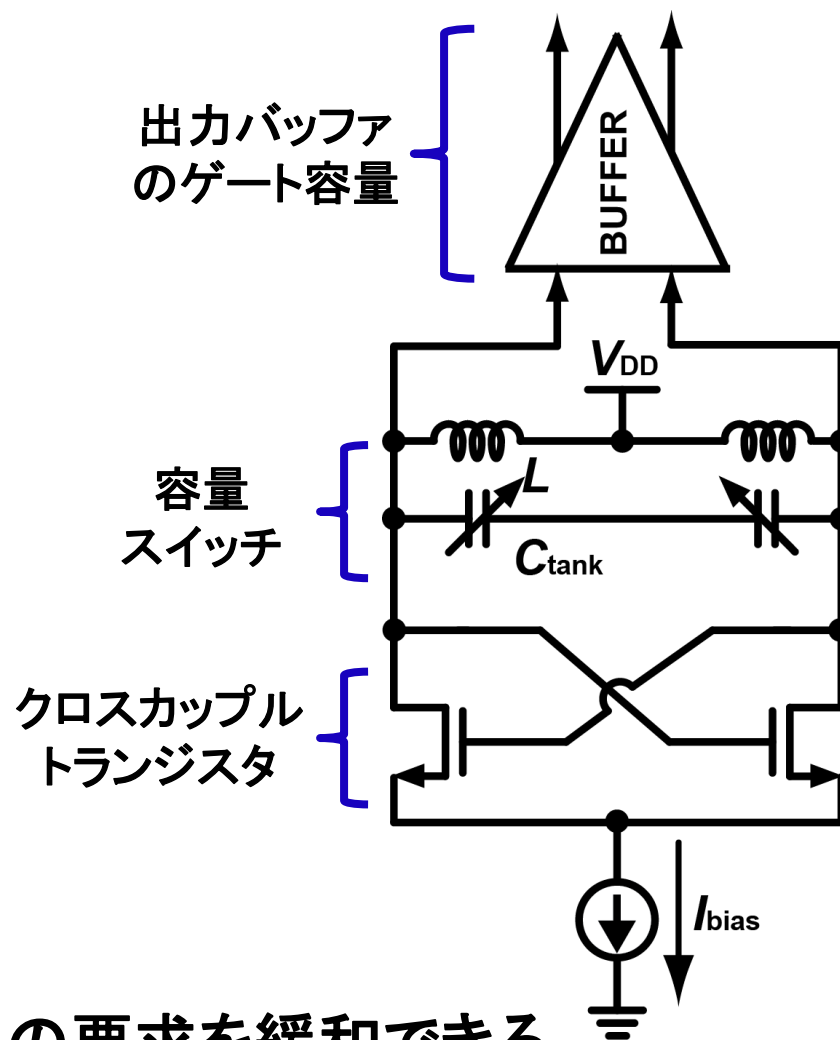
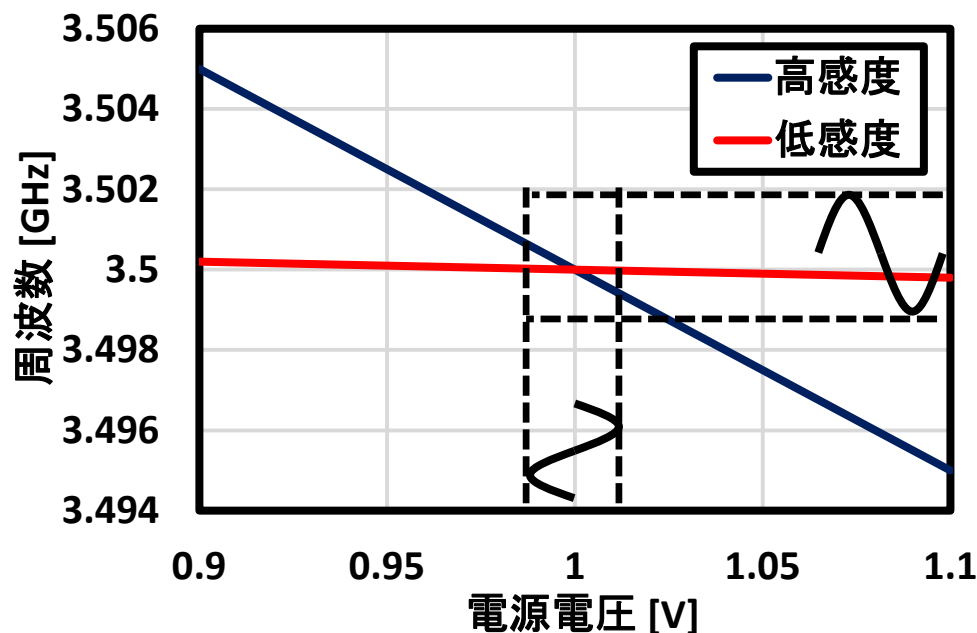
容量面積・実装費用

雑音耐性のある発振器を提案し、面積・費用削減する。

## 発振器そのものを雑音不感化

→容量成分の電源特性を0にする。

$$\omega(V_{DD/SS}) = \frac{1}{\sqrt{L \cdot C_i(V_{DD/SS})}}$$



☺ デカップリング、レギュレータへの要求を緩和できる

## ・要求される事項

$$\textcircled{1} \sum_i \frac{\partial C_i}{\partial V_{DD/SS}} = 0$$

→ 電源感度を0にする

$$\textcircled{2} \sum_i C_i = C_0$$

→ 所望の周波数で発振させる

$$\textcircled{3} C_i \text{ と } \frac{\partial C_i}{\partial V_{DD/SS}} \text{ を独立して変えられる}$$

→ ①,②を同時に満たすまでの収束時間を早める

 容量スイッチの新構成

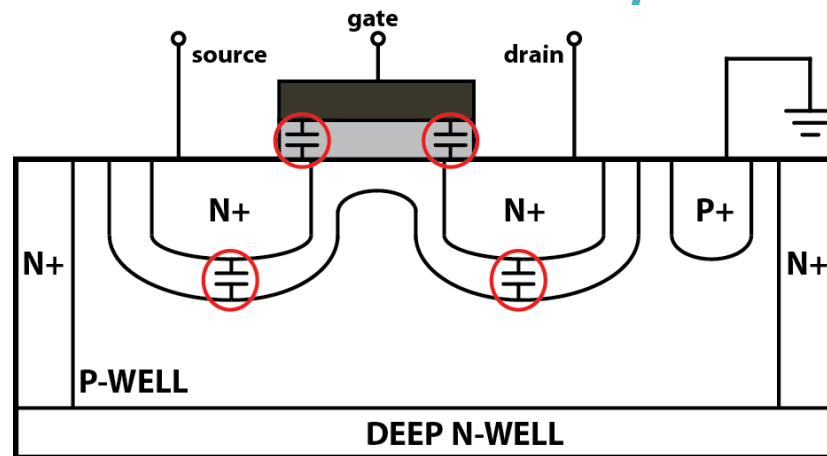
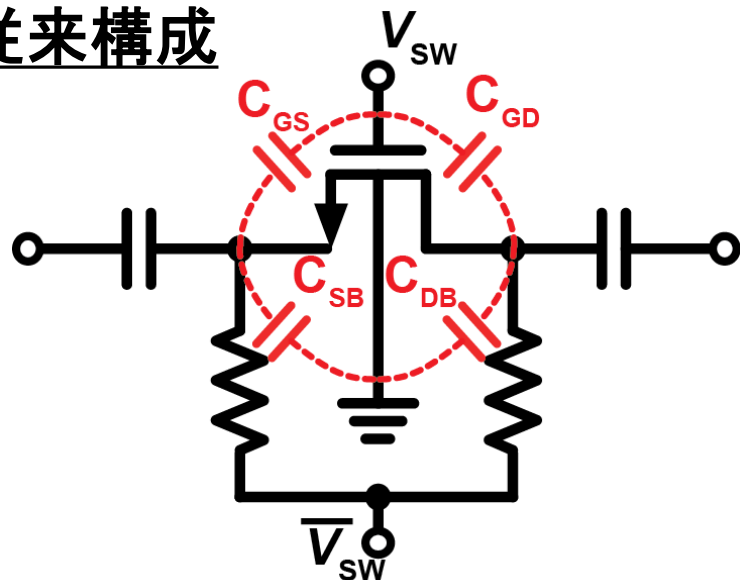
$$\textcircled{4} \text{ 細かく } \frac{\partial C_i}{\partial V_{DD/SS}} \text{ を変えられる}$$

→ 電源感度の最小値が決まる

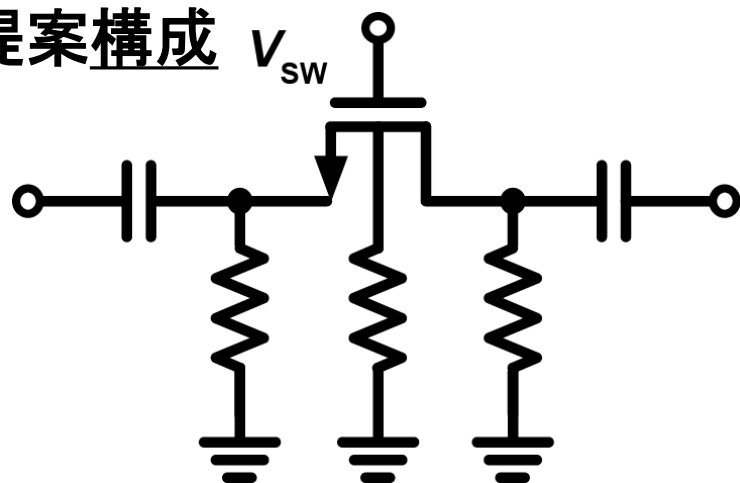
 クロスカップルトランジスタの新構成

# 1. 容量スイッチ

## 従来構成



## 提案構成



## オフ時の容量

$C_{GS}$ ,  $C_{GD}$  (メタル間容量)

→ オーバーラップ幅で決まる

☹️ 電圧依存性が高い

$C_{DB}$ ,  $C_{SB}$  (PN接合容量)

→ 空乏層幅で決まる

😊 電圧依存性が低い

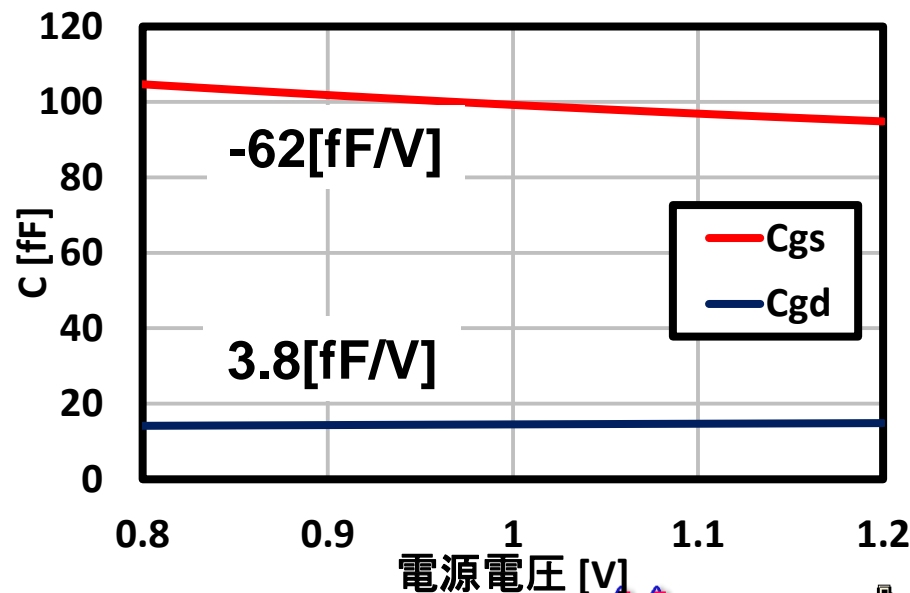
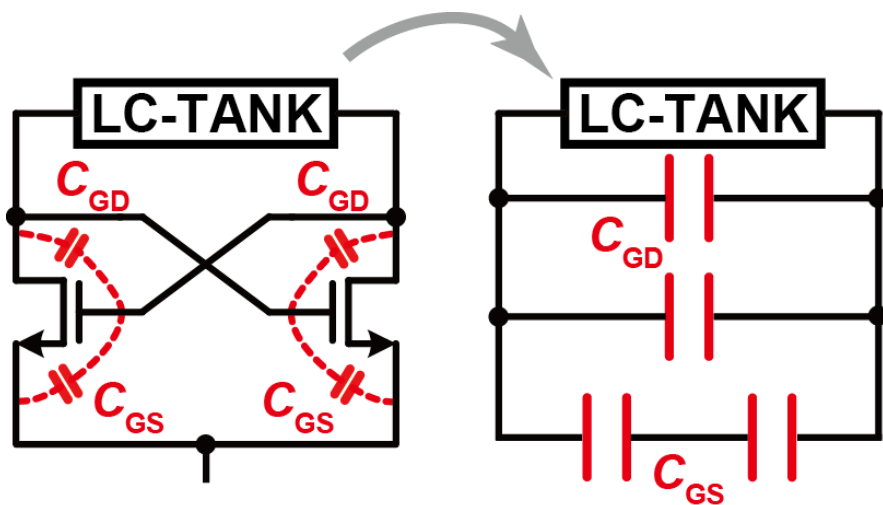
# 2. クロスカップルトランジスタ

寄生成分  $C_{GS}$ ,  $C_{GD}$  が容量を構成する。

$$C_{CCTr} = \frac{1}{2} C_{GS} + 2C_{GD}$$

$$\frac{\partial C_{CCTr}}{\partial V_{DD}} = \frac{1}{2} \frac{\partial C_{GS}}{\partial V_{DD}} + 2 \frac{\partial C_{GD}}{\partial V_{DD}}$$

☹  $C_{GS}$  の影響で  
負の電源特性を持つ



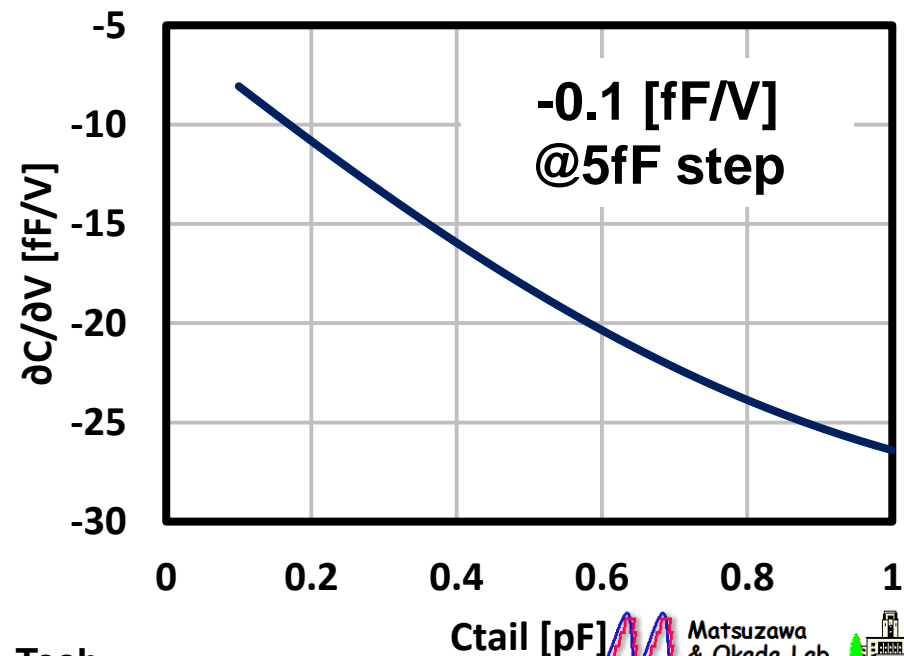
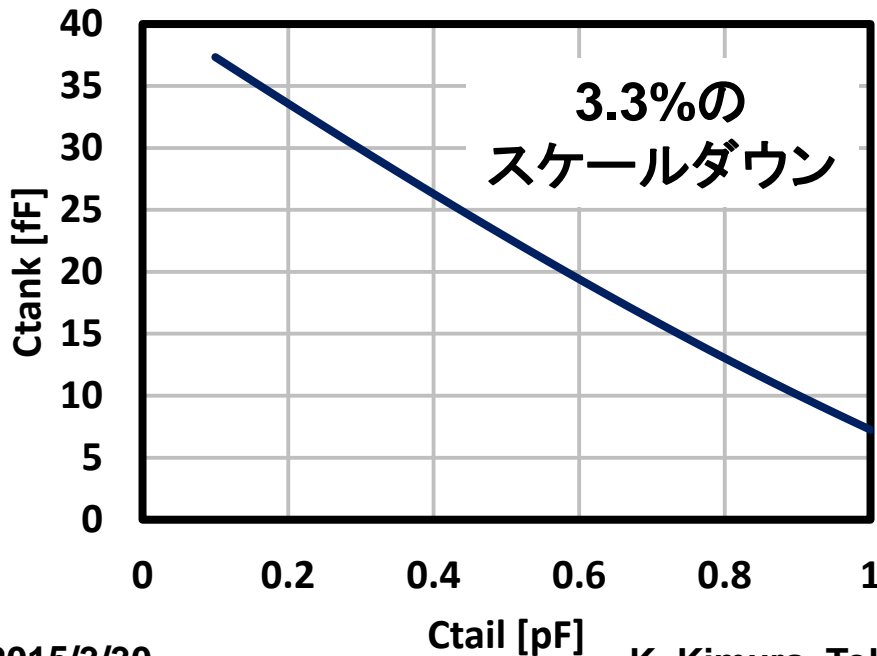
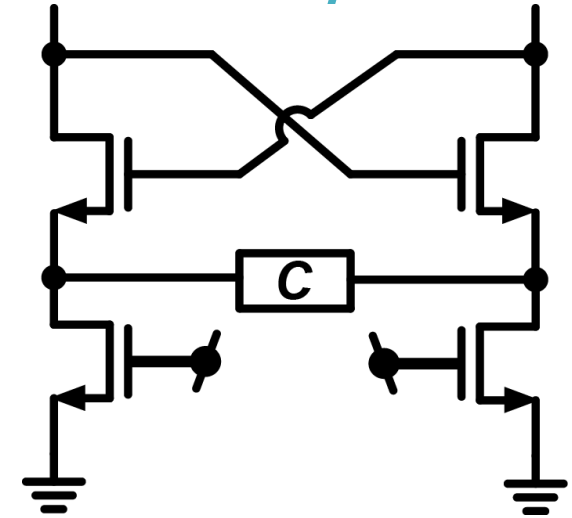


# 2. クロスカップルトランジスタ

## ・容量性ソースデジェネレーション構成

$C_{GS}$ と $C_{TAIL}$ の直列接続で $C_{GS}$ の影響を緩和できる。

$$\frac{\partial C'_{GS}}{\partial V_{DD}} = \left( \frac{1}{2} - \frac{\omega^2 C_{GS} \cdot (C_{GS} + C_{TAIL})}{g_m^2 + \omega^2 \cdot (C_{GS} + C_{TAIL})^2} \right) \cdot \frac{\partial C_{GS}}{\partial V_{DD}}$$



## ・提案するLC-DCO

$C_{\text{tank}}$  : 容量値だけを調整できる

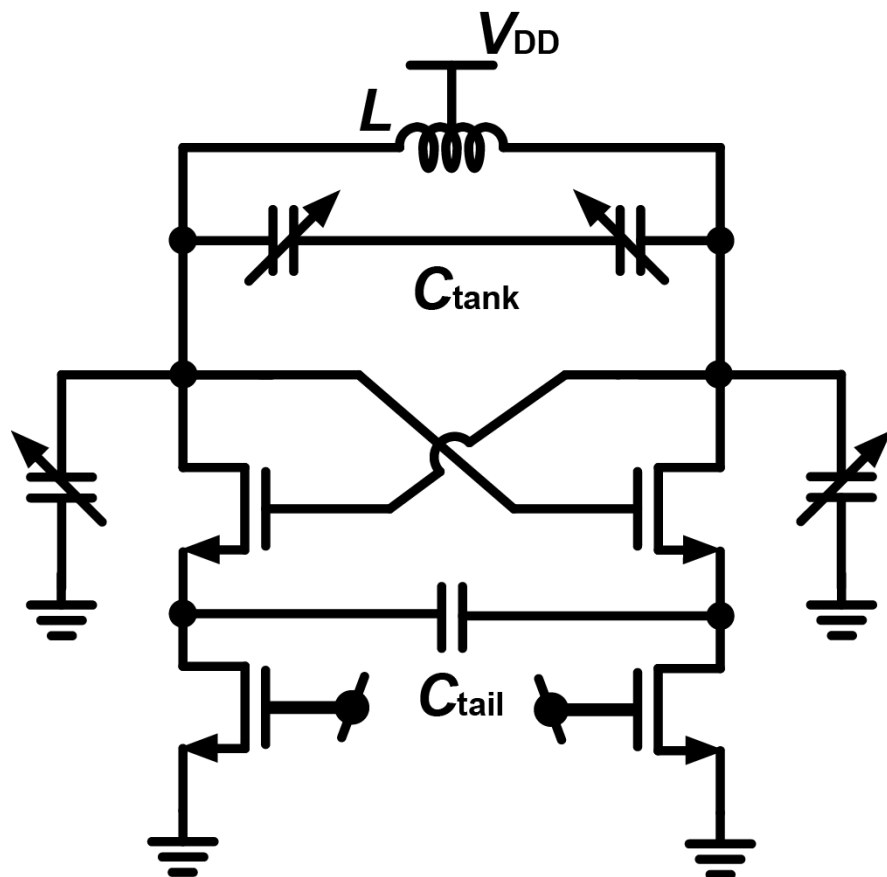
$C_{\text{tail}}$  : 電源感度を細かく調整できる

・タンクの容量スイッチ

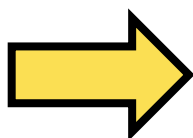
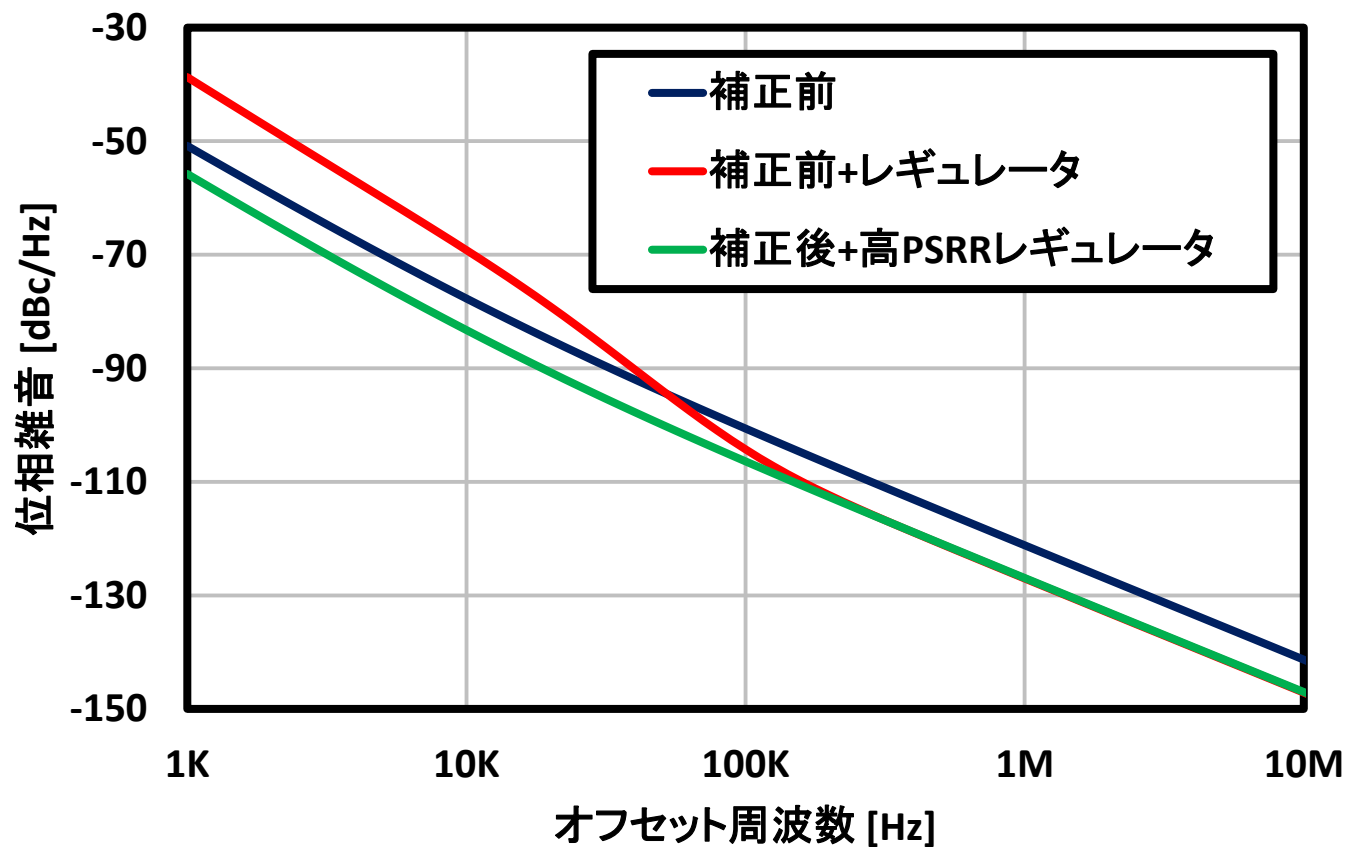
→ 8bit

・テールの容量スイッチ

→ 7bit



- ☺ レギュレータの固有ノイズを無効化できる
- ☺ 消費電力の増加がない
- ☺ 大きなデカップリングが不要



提案手法はレギュレータ雑音も  
電源雑音も無効化できる

・最少な容量電源感度は 0.1 [fF/V]

$$\rightarrow \frac{\partial f}{\partial V_{DD}} = 89 [\text{kHz/V}]$$

Ref	Freq [GHz]	Power [mW]	K <sub>VDD</sub> [MHz/V]
補正前VCO	3.4	22	14
	~ 3.95		~ 88
補正前VCO + 高PSRRレギュレータ	3.4	26.4	0.8
	~ 3.95		~ 3
補正後VCO + 高PSRRレギュレータ	3.4	26.4	0.1以下
	~ 3.95		

- 電源及びグランド電圧に依存しないLC発振器(LC-DCO)を提案した。
- 65nm CMOSプロセスを用いて試作した、提案回路のシミュレーション結果は、3.5GHz帯で $K_{VDD}$ を100 kHz/V 以内に抑えることができた。
  
- PLL全体での評価
- 感度補正の自動化
- 製造/温度ばらつきへの耐性の検討