

低電源電圧における電流型 DAC と抵抗型 DAC の比較

A Comparison of Current-steering DAC and Resistor DAC in Low Power Supply Voltage

川嶋 理史
Satoshi Kawashima

宮原 正也
Masaya Miyahara

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、無線通信の高速化や SoC 化の要求に従い、DAC も高速変換や高 SFDR、低消費電力、小面積化が求められている。従来では電流型が主流であったが、微細化が進行すると同時に電源電圧が低下し、電流型 DAC では振幅を確保するのが困難になり、SNR などの性能の劣化を引き起こすという問題が発生している。本研究では、抵抗型 DAC と電流型 DAC を電力効率やミスマッチによる精度劣化を考慮した面積の観点から比較し、抵抗型 DAC の低電源電圧時の優位性を示す。

2 回路構成

図 1 に差動の 12bit の電流型 DAC の回路構造を示す。電流源は n-MOS のカスコードで構成し、MSB 側が 6bit のサーモメータ型、LSB 側が 6bit のバイナリ型で構成する。出力端を V_{DD} に 50Ω の抵抗をつけて終端する。次に、図 2 に差動の 12bit の抵抗型 DAC の一般的な用いられているセグメント型の回路図を示す。MSB 側が 6bit のサーモメータ型、LSB 側が 6bit の R-2R 型で構成する。また、10bit の場合は、MSB 側が 5bit のサーモメータ型、LSB 側が 5bit の R-2R 型で構成する。このとき、出力インピーダンスを 50Ω にするために各抵抗値を 12bit のとき $3.2\text{k}\Omega$ 、10bit のとき $1.6\text{k}\Omega$ に設定する。そして、出力端に 100Ω の抵抗で終端する。

3 シミュレーション結果

電流型 DAC と抵抗型 DAC の電力効率に関する比較を行った。正弦波出力時の AC 電力効率 η の定義は以下のように表されるものとする。ただし、周期を T 、消費電力を P_{total} とする。

$$\eta = \frac{\frac{1}{T} \int_0^T \frac{(V_{\text{OUTP}}(t) - V_{\text{DC}})^2}{50} + \frac{(V_{\text{OUTN}}(t) - V_{\text{DC}})^2}{50} dt}{\frac{1}{T} \int_0^T P_{\text{total}}(t) dt}$$

このとき、電流型 DAC の電流源であるカスコード部分には 0.6V の電圧を印加する必要があるとする。図 3 にその結果を示す。電源電圧が低いところでは電流型 DAC よりも抵抗型 DAC のほうが効率が低い。65nm プロセスの電源電圧である 1.2V では、電流型 DAC よりも抵抗型 DAC のほうが電力効率が 3.5% 高い。

また、精度劣化の観点から面積比較を行った。電流型 DAC では、MOSFET にばらつきを与え、抵抗型では抵抗値にばらつきを与える。全コードに対して、 $|INL| < 0.5\text{LSB}$ を満たす歩留まりが同じになるように各サイズを決定し、電流型はカスコードとスイッチ、抵抗型は抵抗とスイッチを実際に置いて面積比較を行った。その結果、抵抗型 DAC の面積は電流型 DAC の面積の 24% になった。

4 まとめ

電源電圧が 1.57V より低いところでは電流型 DAC よりも抵抗型 DAC のほうが電力効率が低く、65nm プロセスの電源電圧である 1.2V では電力効率が 3.5% 高い。また、抵抗型 DAC は電流型 DAC に比べて面積が 24% になった。

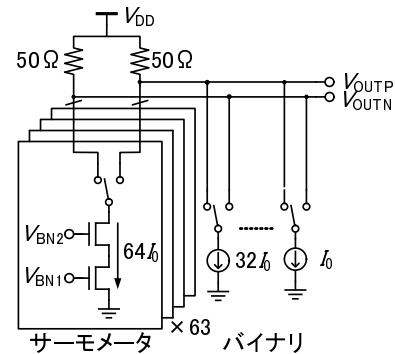


図 1 電流型 DAC の回路図

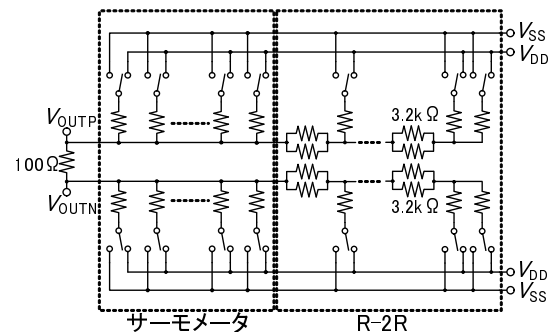


図 2 抵抗型 DAC の回路図

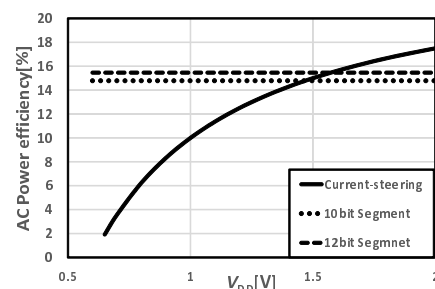


図 3 AC 電力効率

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームをご提供いただいた Berkeley Design Automation 社に感謝する。

参考文献

- [1] A. Van Den Bosch, et al., "An Accurate Statistical Yield Model for CMOS Current-Steering D/A Converters," *Analog Integrated Circuits and Signal Processing*, Vol. 29, pp.173-180, 2001.