

# 広帯域可変利得アンプの高線形化に関する検討

## Consideration of Enhancing Linearity Technique for Wideband Variable Gain Amplifier

金子 徹  
Tohru Kaneko

宮原 正也  
Masaya Miyahara

松澤 昭  
Akira Matsuzawa

東京工業大学大学院 理工学研究科 電子物理学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

### 1 まえがき

無線通信の受信機では、受信信号を可変利得アンプで増幅し、適切な振幅に整えてから A/D 変換を行う。特に可変利得アンプで I/Q 間の利得誤差を補正する際には、細かい利得切り替えが要求される場合がある。そこでより細かい可変利得を行う手法について、線形性の劣化を抑える新たな回路を提案し検討を行う。

### 2 オープンループアンプの線形性

高速無線通信回路では、図 1 に示す高線形 Gm セル [1] を用いたアンプがよく用いられる。入力トランジスタ M1 は一定電流にバイアスされており、入力差動電圧と同じ電圧がソース側にも生じる。この時、M3 から M9, M10 を介して M4 に流れる差動電流が生じ、カレントミラーで出力端側に映された差動電流が抵抗  $R_L$  に流れこむことで利得が生じる。この回路の電圧利得は、

$$A_v \approx M \frac{R_L}{R_{eq}} \quad (1)$$

となる。ここで  $M$  は M5 と M3 のミラー比である。  $R_{eq}$  は M9 の等価的な抵抗値を表し、ある定数  $K, \alpha$  を用いて、

$$R_{eq} \approx \frac{1}{K(V_{ctrl} - V_{th} - \alpha|v_{in}|)} \quad (2)$$

と近似できる。この  $R_{eq}$  は差動入力信号が大きいくほど等価的な抵抗値が大きくなり、アンプ本来が持つ歪と同方向に歪を増大させてしまう。

図 2 に提案回路を示す。提案回路では出力端側に差動電流を引き抜くパスを追加し、  $V_{ctrl}$  で電流を引き抜く量を制御し、可変利得を実現する。このときの利得は、

$$A_v \approx M \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_{m7} R_{eq2}}} \quad (3)$$

となる。ここで  $R_{eq2}$  は M11 の等価的な抵抗値を表し、  $g_{m7}$  は M7 のトランスコンダクタンスである。この手法では、  $R_{eq2}$  によって生じる歪は従来手法と逆方向となり、アンプ本来の歪を打ち消す方向となるため、線形性の改善が期待できる。

### 3 シミュレーション結果

図 3 に 65nm CMOS プロセスでのシミュレーション結果を示す。電源電圧を 1.2V、消費電力は 2.3mW とし、11dB の利得設定で比較する。従来手法に対し、提案手法は利得の抑えられており、100MHz, 0.5Vpp 出力時の SFDR では約 7dB 改善される。

### 4 まとめ

高線形アンプの可変利得化について、差動電流を引き抜く新たな手法の検討を行った。従来手法と比較し、提案手法ではより利得が一定となり、11dB の利得設定時には約 7dB 程度 SFDR が向上することを確認した。

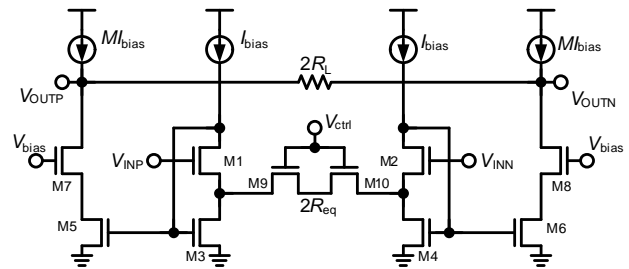


図 1. 従来手法

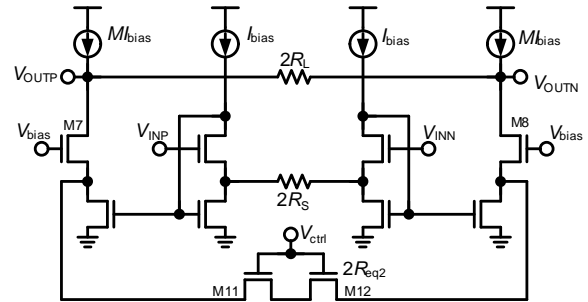


図 2. 提案手法

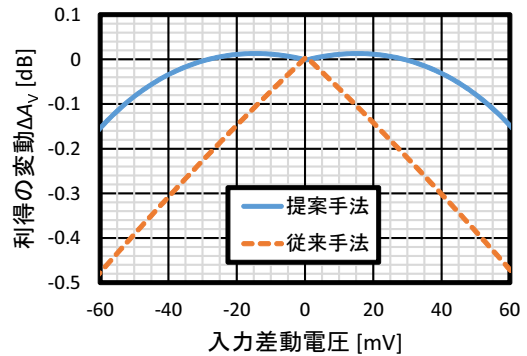


図 3. 入力差動電圧と利得の変動

### 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームをご提供いただいた Berkeley Design Automation 社に感謝する。

### 参考文献

[1] Tien-Yu Lo, Chung-Chih Hung, "1V CMOS Gm-C Filters," Springer, 2009.