

○盛 健次*1、菅原 光俊*1,*2、宮原 正也*1、松澤 昭*1

*1 東京工業大学大学院 理工学研究科
電子物理工学専攻 松澤・岡田研究室

*2 独立行政法人科学技術振興機構

2014年5月26日

2014/5/26



概要



1. 研究背景
2. 従来の自動合成
3. ソフトウェアアナログの開発
 - ① 開発環境および開発言語
 - ② ソフトウェアアナログの処理フロー
 - ③ ソフトウェアアナログの開発方法
4. 9ビットRDACの開発
 - ① 回路構成とレイアウト構成
 - ② 9ビットRDACの開発方法
 - ③ プログラムによる階層化設計
 - ④ テープアウトした回路図とレイアウト図
5. その他のソフトウェアアナログの開発
 - ① 12ビットSAR ADCの開発
 - ② DCOの開発
6. 結論

2014/5/26

SKILL言語を用いたソフトウェアアナログの開発



1. 研究背景

2

TOKYO TECH
Pursuing Excellence

- 従来のアナログ設計に要する開発期間
システム設計(約1ヶ月)、回路設計(約1ヶ月)、レイアウト設計(約1ヶ月)
- 再設計容易化の必要性
設計仕様、プロセス情報を与えて、回路設計、レイアウト設計を自動で行う。
 - (1) 開発期間を短縮する。(プログラムで1分以内)
 - (2) チップ面積を最小にする。
 - (3) 仕様変更(6ビット~16ビットまで対応)、プロセス変更(90nm、65nm、45nm、28nm)を考慮して、自動設計を行う。
 - (4) 少ない回路部品で、同じ設計手法により、様々なアナログ回路(RDAC、CDAC等)に適用できるようにする。
 - (5) レイアウトブロックの重ね合わせによる配線の為、配線遅延が少なくなり、回路動作は高速化が狙える。

2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発

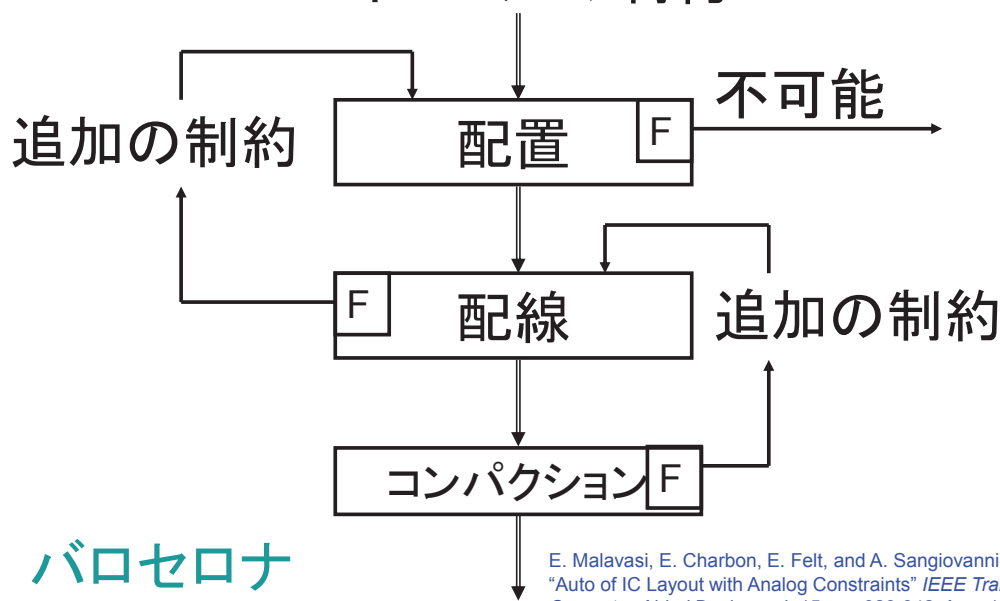


2. 従来の自動合成

3

TOKYO TECH
Pursuing Excellence

ハイレベルの制約



E. Malavasi, E. Charbon, E. Felt, and A. Sangiovanni-Vincentelli,
"Auto of IC Layout with Analog Constraints" *IEEE Trans.
Computer-Aided Design*, vol. 15, pp. 923-942, Aug. 1996.

2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発

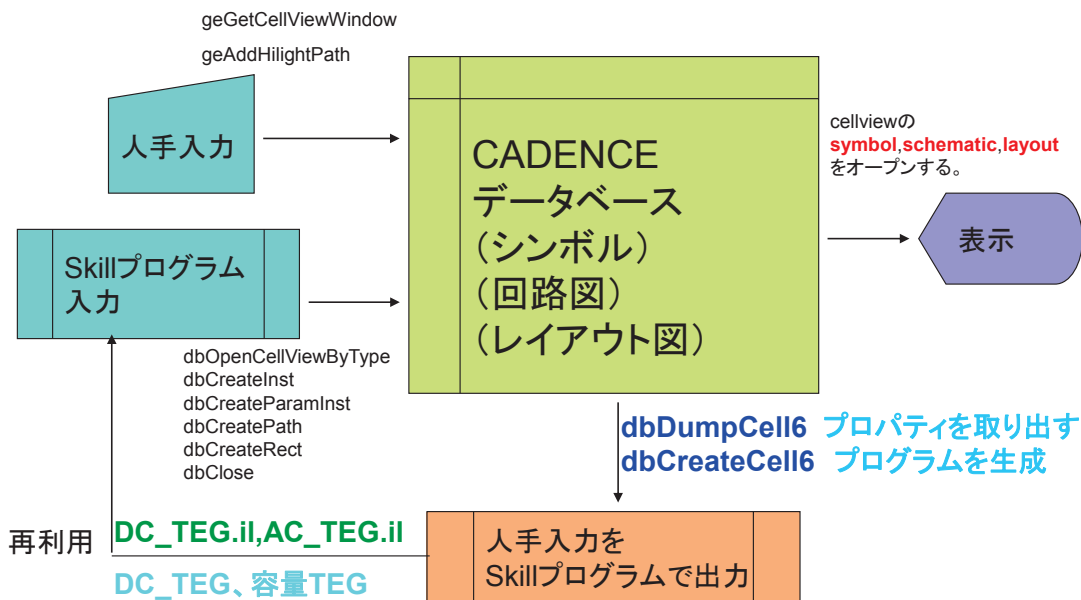


3. ソフトウェアアナログの開発

4



① 開発環境



2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発



① 開発言語

5



CADENCEのデータベースから取り出したプロパティ

rect 層名 層番号 ((座標x1 座標y1) (座標x2 座標y2))
 label 層名 層番号 ラベル名 (座標x 座標y) stick 1.0 ラベル位置 回転
 path 層名 層番号 パス幅 座標数 ((座標x1座標y1) (座標x2 座標y2))
 cell ライブラリ名 セル名 属性 ベース名 回転 (座標x 座標y)
 pcellライブラリ名 セル名 属性 ベース名 回転 (座標x 座標y) row column
 pcellライブラリ名 セル名 属性 ベース名 回転 (座標x 座標y) パラメータ

	SKILL 言語の関数
RECT	dbCreateRect
PATH	dbCreatePath
CELL	dbCreateInst
PCELL	dbCreateParamInst
LABEL	dbCreateLabel

	SKILL 言語
関数	procedure(関数名(引数) prog((局所変数) 処理)
ループ	for(i 1 2 処理)
分岐	if(判断 then 処理1 else 処理2)
リスト	list(変数1 変数2) 変数1:変数2
部品の呼び出し	cv = dbOpenCellViewByType (libname cellname viewname "" "r") dbClose(cv)

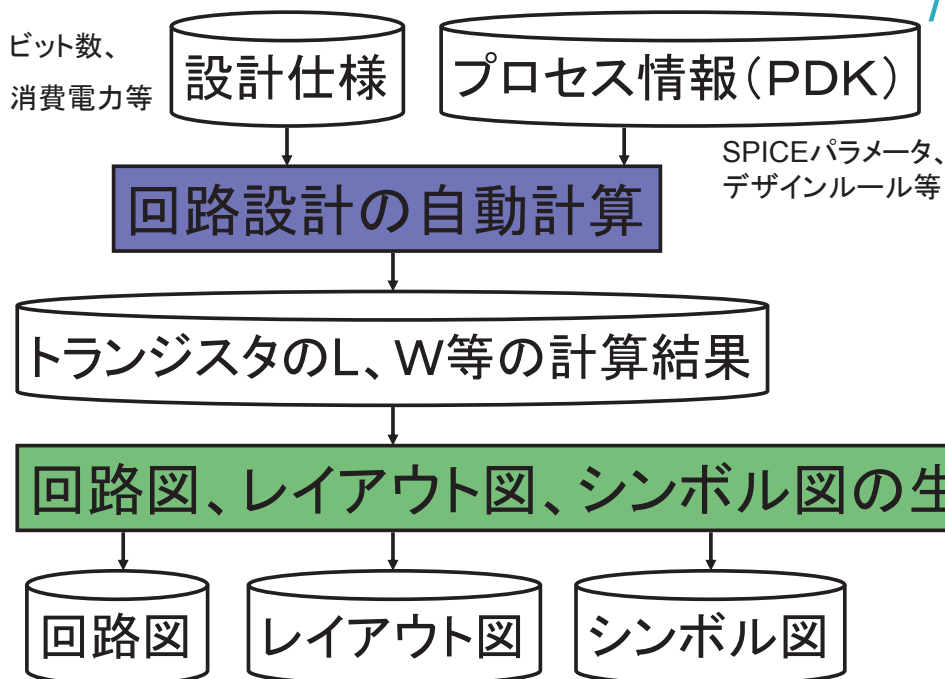
2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発



② ソフトウェアアナログの処理フロー

6

TOKYO TECH
Pursuing Excellence

2014/5/26

SKILL言語を用いたソフトウェアアナログの開発



③ ソフトウェアアナログの開発方法

7

TOKYO TECH
Pursuing Excellence

- (1) SKILL言語を用いる。
- (2) DRCを満足する下地トランジスタ配置と、DRCを満足するように、トランジスタ間の配線を行う。(考え方が、ゲートアレーに近い)
- (3) Finger数4のトランジスタサイズを用いて、縦方向に、LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線する。横は、Sourceを重ね、縦は、Viaを重ねることにより、アレー状に配置配線を行う。
- (4) LVSが掛けられるように、下の階層のpin情報をTOP階層まで持ち上げる。

2014/5/26

SKILL言語を用いたソフトウェアアナログの開発

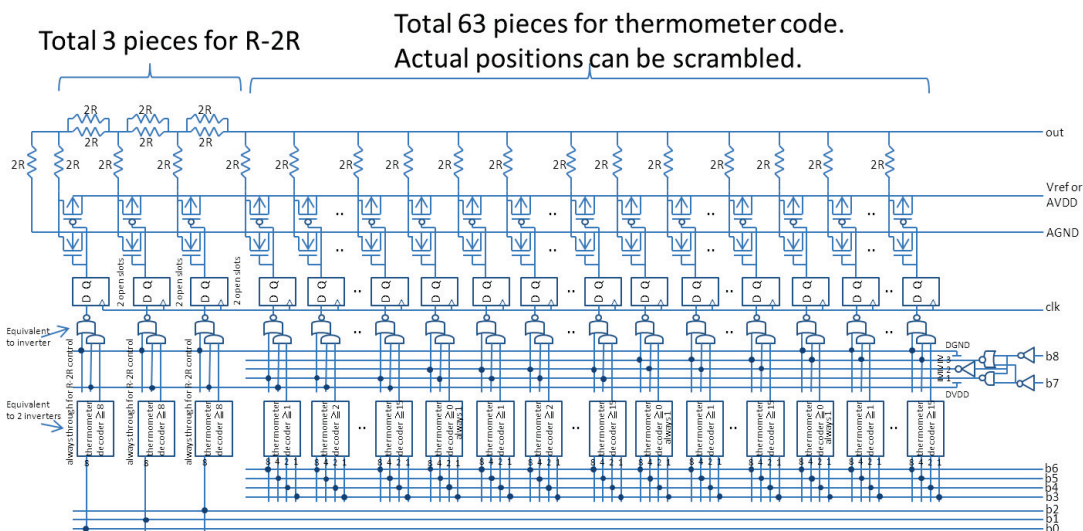


4. 9ビットRDACの開発

8



① 9ビットRDACの回路図



2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発

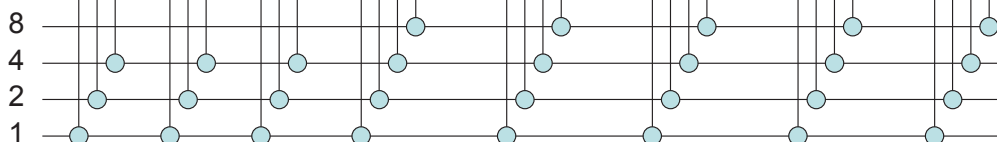


① 9ビットRDACのレイアウト構成

9



R-2R回路 (3ビット)	サーモ回路 (6ビット=2 ⁶ =8 × 8=64)				
スイッチ回路	スイッチ回路 (1~15)	スイッチ回路 (1~15)	スイッチ回路 (1~15)	スイッチ回路 (1~15)	スイッチ回路 (1~15)
D/FF回路	D/FF回路 (1~15)	D/FF回路 (1~15)	D/FF回路 (1~15)	D/FF回路 (1~15)	D/FF回路 (1~4)
セレクト回路	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)
バッファ回路	LOGIC回路 (1~15)	LOGIC回路 (1~15)	LOGIC回路 (1~15)	LOGIC回路 (1~15)	LOGIC回路 (1~4)



2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発

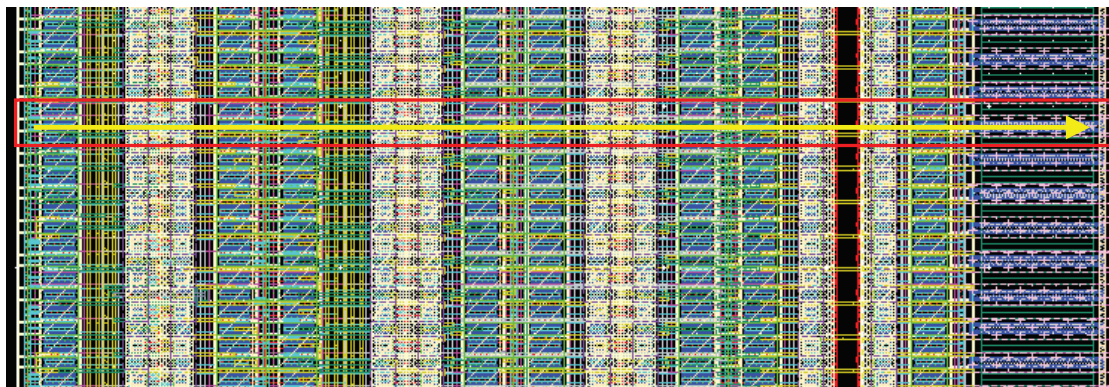


② 9ビットRDACの開発方法

10



LOGIC回路、DFF回路、スイッチ回路を
一直線に配置配線



2014/5/26

SKILL言語を用いたソフトウェアアナログの開発



③ プログラムによる階層化設計 (1)

11



```
load "LOGIC_common.il"

procedure(LOGICpn01(libname cellname Lmin Wn Wp)
  prog()

  LOGICpn01_sch(libname cellname "schematic" Lmin Wn Wp)
  LOGICpn01_lay(libname cellname "layout" Lmin Wn Wp)
  LOGICpn01_sym(libname cellname "symbol")
)
)
```

“LOGIC_common.il”の中に、下地の
回路図LOGIC_sch_base、レイアウト図LOGIC_lay_base
のプログラムが入っている。

2014/5/26

SKILL言語を用いたソフトウェアアナログの開発



③ プログラムによる階層化設計 (2) / 12

TOKYO TECH
Pursuing Excellence

```

procedure(LOGICpn01_sch(libname cellname viewname Lmin Wn Wp)
  prog((cv)
    cv = dbOpenCellViewByType(libname cellname viewname "" "w")

    LOGIC_sch_base(cv Lmin Wn Wp)
    LOGICpn01_sch_wire(cv)

    dbSave(cv) dbClose(cv)
  )
)

```

```

procedure(LOGICpn01_lay(libname cellname viewname Lmin Wn Wp)
  prog((cv width inout width_inout)
    cv = dbOpenCellViewByType(libname cellname viewname "" "w")

    width= LOGIC_lay_base(cv Lmin Wn Wp)
    inout= LOGICpn01_lay_wire(cv Lmin Wn Wp)
    width_inout=append(width inout)

    dbSave(cv) dbClose(cv)
    return(width_inout)
  )
)

```

2014/5/26

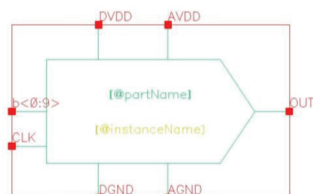
SKILL 言語を用いたソフトウェアアナログの開発



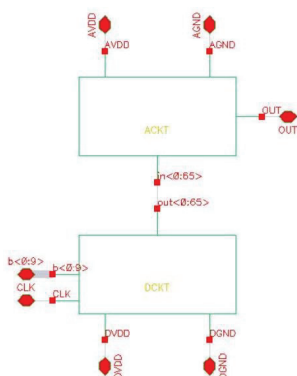
④ テープアウトした回路図とレイアウト図 / 13

TOKYO TECH
Pursuing Excellence

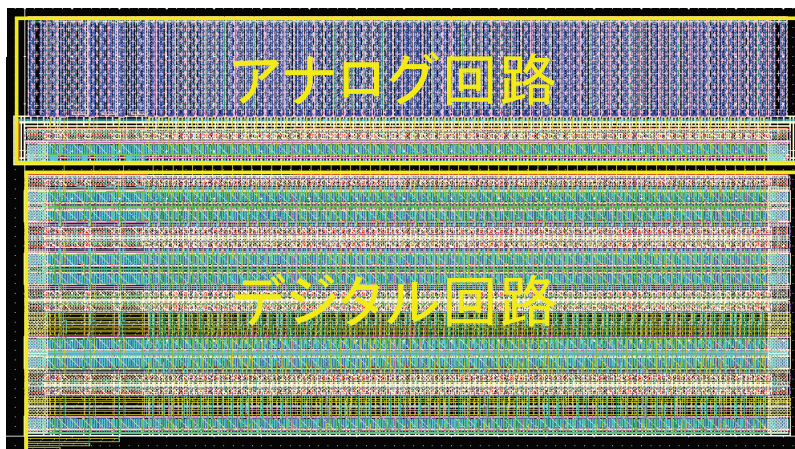
デジタル回路とアナログ回路の分離
デジタル回路でLVS
アナログ回路でLVS



シンボル図



回路図



レイアウト図

9ビットRDAC回路の開発完了報告書
(20131113TapeOut)

2014/5/26

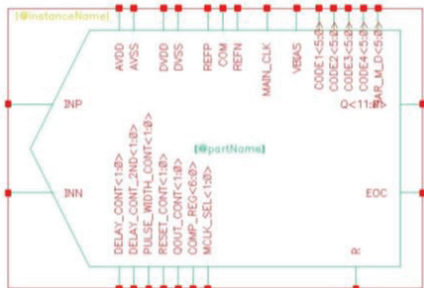
SKILL 言語を用いたソフトウェアアナログの開発



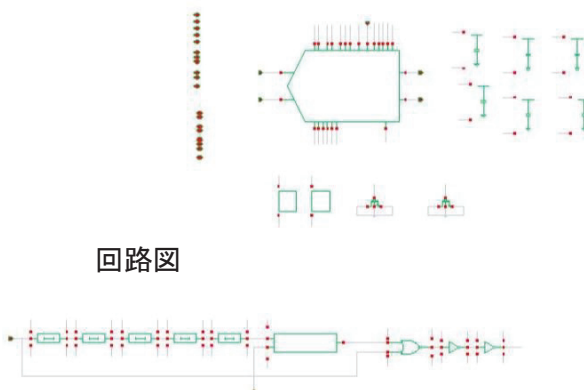
5. その他のソフトウェアアナログの開発 (1) / 14

TOKYO TECH
Pursuing Excellence

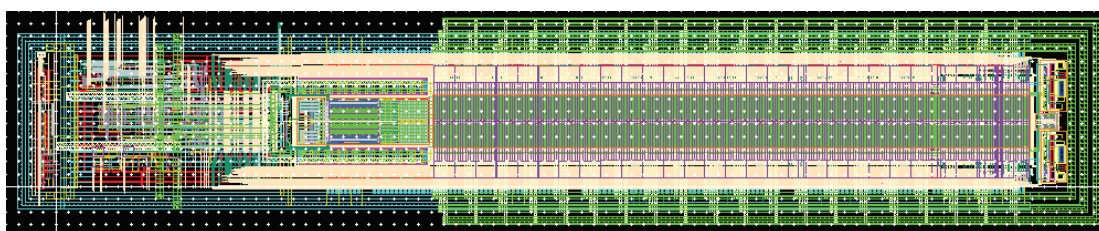
12ビットSAR ADC



シンボル図



回路図



レイアウト図

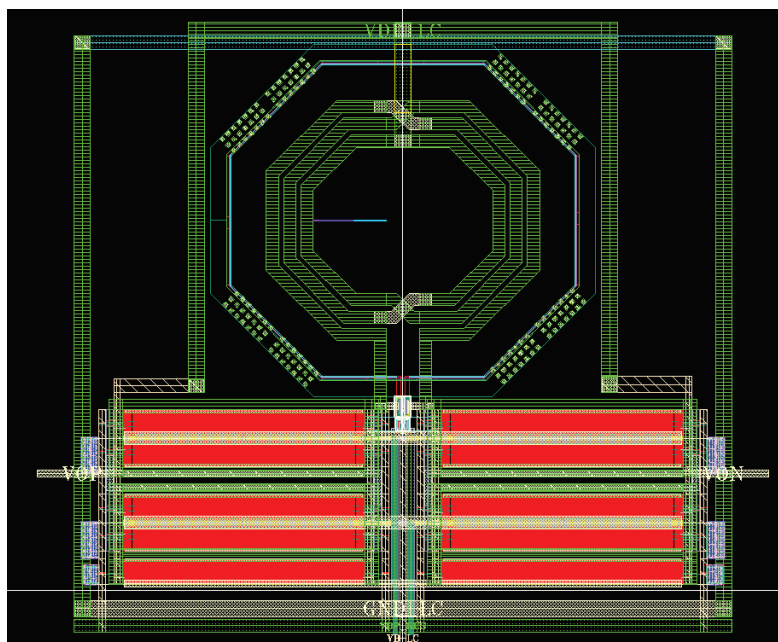
2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発



5. その他のソフトウェアアナログの開発 (2) / 15

TOKYO TECH
Pursuing Excellence



DCOのレイアウト図

2014/5/26

SKILL 言語を用いたソフトウェアアナログの開発



結論

16

TOKYO TECH
Pursuing Excellence

- (1) 開発した9ビットRDACのソフトウェアアナログは、**LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線するという手法**を取ったことで、約1分で回路図とレイアウト図が自動生成できるようになった。
- (2) プログラムによる自動化の為、**DRC、LVSのエラーは発生しなかった**。
- (3) 現在、9ビットRDACで開発した知識を生かして、**12ビットSAR ADCやDCOの開発**に取り組んでいる。

2014/5/26

SKILL言語を用いたソフトウェアアナログの開発



謝辞

17

TOKYO TECH
Pursuing Excellence

本研究の一部は 総務省委託研究開発「電波資源拡大のための研究 開発」で行われたものです。本研究は、東京大学大規模集積システム設計教育センターを通し、日本ケイデンス株式会社により提供されたSKILL言語を使用しています。ソフトウェアアナログの開発で、SKILL言語等のマクロ言語を学ぶことに協力して頂いた、東芝の吉富様、諏佐様、JEDATの小野様、今井様、桑田様に感謝します。

2014/5/26

SKILL言語を用いたソフトウェアアナログの開発

