

SKILL言語を用いた ソフトウェアアナログの開発

東京工業大学 大学院理工学研究科 松澤・岡田研究室
盛 健次、菅原 光俊、宮原 正也、松澤 昭

1. 研究背景

・従来のアナログ設計に要する開発期間

- システム設計に約1ヶ月
- 回路設計に約1ヶ月
- レイアウト設計に約1ヶ月

・再設計容易化の必要性

設計仕様、プロセス情報を与えて、
回路設計、レイアウト設計を自動で行う。
=> 約1分で、回路設計、レイアウト設計が完了。

(1) 開発期間を短縮する。(プログラムで1分以内)

(2) チップ面積を最小にする。

(3) 仕様変更(6ビット~16ビットまで対応)

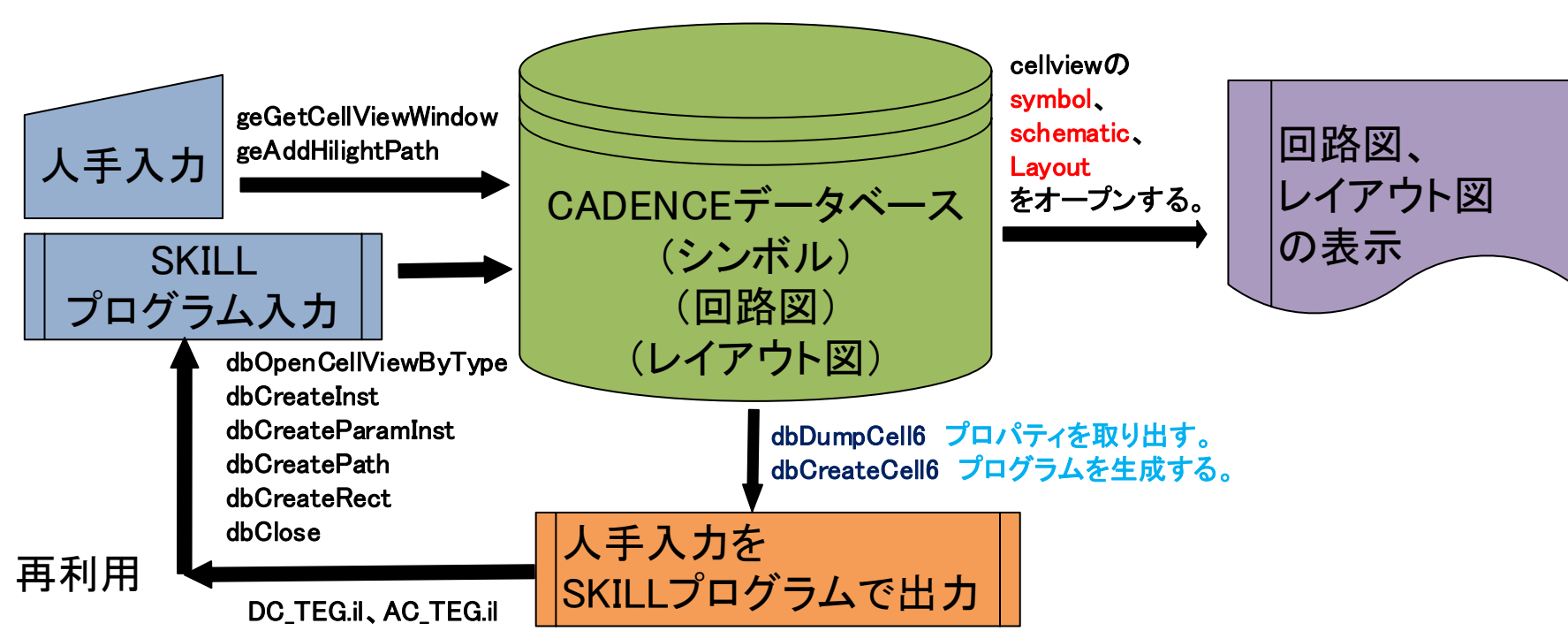
プロセス変更(90nm、65nm、45nm、28nm)
を考慮して、自動設計を行う。

(4) 少ない回路部品で、同じ設計手法により、様々なアナログ回路
(RDAC、CDAC、SAR ADC等)に適用できるようにする。

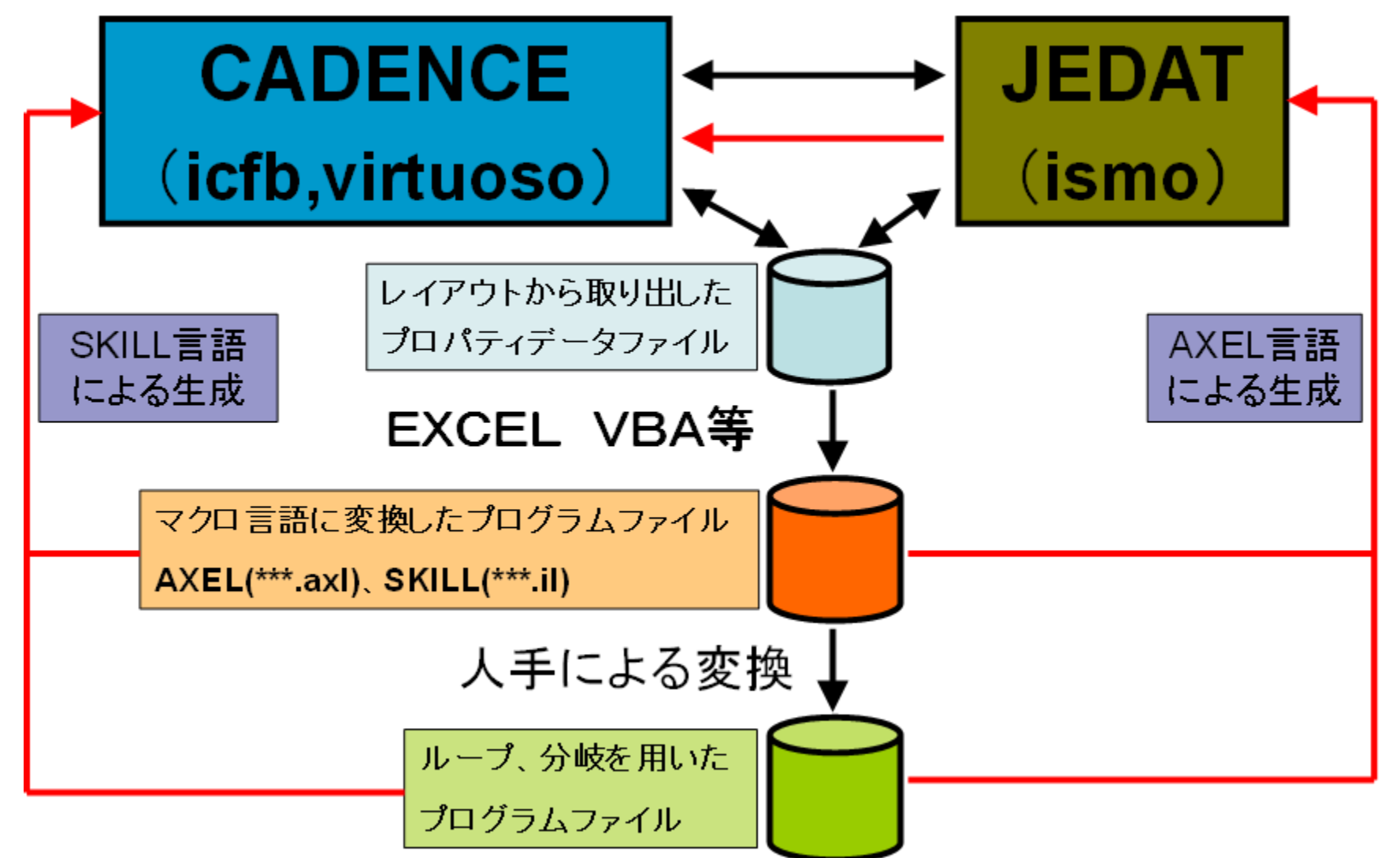
(5) レイアウトブロックの重ね合わせによる配線の為、
配線遅延が少なくなり、回路動作は高速化が狙える。

2. ソフトウェアアナログの開発

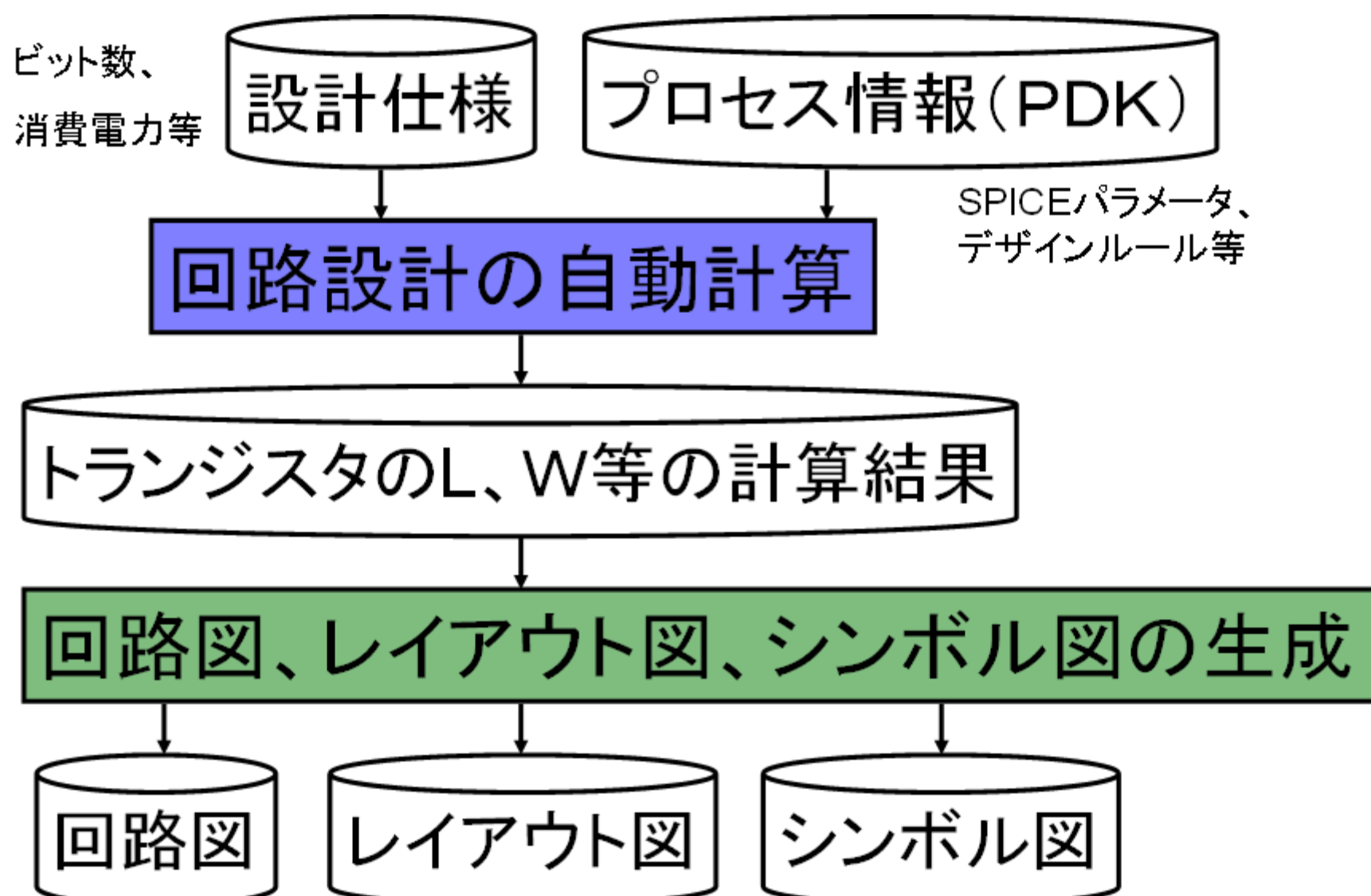
① 開発環境と開発言語 (SKILL 言語)



人手レイアウトから自動レイアウトへの変換方法



② ソフトウェアアナログの処理フロー



CADENCEのデータベースから取り出したプロパティ

rect	層名	層番号	((座標x1 座標y1) (座標x2 座標y2))
label	層名	層番号	ラベル名 (座標x 座標y) stick 1.0 ラベル位置 回転
path	層名	層番号	パス幅 座標数 ((座標x1座標y1) (座標x2 座標y2))
cell	ライブラリ名	セル名	属性 ベース名 回転 (座標x 座標y)
pcell	ライブラリ名	セル名	属性 ベース名 回転 (座標x 座標y) row column
pcell	ライブラリ名	セル名	属性 ベース名 回転 (座標x 座標y) パラメータ

	SKILL	AXEL
RECT	dbCreateRect	fdd.AddRectangle
PATH	dbCreatePath	fdd.AddLine
CELL	dbCreateInst	fdd.AddCell
PCELL	dbCreateParamInst	fdd.AddParaO
LABEL	dbCreateLabel	fdd.Add

	SKILL言語	AXEL言語
関数	procedure(関数名(引数) prog((局所変数) 処理)	void 関数名(引数) {局所変数; 処理;}
ループ	for(i 1 2 処理)	for (i=1; i<=2; i++) {処理;}
分岐	if(判断 then 処理1 else 処理2)	if (判断) {処理1;} else {処理2;}
リスト	list(変数1 変数2) 変数1:変数2	pnts[0].x=変数1; pnts[0].y=変数2;
部品の呼び出し	cv = dbOpenCellViewByType (libname cellname viewname "" "r") dbClose(cv)	関数名("libname/cellname/ viewname");

③ ソフトウェアアナログの開発方法

(1) SKILL言語を用いる。

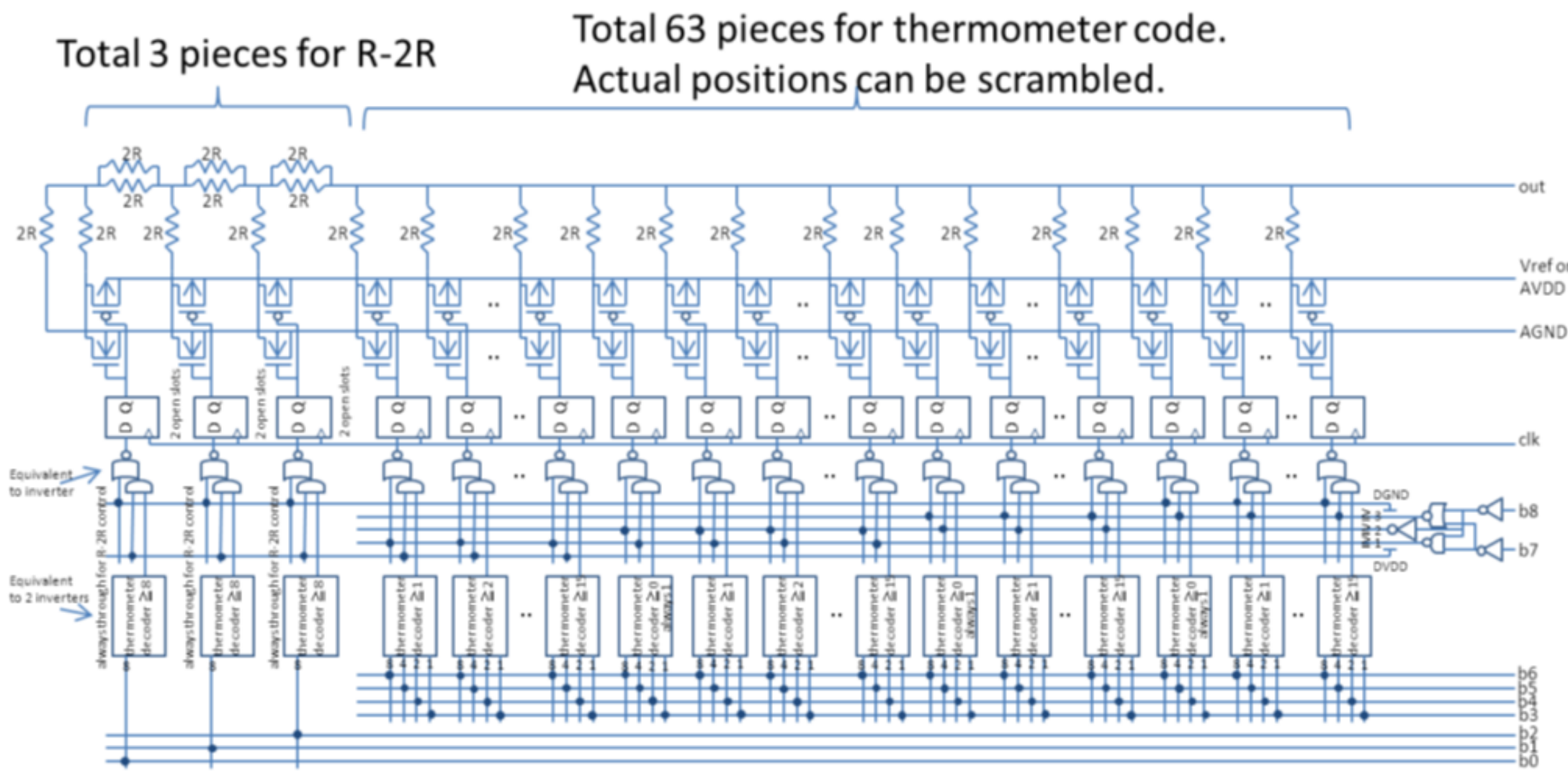
(2) DRCを満足する下地トランジスタ配置と、
DRCを満足するように、トランジスタ間の配線を行う。
(考え方が、ゲートアレーに近い)

(3) Finger数4のトランジスタサイズを用いて、
縦方向に、LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線する。
横は、Sourceを重ね、縦は、Viaを重ねることにより、アレー状に配置配線を行う。

(4) LVSが掛けられるように、下の階層のpin情報をTOP階層まで持ち上げる。

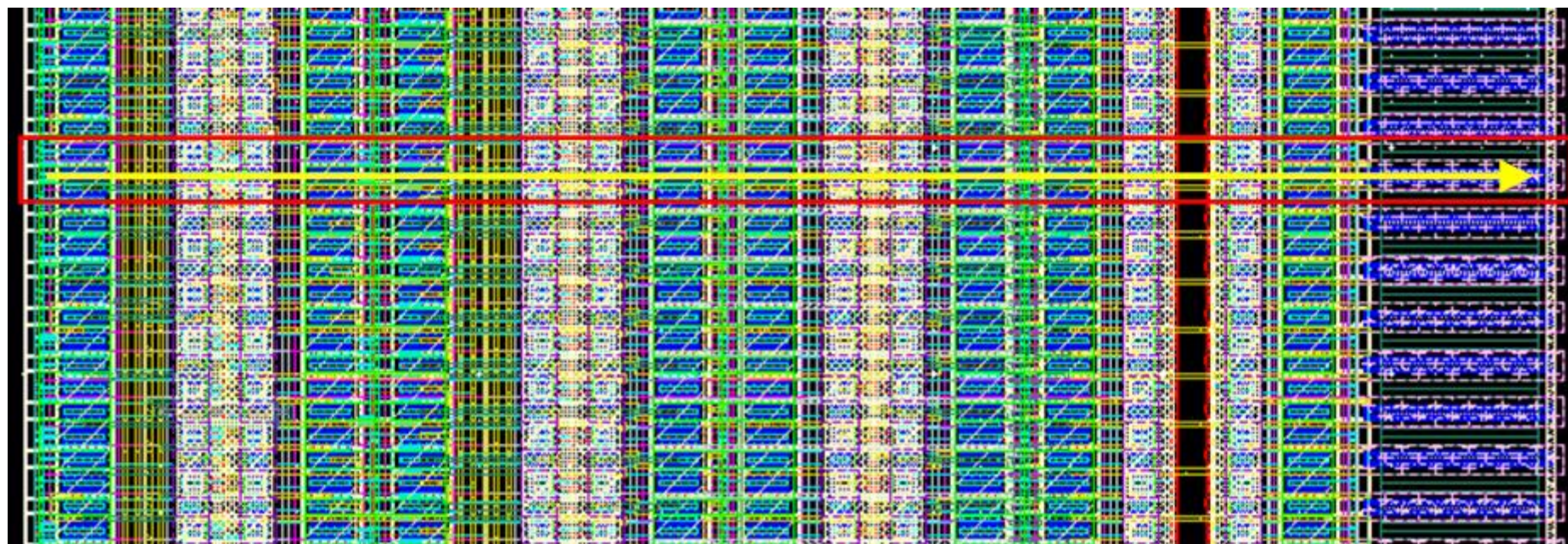
3. 9ビットRDACの開発

① 9ビットRDACの回路図

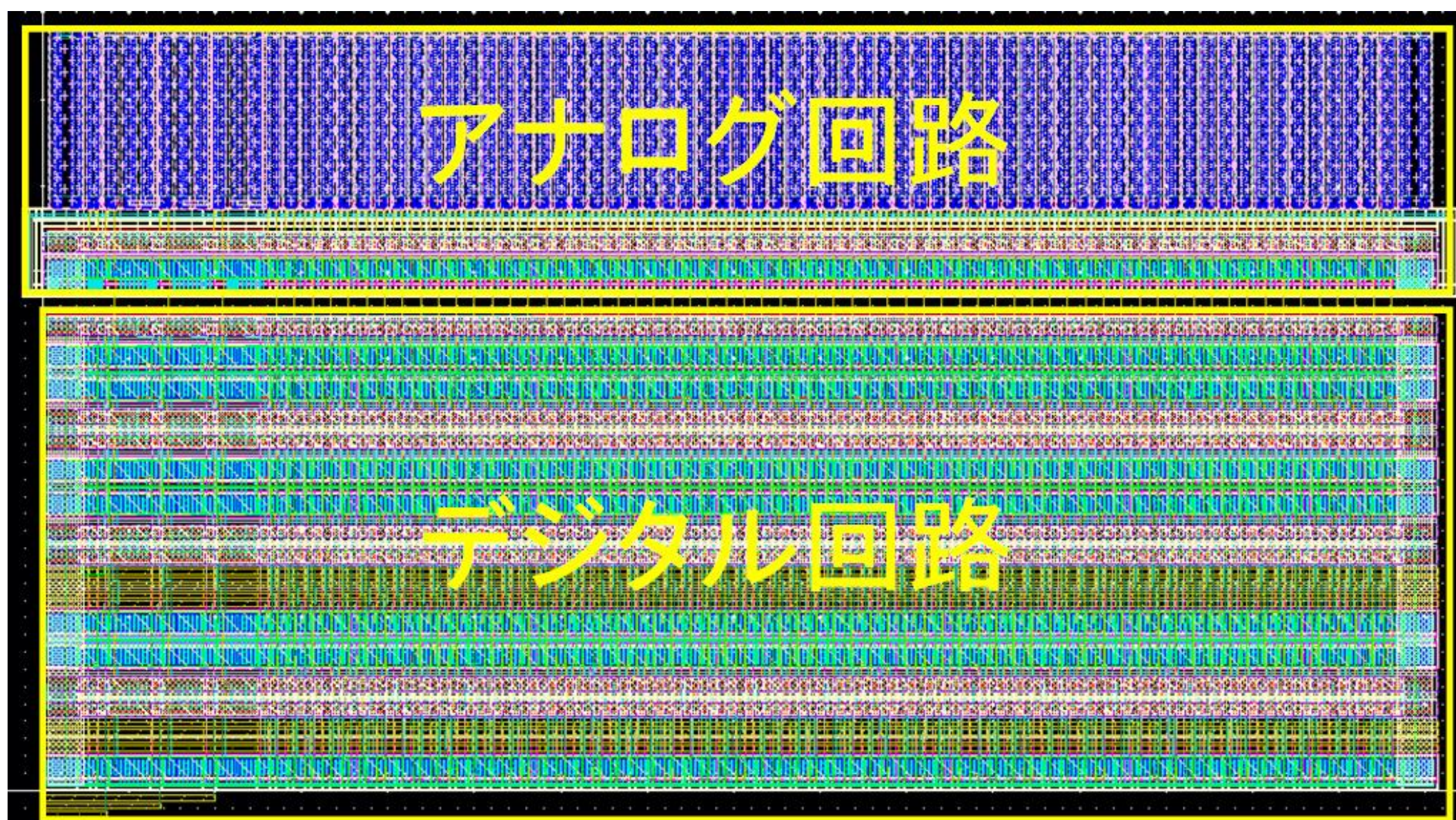


② 9ビットRDACの開発方法

LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線



④ テープアウトした回路図とレイアウト図

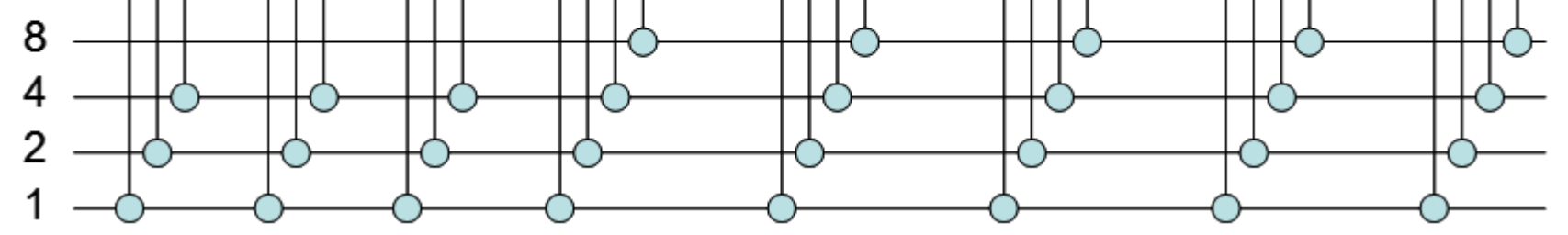


レイアウト図

9ビットRDAC回路の開発完了報告書(20131113TapeOut)

① 9ビットRDACのレイアウト構成

R-2R回路 (3ビット)	サーモ回路 (6ビット=2 ⁶ =8×8=64)				
スイッチ回路	スイッチ回路 (1~15)	スイッチ回路 (1~15)	スイッチ回路 (1~15)	スイッチ回路 (1~15)	スイッチ回路 (1~15)
D/FF回路	D/FF回路 (1~15)	D/FF回路 (1~15)	D/FF回路 (1~15)	D/FF回路 (1~15)	D/FF回路 (1~4)
セレクト回路	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)
バッファ回路	LOGIC回路 (1~15)	LOGIC回路 (1~15)	LOGIC回路 (1~15)	LOGIC回路 (1~15)	LOGIC回路 (1~4)



③ プログラムによる階層化設計

```

load "LOGIC_common.il"
procedure(LOGICp01(libname cellname Lmin Wn Wp)
prog()

LOGICp01_sch(libname cellname "schematic" Lmin Wn Wp)
LOGICp01_lay(libname cellname "layout" Lmin Wn Wp)
LOGICp01_sym(libname cellname "symbol")
)
)
procedure(LOGICp01_sch(libname cellname viewname Lmin Wn Wp)
prog((cv)
cv = dbOpenCellViewByType(libname cellname viewname "" "w")

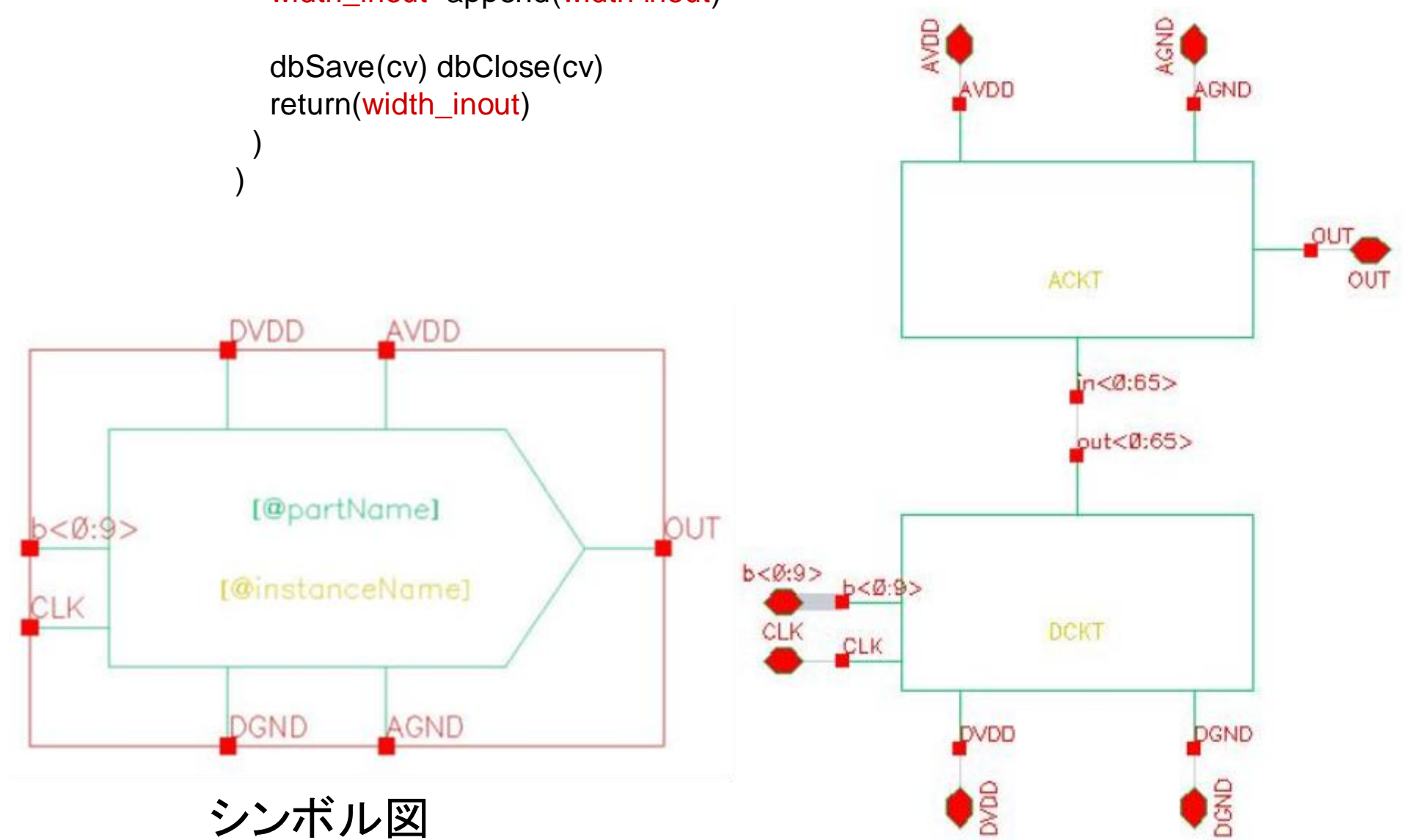
LOGIC_sch_base(cv Lmin Wn Wp)
LOGICp01_sch_wire(cv)

dbSave(cv) dbClose(cv)
)
)
procedure(LOGICp01_lay(libname cellname viewname Lmin Wn Wp)
prog((cv width inout width_inout)
cv = dbOpenCellViewByType(libname cellname viewname "" "w")

width= LOGIC_lay_base(cv Lmin Wn Wp)
inout= LOGICp01_lay_wire(cv Lmin Wn Wp)
width_inout=append(width inout)

dbSave(cv) dbClose(cv)
return(width_inout)
)
)

```

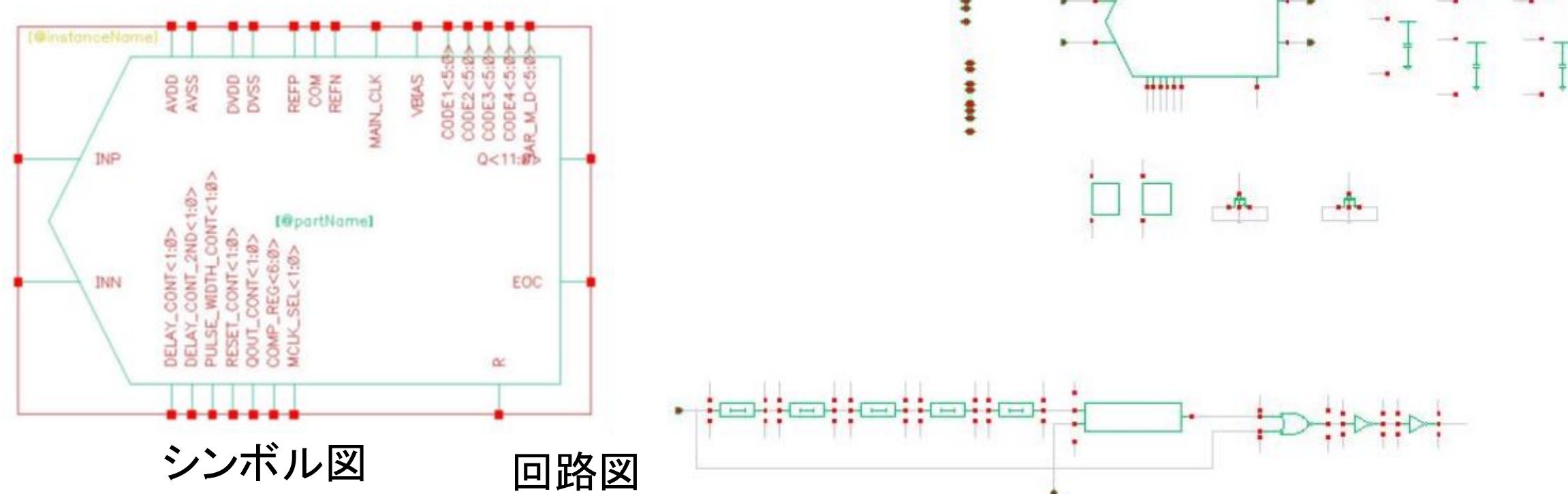


シンボル図

回路図

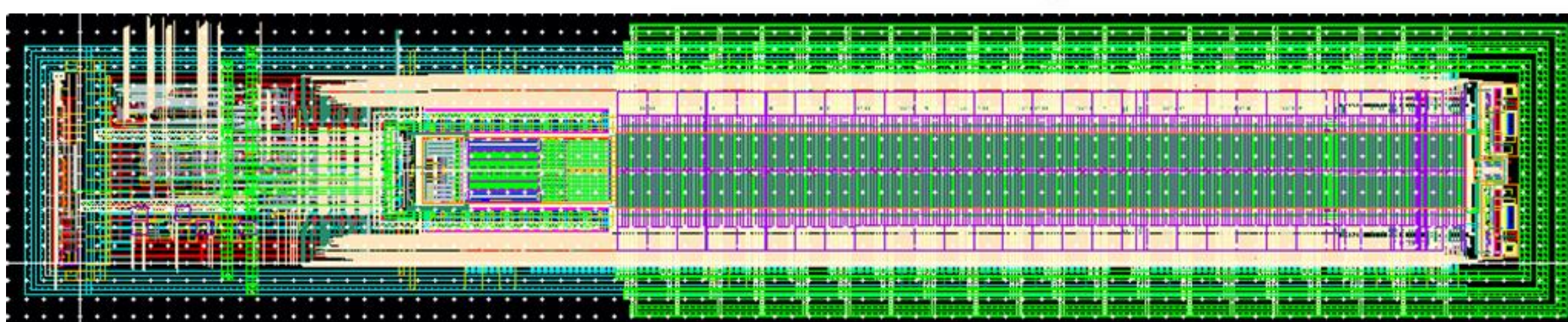
4. その他のソフトウェアアナログの開発

12ビットSAR ADC

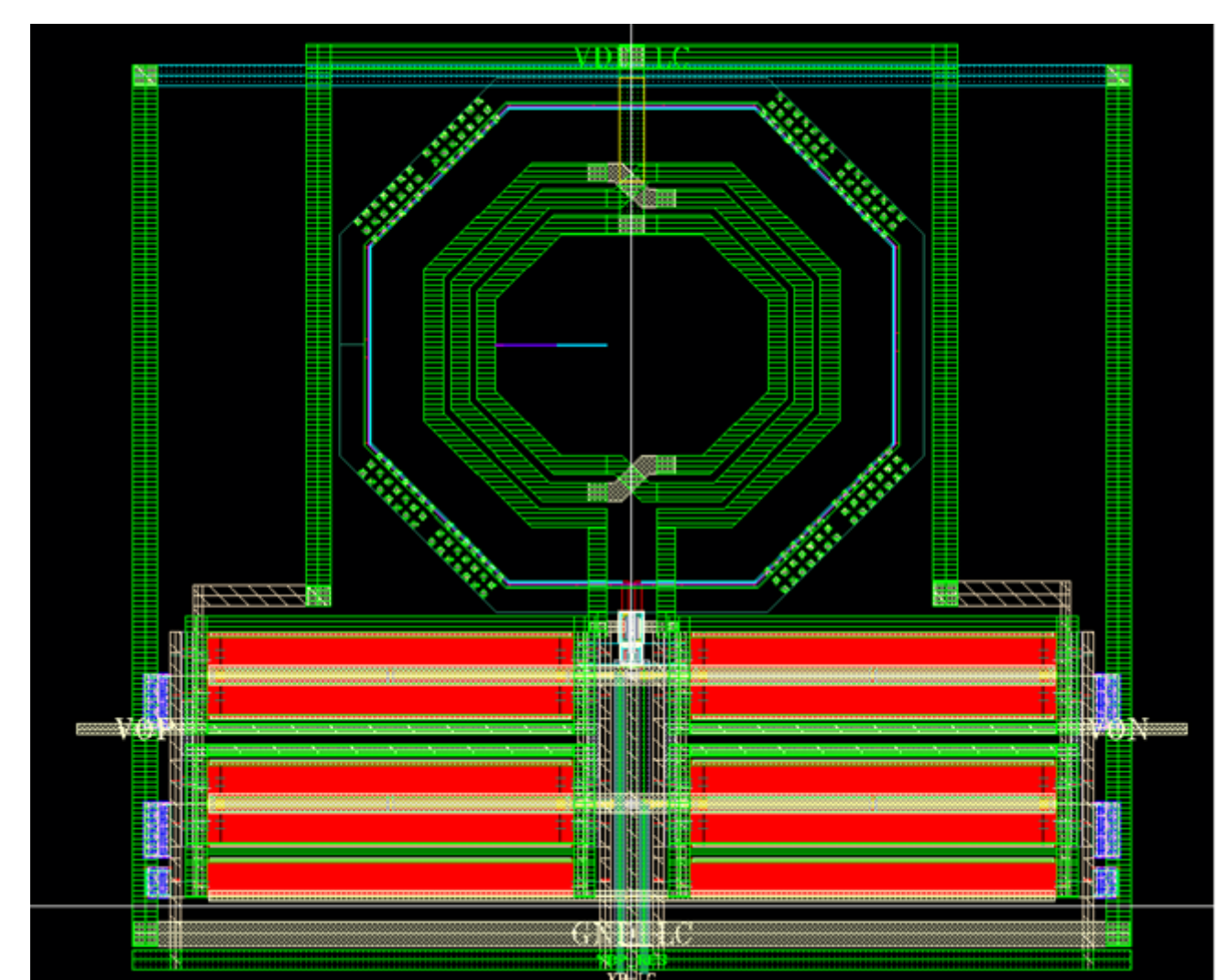


シンボル図

回路図



レイアウト図



DCOのレイアウト図