

マルチプレクサを用いた自動配置配線可能な DCO の最適設計手法

Design methodology optimization of DCO using Multiplexer and automatic layout

ゴーフイクー
Ngo Huy Cu

中田 憲吾
Kengo Nakata

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、低位相雑音なクロック信号を作り出すため、注入同期型位同期回路 (IL-PLL) が使用されている。IL-PLL の 1 つにデジタル信号によって発振周波数を制御する発振器 (DCO) を用いたものがある。本研究はマルチプレクサを用いたリング型 DCO の周波数最小変化幅 (resolution) の最適設計手法について検討していく。

2 DCO の回路構成

DCO は Coarse, Medium, Fine の 3 種類の可変遅延部を持つ。Coarse 調整部で全体の周波数範囲を決め、Medium 調整部は Coarse 調整の resolution を上回るように設定する。同じく、Fine 調整部は Medium 調整の resolution を上回るように設定する。図 1、図 2 にそれぞれの回路構成を示す [1]。

Injection Lock によりロックした際の DCO の周波数を f_{IL} 、free-run の周波数は $f_{free-run}$ とする。DCO の持つノイズのパワー P_{spur} は以下の式より求められる [2]。

$$P_{spur} = 20 \log_{10} \frac{f_{free-run} - f_{IL}}{2f_{ref}} \quad (1)$$

ここで、 $f_{IL} = N \times f_{ref}$ 、 $f_{free-run} = (1+a)f_{IL}$ である。また N を通倍数、 a を free-run 周波数とロックした周波数との誤差率とすると、式 (1) は以下のように書き換えられる。

$$P_{spur} = 20 \log_{10} \frac{a \cdot N}{2} \quad (2)$$

$N=20$ とすると、 P_{spur} が -40 dBc より小さくなるようにするには、 $a < 0.1\%$ にする必要がある。そこで、今回は $a < 0.05\%$ となるように Fine の resolution を設計した。また各可変遅延部が上位の変化幅を網羅する条件も考慮すると、設計条件は以下の様に表される。

$$T_{Fine} < \frac{1}{f_0} \times a \quad (3)$$

$$T_{Medium} < T_{Fine} \times N_{Fine} \quad (4)$$

$$T_{Coarse} < T_{Medium} \times N_{Medium} \quad (5)$$

ここで、 T_{Coarse} 、 T_{Medium} 、 T_{Fine} はそれぞれ Coarse, Medium, Fine の resolution である。また N_{Fine} 、 N_{Medium} はそれぞれ Fine, Medium の制御される NAND の数である。

3 シミュレーション結果

今回設計した DCO の可変遅延部の設計結果を表 1 に示す。またこの DCO によるシミュレーション結果を表 2 に示す。周波数範囲は 0.96 から 1.99 GHz、ベストケースの位相雑音は 1 MHz オフセットで -94.3 dBc/Hz、とい

う値を実現した。また resolution は 0.2 ps、消費電力は 0.49 mW で実現できた。

4 まとめ

本研究では、マルチプレクサを用いた自動配置配線可能な DCO の最適設計手法の検討を行った。最適化により、設計した DCO は resolution が 0.2 ps ($a = 0.02\%$) という値を実現できた。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。

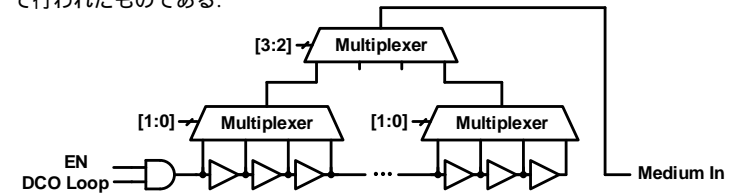


図 1 Coarse の回路構成

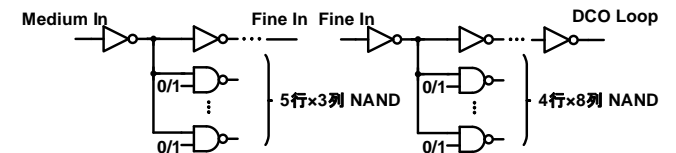


図 2 (a) Medium の回路構成 (b) Fine の回路構成

表 1 DCO の可変遅延部の設計結果

	Offset [ps]	Resolution [ps]	Full range [ps]
Coarse (4bit)	148.1	32.20-32.70	483.20
Medium (4bit)	141.1	1.30-3.90	41.25
Fine (5bit)	138.7	0.13-0.28	5.57

表 2 DCO の性能シミュレーション結果

Frequency range [GHz]	0.96 - 1.99
Phase Noise [dBc/Hz] @ 1MHz offset	-85.8 ~ -94.3 (Free-running)
Power [mW]	0.49
Area [μm^2]	590
Fine resolution [ps]	0.2

参考文献

- [1] W. Deng, et al., "A 0.0066 mm² 780 μ W Fully Synthesizable PLL with a Current-Output DAC and an Interpolative Phase-Coupled Oscillator Using Edge-Injection Technique," *ISSCC Dig. Tech. Papers*, pp. 266-267, Feb. 2014.
- [2] R.B.Staszewski, et al. :All-Digital Frequency Synthesizer in Deep-Submicron CMOS, Wiley, 2006.