

インバータ型リング発振器の位相雑音の理論計算の検討

A Theoretical Calculation of Phase Noise for Inverter-Based Ring Oscillator

中田 憲吾 Kengo Nakata 岡田 健一 Kenichi Okada 松澤 昭 Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

本研究では全ての回路素子をスタンダードセルライブラリとして提供されるデジタル回路設計用論理ゲートのみで発振器や位相同期回路 (PLL:Phase Lock Loop) などの回路を構成することを目的としている。デジタル回路設計用論理ゲートのみで構成することで、論理合成や自動配置・配線の設計ツールを利用してRTL(Resister transfer level)の記述をもとに自動のレイアウトを行うことができる。通常、これらの設計ツールを用いた場合、回路全体の消費電力、面積やあるノードの信号入力から信号出力までにかかる遅延時間などはシミュレーションにより得られるが、発振器やPLLで重要な性能指標となる出力信号に生じるジッタや位相雑音 (Phase noise) の値を得ることはできない。

そこで本研究では注入同期型PLLに用いられる発振器の種類の一つとして特にインバータ型リング発振器について回路全体の消費電力および信号入力から信号出力までにかかる遅延時間を用いることで位相雑音を計算する方法を理論式をもとに検証し、シミュレーション結果との比較を行った。

2 インバータ型リング発振器の位相雑音

インバータ型リング発振器の熱雑音にもとづく位相雑音の理論式は以下の式で表せる [1]。

$$\mathcal{L}(f) = \frac{2kT}{I} \left(\frac{1}{V_{DD} - V_{th}} (\gamma_N + \gamma_P) + \frac{1}{V_{DD}} \right) \left(\frac{f_0}{f} \right)^2 \quad (1)$$

ここで V_{DD} :電源電圧、 V_{th} :しきい値電圧、 I :インバータに流れる電流、 f_0 :発振周波数、 f :オフセット周波数、 k :ボルツマン定数、 T :温度、 $\gamma_{N(P)}$:N(P)MOSトランジスタの雑音係数である。

一方で、回路全体の消費電力 P_{dc} は平均電流 \bar{I} と電源電圧 V_{DD} を用いて $P_{dc} = V_{DD} \times \bar{I}$ と書き表せる。また発振器のあるノードにおいて立ち上がり信号を入れたときの出力の立ち下がりまでの遅延時間 τ_1 と立ち下がり信号を入れたときの出力の立ち上がりまでの遅延時間 τ_2 の和は発振周期の半分に等しいと言える。そこでインバータに流れる電流の平均値 \bar{I} と発振周波数 f_0 をそれぞれ回路全体の消費電力 P_{dc} 、遅延時間 τ_1, τ_2 を用いて表すと、式 (1) は以下のように書き直せる。

$$\mathcal{L}(f) = \frac{2kT}{P_{dc}} \left(\frac{V_{DD}}{V_{DD} - V_{th}} (\gamma_N + \gamma_P) + 1 \right) \left(\frac{2}{f(\tau_1 + \tau_2)} \right)^2 \quad (2)$$

式 (1),(2) は熱雑音による位相雑音を検討したものであり、フリッカ雑音による位相雑音は考慮していない。通常、注入同期型PLLにおいては注入信号の周波数によるが、多くの場合、オフセット周波数が1MHzよりも小さい周波数の位相雑音は帯域幅内となり、発振器の位相雑音の成分はキャンセルされる [2]。そのため本研究ではフリッカ雑音が影響するオフセット周波数が1MHz以下での位相雑音ではなく、熱雑音が支配的となる帯域幅外の位相雑音について式 (2) を用いて計算した。

3 シミュレーション結果との比較

式 (2) をもとに計算した位相雑音とシミュレーションにより得られた位相雑音の結果を図1として示す。図1では遅延時間の和が1250psとなる発振周波数400MHzの場合の位相雑音について理論式 (2) から計算した結果とシミュレーションによる結果を比較している。今回のシミュレーションでは $V_{DD}=1V, V_{th}=0.4V, T=300K$ と設定し、その値を式 (2) に用い、また $k=1.38 \times 10^{-23} J/K, \gamma_{N(P)}=2/3$ として計算している。

図1を見ると10MHzよりも高いオフセット周波数において理論式 (2) から計算した結果がシミュレーションの結果に近い値になっていることがわかる。一方で10MHzより小さいオフセット周波数では理論式の結果とシミュレーションの結果に誤差が生じてしまっている。これは10MHzより小さいオフセット周波数においてはフリッカ雑音の影響が大きくなるため、誤差が大きくなったと言える。

以上のように式 (2) を用いた位相雑音の計算は熱雑音が支配的となる10MHz以上のオフセット周波数においてシミュレーションの結果に近い値を得ることができると言える。

4 まとめ

本研究では回路全体の消費電力と遅延時間からインバータ型リング発振器の位相雑音を算出する方法を検討した。式 (2) を用いることで熱雑音にもとづく位相雑音についてシミュレーションに近い値を算出することが確認できた。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省SCOPE、科学研究費補助金、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。

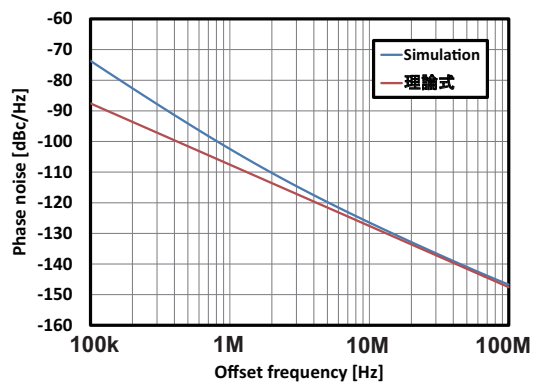


図1 理論式とシミュレーションによる位相雑音の比較

参考文献

- [1] Asad A. Abidi, et al., "Phase Noise and Jitter in CMOS Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1803-1816, Aug. 2006.
- [2] Nicola Da Dalt, et al., "An Analysis of Phase Noise in Realigned VCOs," *IEEE Transactions on Circuits and Systems-II: Express Briefs*, vol. 61, no. 3, pp. 143-147, Mar. 2006.