

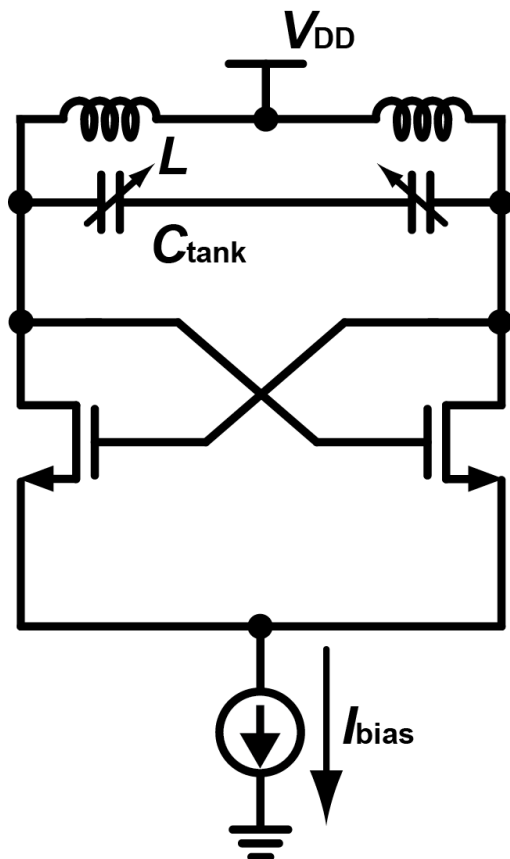
# Class-C VCOにおける 雑音感度軽減手法の提案

東京工業大学大学院  
理工学研究科 電子物理工学専攻  
松澤・岡田研究室  
木村 健将

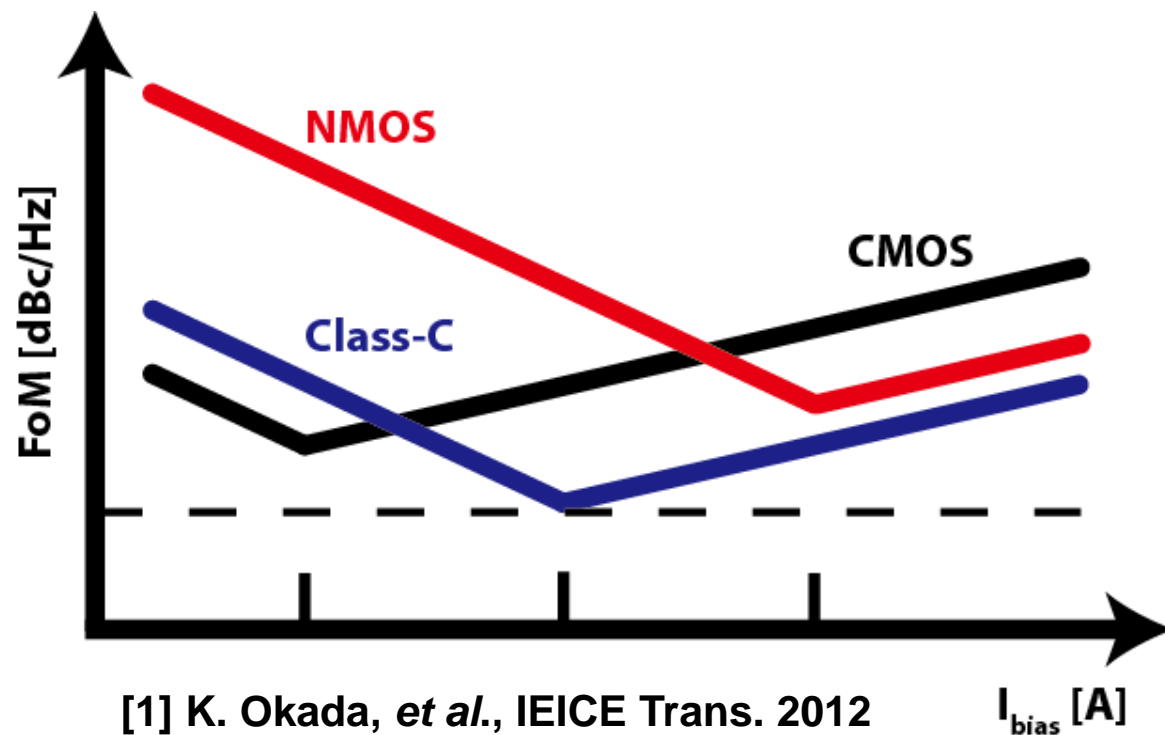
- 研究背景
- 研究目的
- 雑音感度の決まり方
- 提案する感度軽減手法
- 測定結果と評価

発振器には低位相雑音、低消費電力が要求される

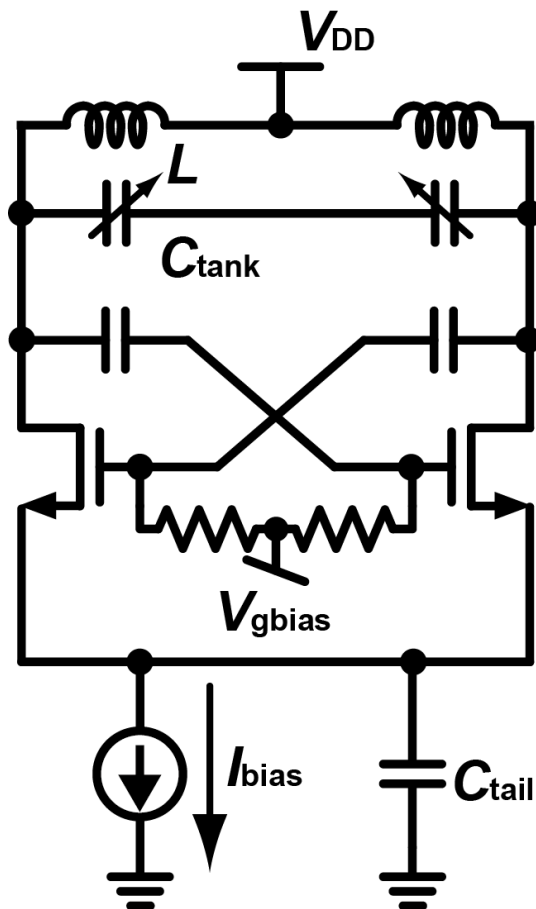
## NMOS VCO



- 😊 低位相雑音化できる
- 😞 電力消費が大きい

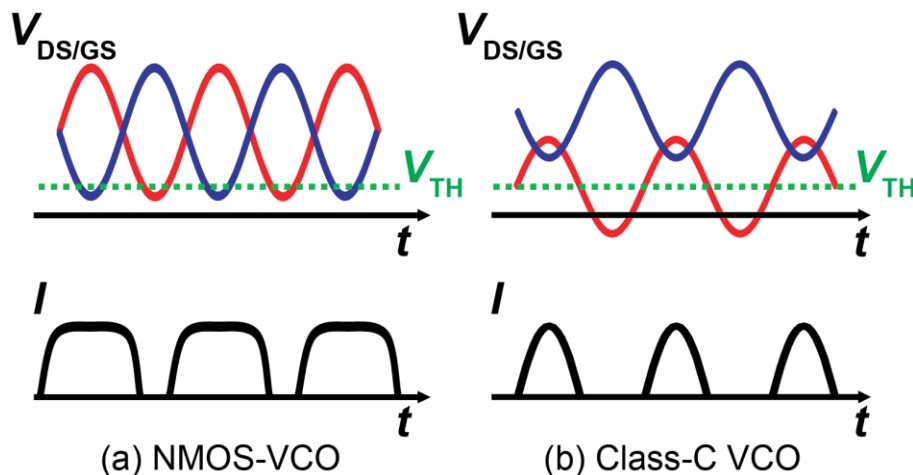


## Class-C VCO [2]



[2] A. Mazzanti, et al., JSSC 2008

☺ トランジスタの駆動時間が減り  
電流効率が向上する



☹  $V_{GBIAS}$ 上の雑音で性能劣化

➡ 低雑音化と省電力化を  
両立する手法が必要

# 雑音感度の決まり方

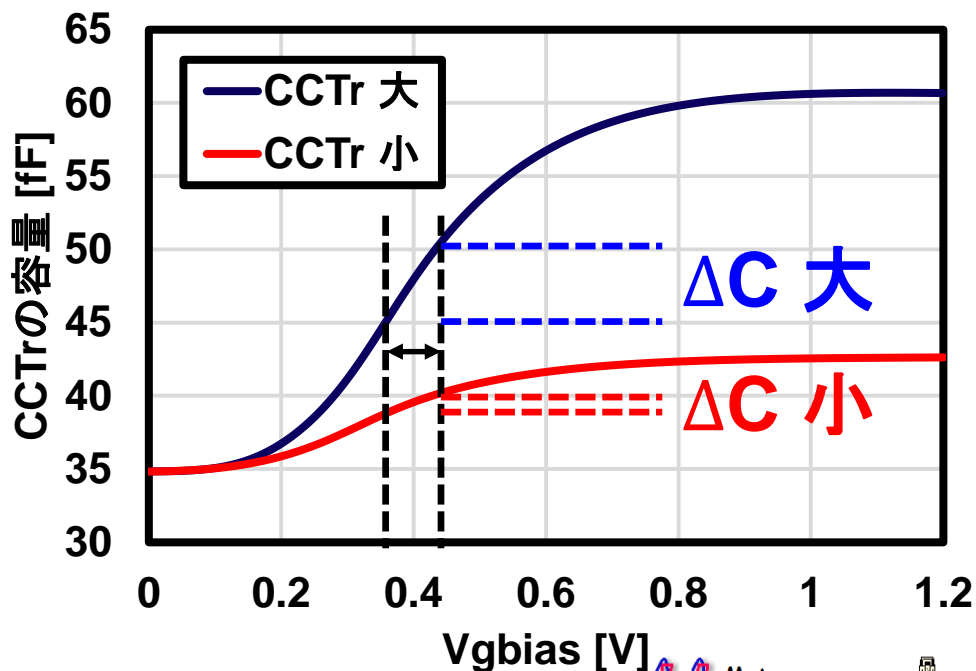
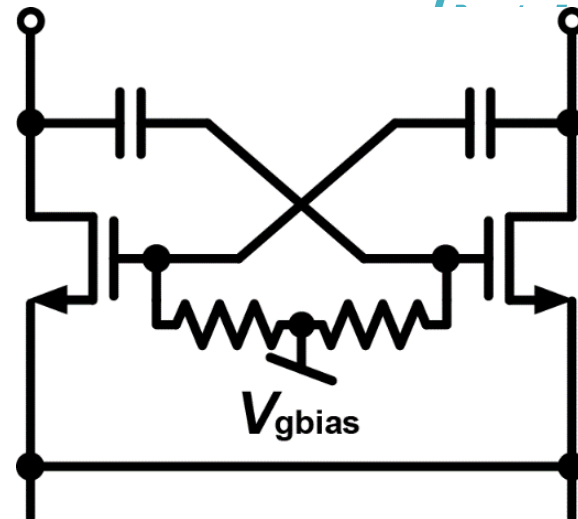
## ・周波数の雑音感度

## ・容量の雑音感度

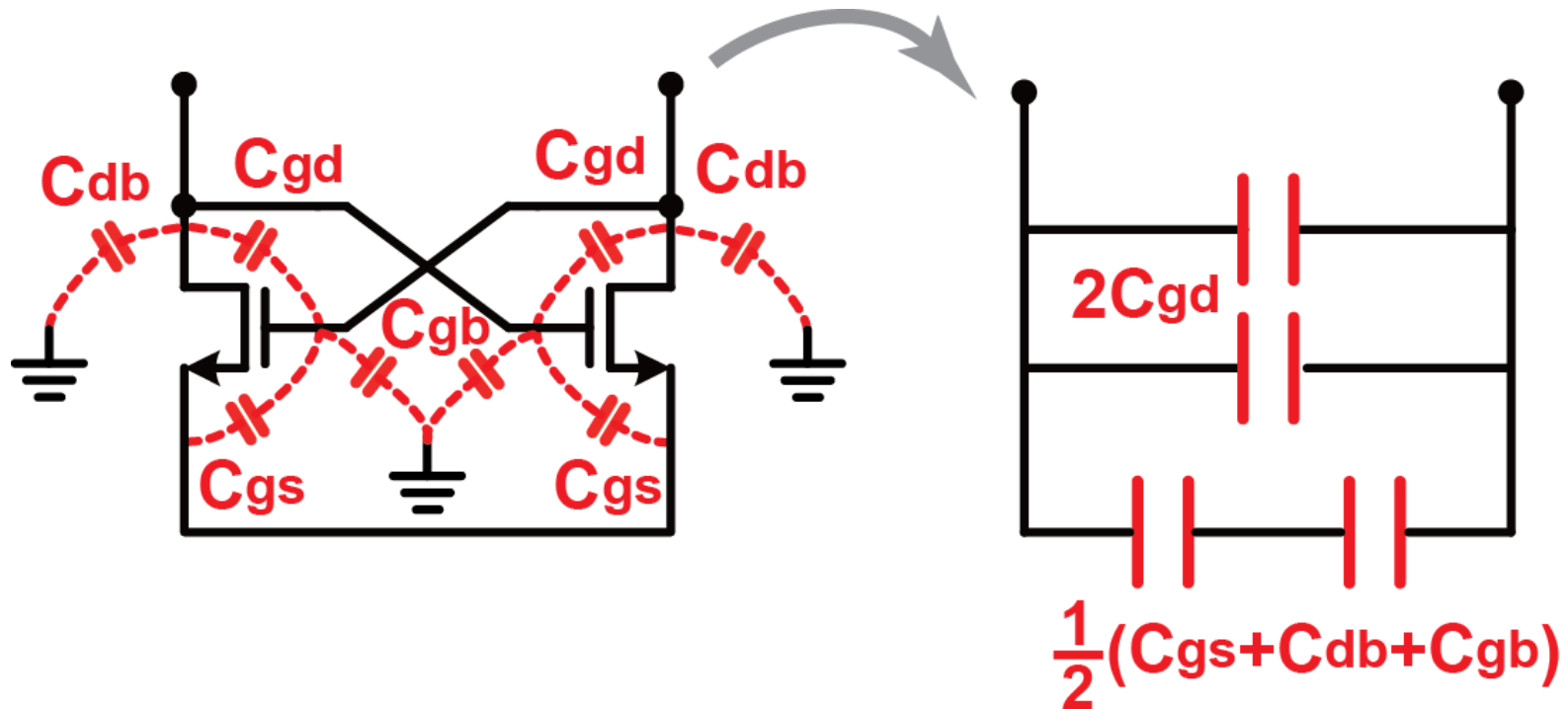
短い導通時間で発振させるため  
大きなTrが必要。

$\frac{\partial C_{CCTr}}{\partial V_{GBIAS}}$ が大きくなり、  
容量が大きく揺れる。

➡ 感度を0にしたい



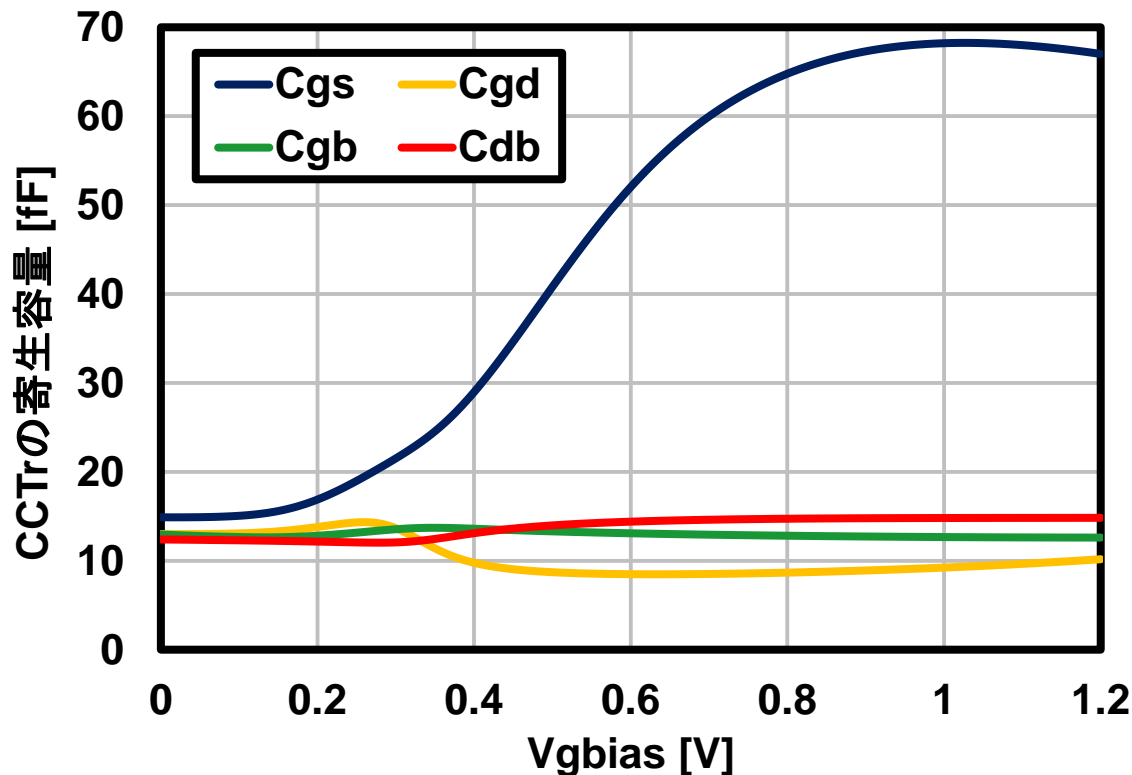
## 寄生容量の見え方



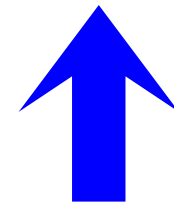
$$C_{CCTr} \cong \frac{1}{2} C_{GS} + 2C_{GD} + \frac{1}{2} C_{GB} + \frac{1}{2} C_{DB}$$

ただし  $C_{DC} \gg C_{GS}, C_{GD}, C_{GB}, C_{DB}$  として  $C_{DC}$  は無視する。

各寄生容量のうち、 $C_{GS}$ が一番大きく変化する。  
他の寄生容量の変化は無視できる。



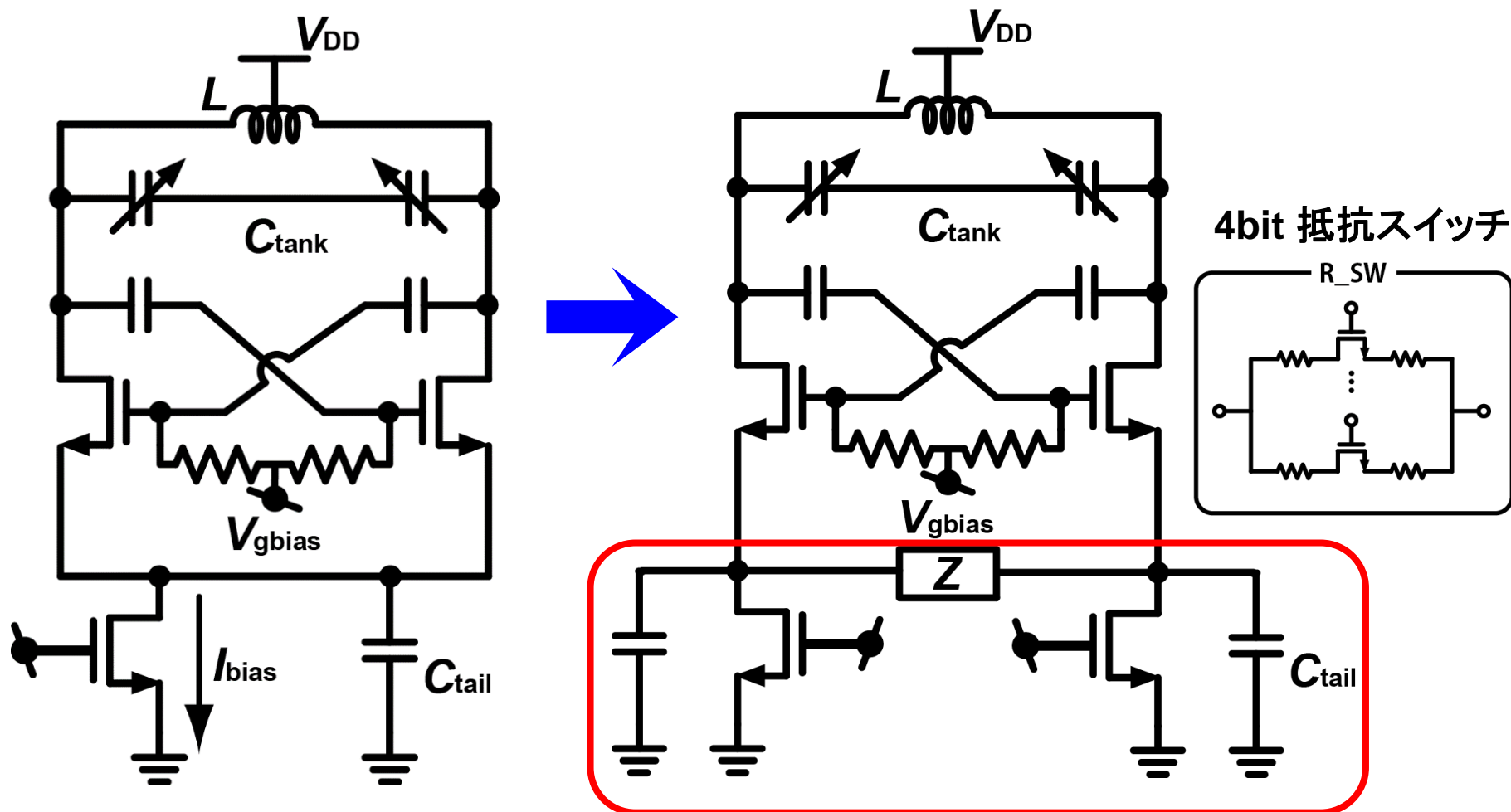
$$\frac{\partial C_{CCTr}}{\partial V_{GBIAS}} \approx \frac{1}{2} \frac{\partial C_{GS}}{\partial V_{GBIAS}}$$



0に近づけたい

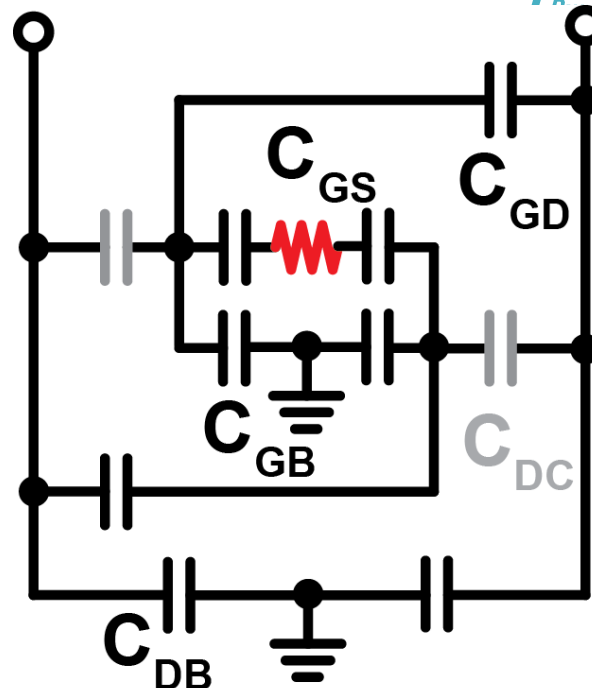
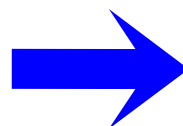
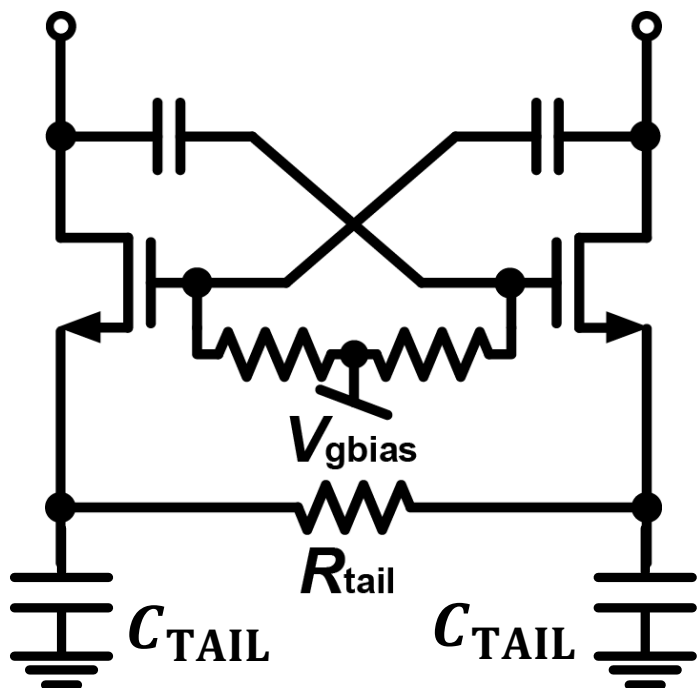
# 提案する回路構成

ソース部に  $Z$  ( $R_{TAIL}$ ) を挿入する。



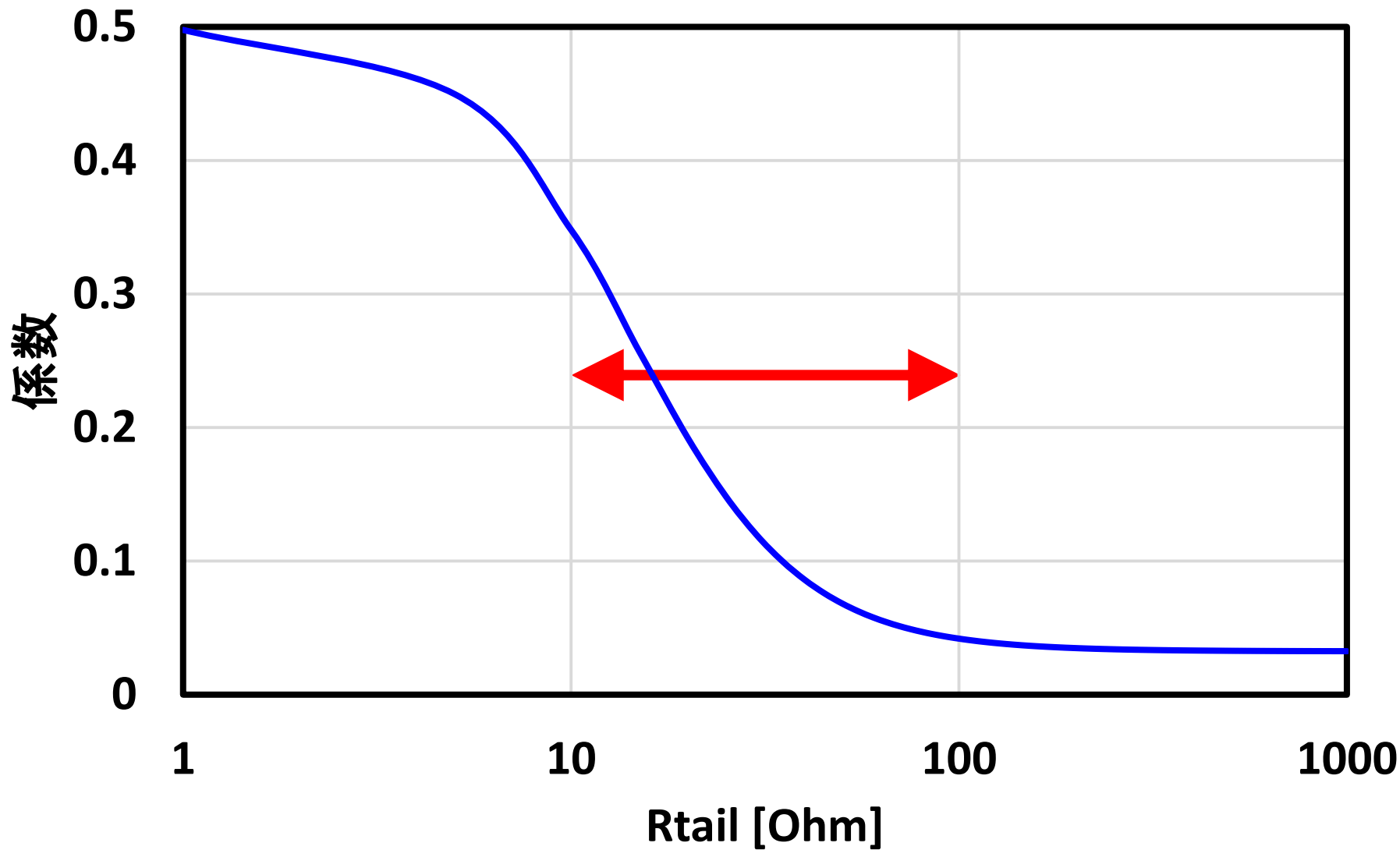


# 寄生容量の見え方の変化

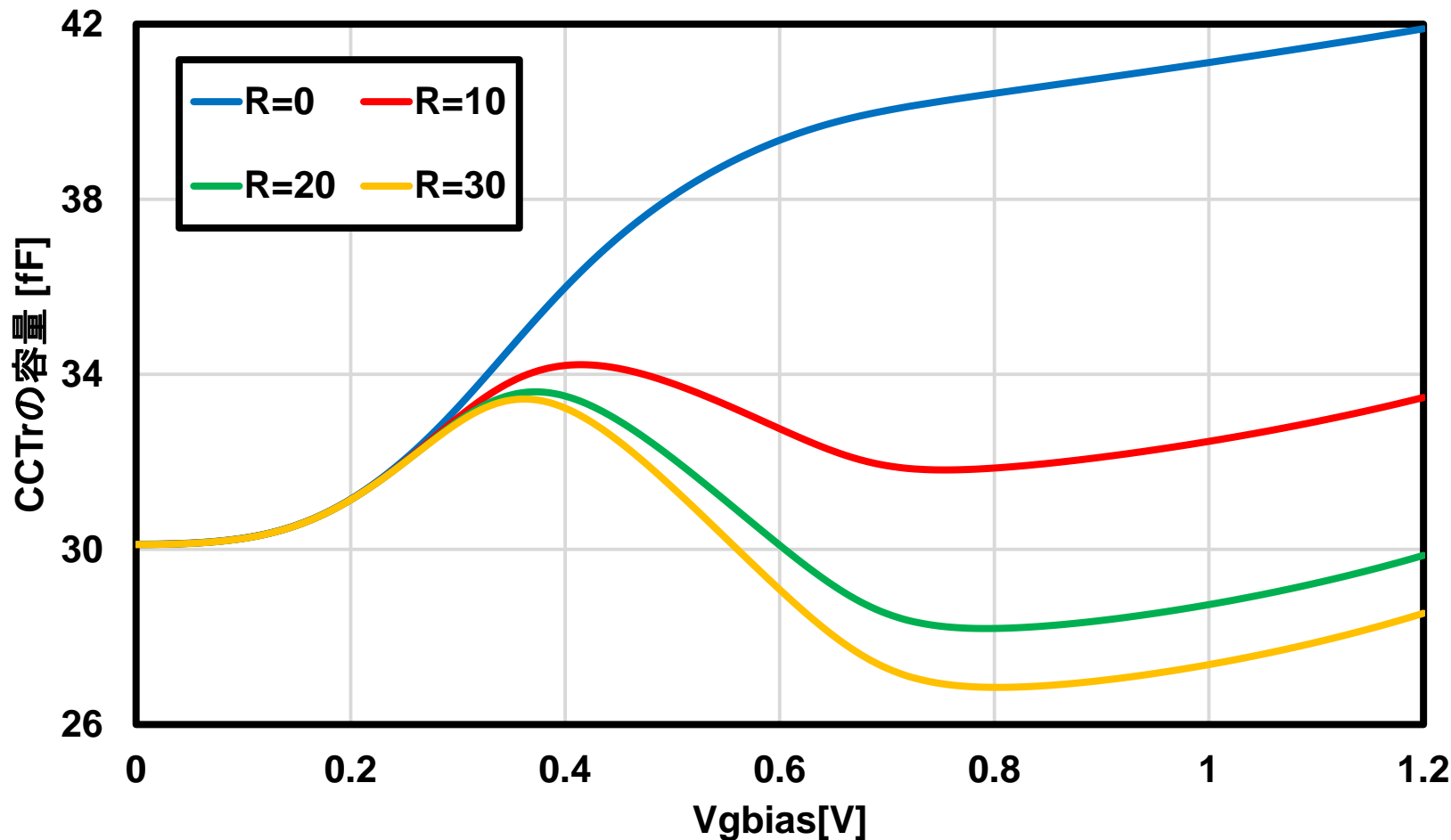


$$C_{GS}' \rightarrow \frac{1 + \omega^2 C_{TAIL} (C_{TAIL} + C_{GS}) R^2}{1 + \omega^2 (C_{TAIL} + C_{GS})^2 R^2} \frac{1}{2} C_{GS} = H(R, C_{GS})$$

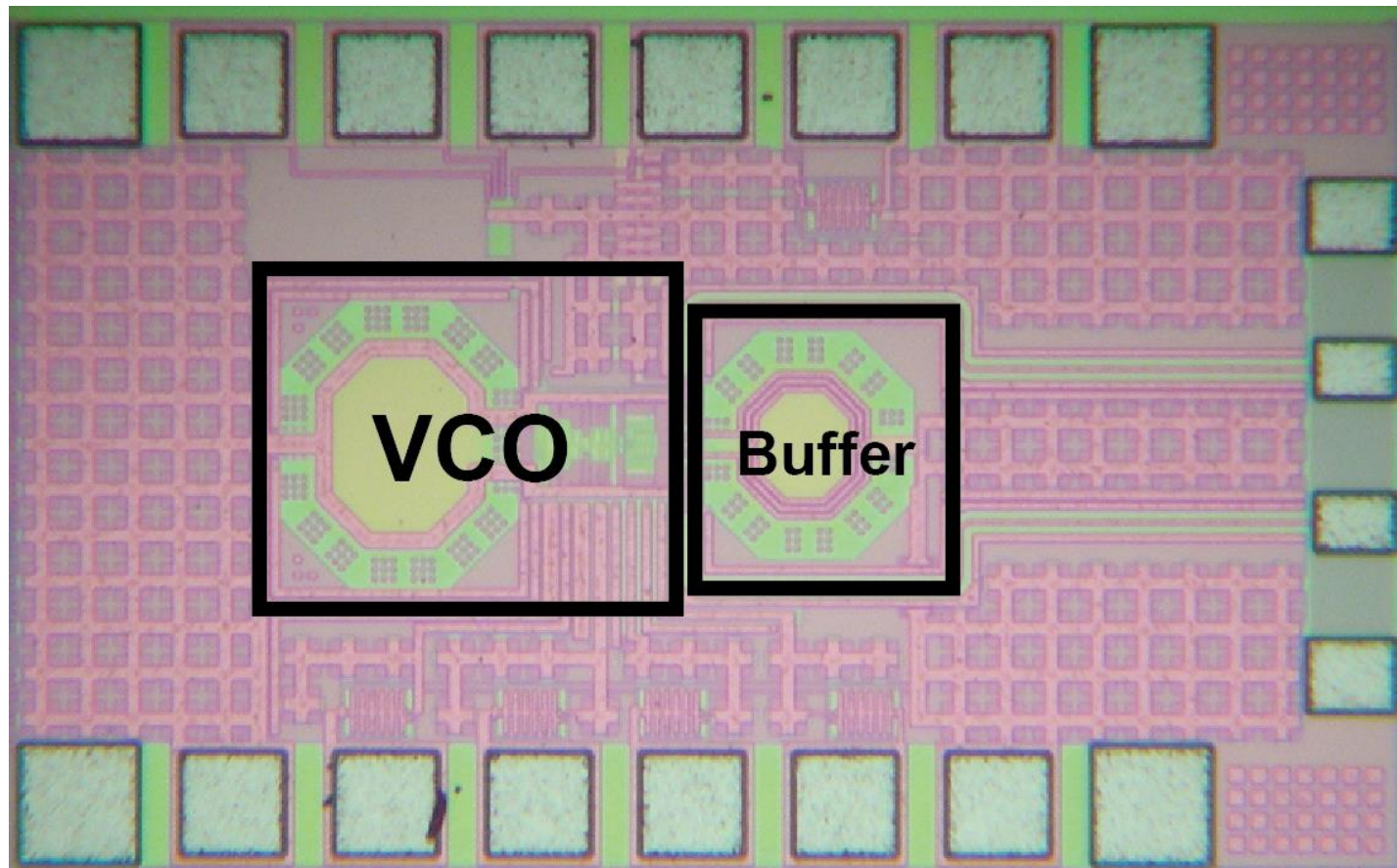
$$\frac{\partial C_{CCTr}'}{\partial V_{GBIAS}} \cong \frac{\partial H(R, C_{GS})}{\partial C_{GS}} \frac{\partial C_{GS}}{\partial V_{GBIAS}}$$



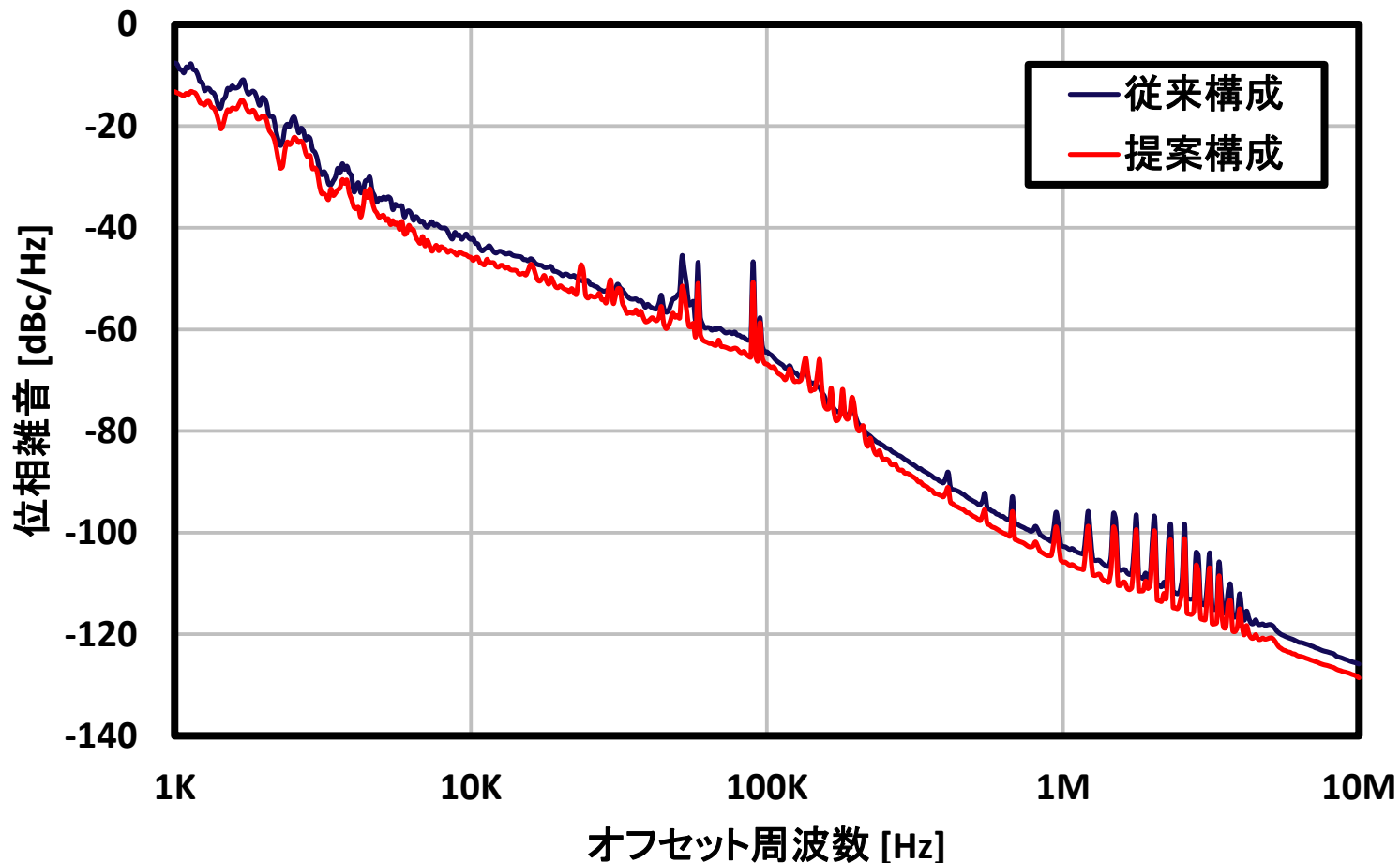
しきい値付近で容量の変化を軽減できる。



65nm CMOS プロセスを使用  
VCO Size : 0.057 [mm<sup>2</sup>]



## 3dB の性能改善を達成できた。



$$V_{g\text{bias}} = 0.45[\text{V}], R_{\text{tail}} = 35[\text{k}\Omega]$$

Ref	PN1M [dBc/Hz]	Freq [GHz]	Power [mW]	FoM [dBc/Hz]	Technology	Topology (LC-only)
[3]	-101 @1MHz	26.7	21	-176.3	65nm CMOS	push-push
[4]	-98 @1MHz	18.7	6	-176	65nm CMOS	PMOS
[5]	-112 @1MHz	19	200	-174.5	0.13μm BiCMOS	Colpitts
[6]	-106 @1MHz	17.9 - 21.2	19.2	-179	65nm CMOS	Tail Capacitive Feedback
This work	<b>-105.5 @1MHz</b>	19.3 - 22.4	8.7	<b>-182.1</b>	65nm CMOS	Class-C & Noise Mitigation

$$\text{FoM} = \text{PN} - 20 \log_{10} \left( \frac{f_{\text{center}}}{f_{\text{offset}}} \right) + 10 \log_{10} \left( \frac{P_{\text{DC}}}{1\text{mW}} \right)$$

- 結論

- Class-C VCOは、大きなトランジスタの使用が避けられず、それが位相雑音劣化の原因になっていた。
- 提案回路構成では、ソース部に挟んだ抵抗値を調整することで、容量変化の感度を調整することができる。
- 20GHz帯における従来構成に比べて、3dBの位相雑音性能改善を達成できた。

- [1] K. Okada, *et al.*, “A Dual-Conduction Class-C VCO for a Low Supply Voltage” *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*; VOL.2012; NO.2; PAGE.506-514; (2012)
- [2] A. Mazzanti and P. Andreani, “Class-C harmonic CMOS VCOs, with a general result on phase noise,” *IEEE Journal of Solid-State Circuits*, vol.43, no. 12, pp. 2716-2729, Dec. 2008.
- [3] R. Molave, *et al.*, “ A 27-GHz Low-Power Push-Push LC VCO with Wide Tuning Range in 65nm CMOS,” *IEEE Int. Symp. Circuits and Systems*, May 2011, pp.1141-1144.
- [4] G. Zhu, *et al.*, “A Low-Power Wide-Band 20GHz VCO in 65nm CMOS,” *5th Global Symposium on Millimeter Waves*, May 2012, pp.291-294.
- [5] W. Wang, *et al.*, “A 20GHz VCO and Frequency Doubler for W-band FMCW Radar Applications,” *IEEE Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2014, pp.104-106.
- [6] A. Musa, *et al.*, “A Low Phase Noise Quadrature Injection Locked Frequency Synthesizer for MM-Wave Applications,” *IEEE Journal of Solid-State Circuits*, vol.46, no.11, pp.2635-2649, Nov. 2011.



ご清聴ありがとうございました。