

電圧制御発振器におけるバラクタバイアス抵抗の最適化

Optimization of Varactor's Bias Resistor for Voltage Controlled Oscillators

桂木 真希彦
Makihiko Katsuragi

木村 健将
Kento Kimura

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

無線通信回路に広く用いられている LC 型電圧制御発振器 (VCO) は、可変容量 (バラクタ) の制御電圧 V_{ctrl} により容量値を変化させることで所望の発振周波数を得る。図 1 に示すようなアキュムレーション型の MOS バラクタでは、バラクタの容量値は V_{ctrl} とバラクタのゲート電圧 V_{gbias} との差によって決まる。ここで R_{gbias} が小さいと、バラクタと並列に、 R_{gbias} を通して交流電流が導通してしまい、 Q 値が劣化し、バラクタ容量の ON/OFF 比も小さく見えてしまう。しかし、 R_{gbias} 自身が熱雑音を持つため、大きすぎると VCO 全体の位相雑音を劣化させてしまう。本発表では、 R_{gbias} が位相雑音に与える影響を確認し、位相雑音を低減させるような R_{gbias} の設定方法を検討する。

2 バイアス抵抗が位相雑音に与える影響

図 2 に NMOS クロスカップル LC 型 VCO の回路構成を示す。位相雑音は 1Hz 帯域あたりの雑音電力と信号電力の比で定義され、次のように計算される。

$$L(\Delta\omega) = 10 \log \left(\frac{2Fk_B T}{P_{sig}} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 + \left(\frac{V_m K_{VCO}}{2\Delta\omega} \right)^2 \right) \quad (1)$$

F は device excess noise number、 k_B はボルツマン定数、 T は絶対温度、 P_{sig} は信号電力、 ω_0 は発振角周波数、 $\Delta\omega$ はオフセット角周波数、 Q は共振器の Q 値、 V_m は雑音振幅、 K_{VCO} は VCO ゲインである。(1) 式の第 1 項は P_{sig} と Q に依存する位相雑音成分である。 $P_{sig} \approx \frac{2V_{DD}^2}{Q\omega L}$ より、第 1 項は $\frac{1}{Q}$ に従い、 R_{gbias} を大きくするほど改善する。第 2 項は $V_{ctrl} - V_{gbias}$ に対するノイズ感度を考慮した項である。 K_{VCO} が大きいほど、わずかな電圧の変動に鋭敏に反応してしまうため、位相雑音が大きくなる。 R_{gbias} を大きくしていくと、第 1 項とは逆に、 R_{gbias} の持つ熱雑音により劣化してしまう。

3 シミュレーション結果

今回、4 ビット NMOS クロスカップル LC 型 VCO を用いてバラクタの制御電圧を変化させ、発振周波数 5.67 ~ 5.82GHz の範囲において位相雑音 (@1MHz offset) を評価した。図 3 に示すように、 R_{gbias} が小さいところでは Q 値の劣化による位相雑音の劣化が見られ、 R_{gbias} が大きいところでは K_{VCO} による熱雑音のアップコンバージョンが見られた。位相雑音は $R_{gbias} = 4[\text{k}\Omega]$ で極小値をとり、VCO の性能に対して最適なバイアス抵抗を得ることができた。

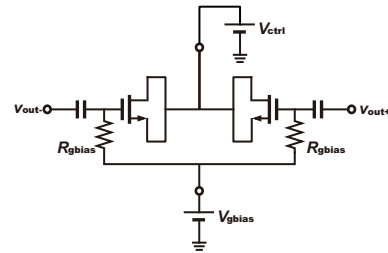


図 1 バラクタの回路図

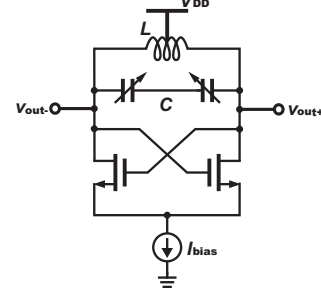


図 2 NMOS クロスカップル LC 型 VCO

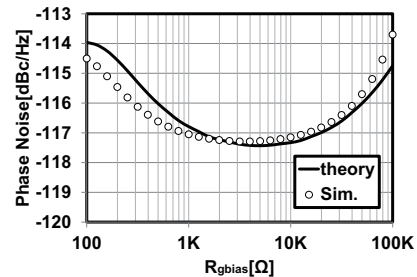


図 3 VCO の位相雑音

4 まとめ

本発表では、VCO の位相雑音と R_{gbias} の関係を示し、実際に同様の特性が得られることをシミュレーションにより確認した。また、位相雑音が最小となるような R_{gbias} を (1) 式から得ることができることを示した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、キヤノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

参考文献

- [1] B. Razavi, *RF Microelectronics*, Prentice Hall, New Jersey, 1997.
- [2] 松澤昭, “アナログ RF CMOS 集積回路設計 [応用編],” 培風館, 2011.