

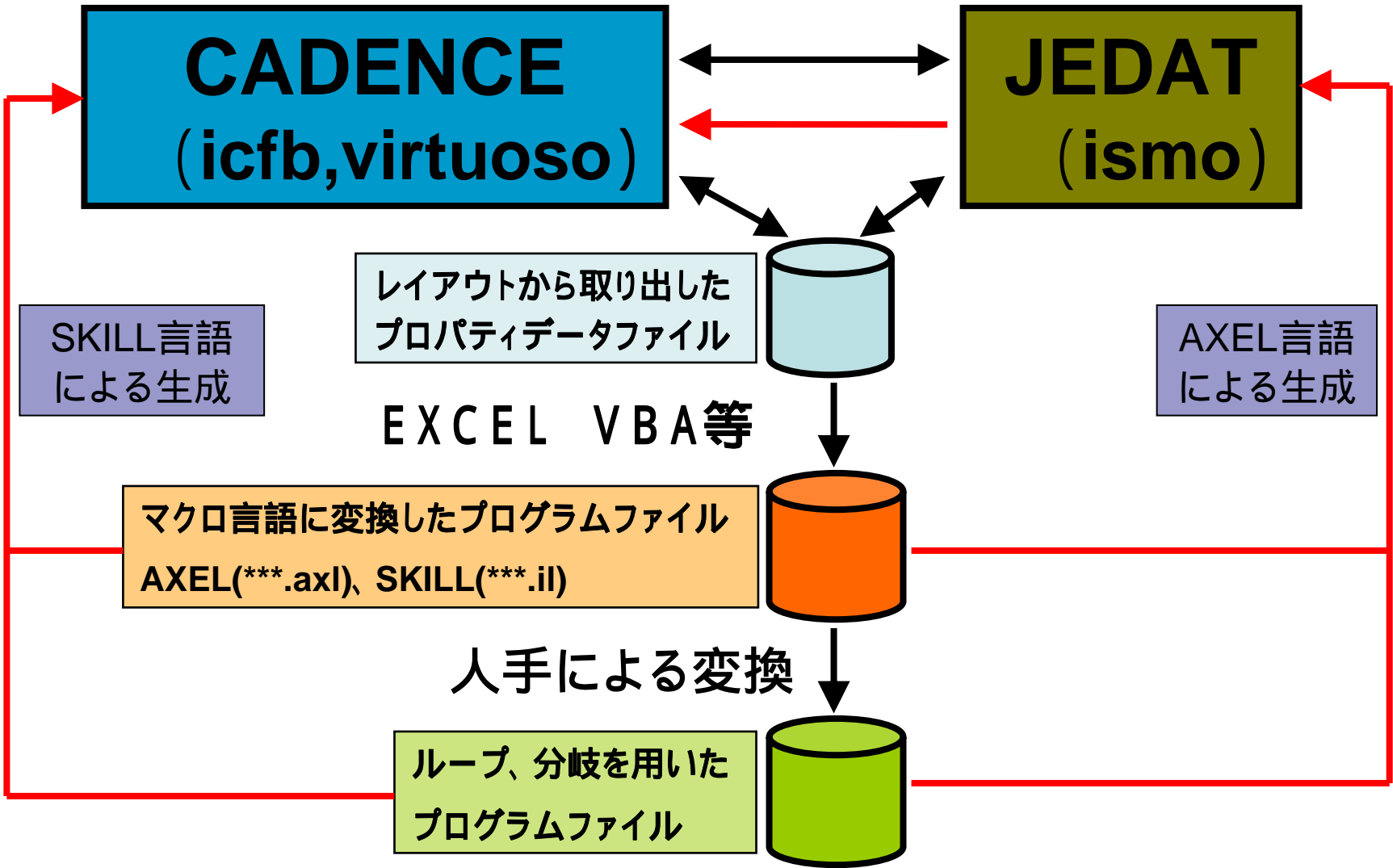
アナログ設計における人手レイアウト設計 から自動レイアウト設計への変換方法

東京工業大学大学院 理工学研究科
電子物理工学専攻 松澤・岡田研究室
盛 健次、菅原 光俊、宮原 正也、松澤 昭
2013年5月13日

1. 研究背景
2. 人手レイアウトから自動レイアウトへの変換方法
 - 2つの言語のライブラリの比較
 - 2つの言語の文法の比較
 - DC TEGの回路構成とレイアウト構成
 - 容量TEGの回路構成とレイアウト構成
3. アナログ回路自動生成プログラムのフロー
 - RDACの回路構成とレイアウト構成
 - CDACの回路構成とレイアウト構成
4. 結論

- 従来のアナログ設計に要する開発期間
システム設計に約1ヶ月
回路設計に約1ヶ月
レイアウト設計に約1ヶ月
- 再設計容易化の必要性
設計仕様、プロセス情報を与えて、回路設計、レイアウト設計を自動で行う。

人手レイアウトから自動レイアウトへの変換方法



アナログ設計における人手レイアウト設計から自動レイアウト設計への変換方法

2つの言語のライブラリの比較

rect 層名 層番号 ((座標x1 座標y1) (座標x2 座標y2))
label 層名 層番号 ラベル名 (座標x 座標y) stick 1.0 ラベル位置 回転
path 層名 層番号 パス幅 座標数 ((座標x1座標y1) (座標x2 座標y2))
cell ライブラリ名 セル名 属性 ベース名 回転 (座標x 座標y)
pcell ライブラリ名 セル名 属性 ベース名 回転 (座標x 座標y) row column
pcell ライブラリ名 セル名 属性 ベース名 回転 (座標x 座標y) パラメータ

	SKILL	AXEL
RECT	dbCreateRect	fdd.AddRectangle
PATH	dbCreatePath	fdd.AddLine
CELL	dbCreateInst	fdd.AddCell
PCELL	dbCreateParamInst	fdd.AddParaO
LABEL	dbCreateLabel	fdd.Add

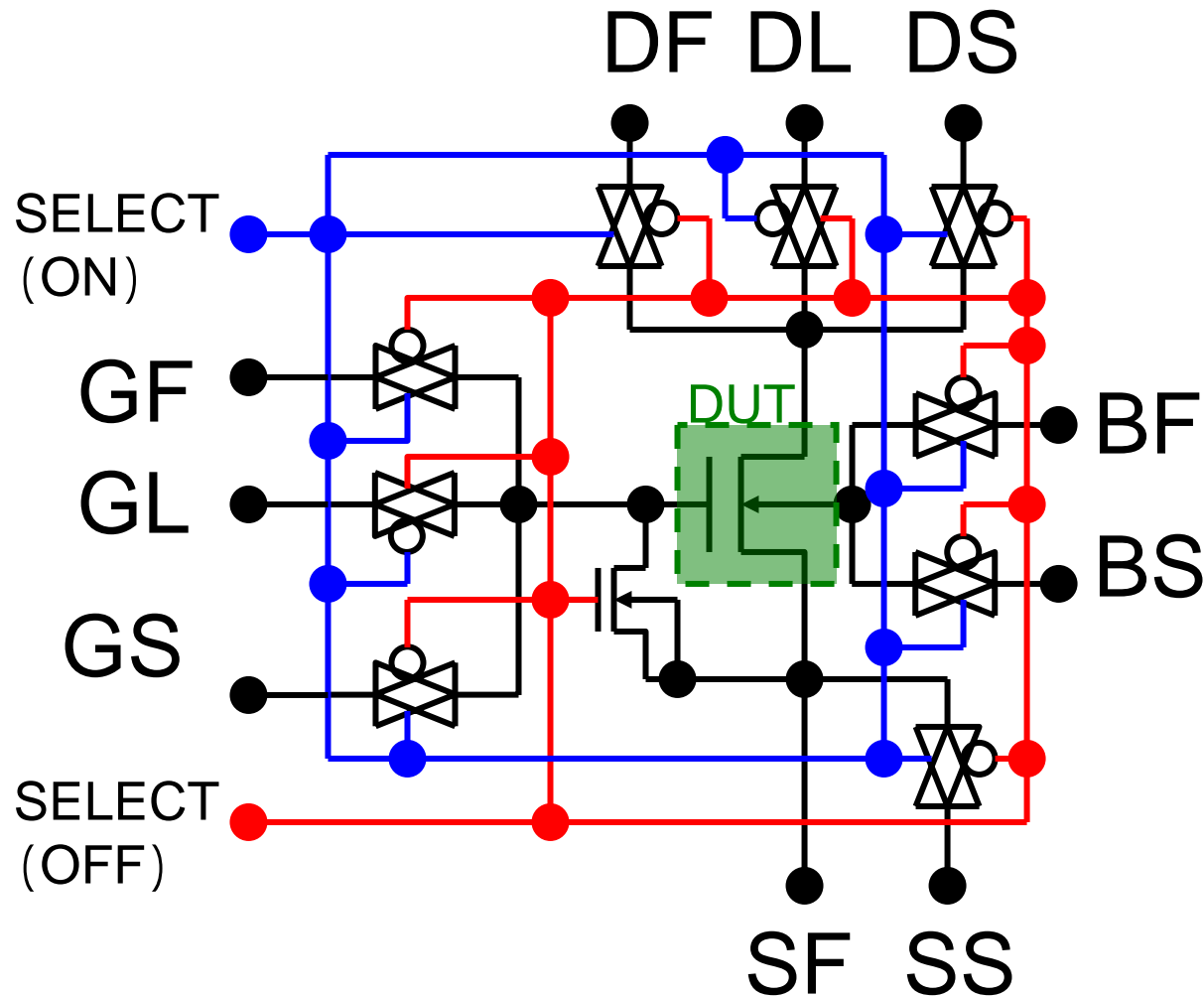
2つの言語の文法の比較

	SKILL言語	AXEL言語
関数	procedure(関数名(引数) prog((局所変数) 処理)	void 関数名(引数) {局所変数; 処理;}
ループ	for(i 1 2 処理)	for (i=1; i<=2; i++) {処理;}
分岐	if(判断 then 処理1 else 処理2)	if (判断) {処理1;} else {処理2;}
リスト	list(変数1 変数2) 変数1:変数2	pnts[0].x=変数1; pnts[0].y=変数2;
部品の 呼び出し	cv = dbOpenCellViewByType (libname cellname viewname "" "r") dbClose(cv)	関数名("libname/cellname/ viewname");

AXLE言語は、#include文とmain関数を持っている分、扱いにくい。

但し、文法チェックが厳密であるので、バグ修正が容易である。

アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法



(1)Brad Smith他 : “A Novel Biasing Technique for Addressable Parametric Arrays ”

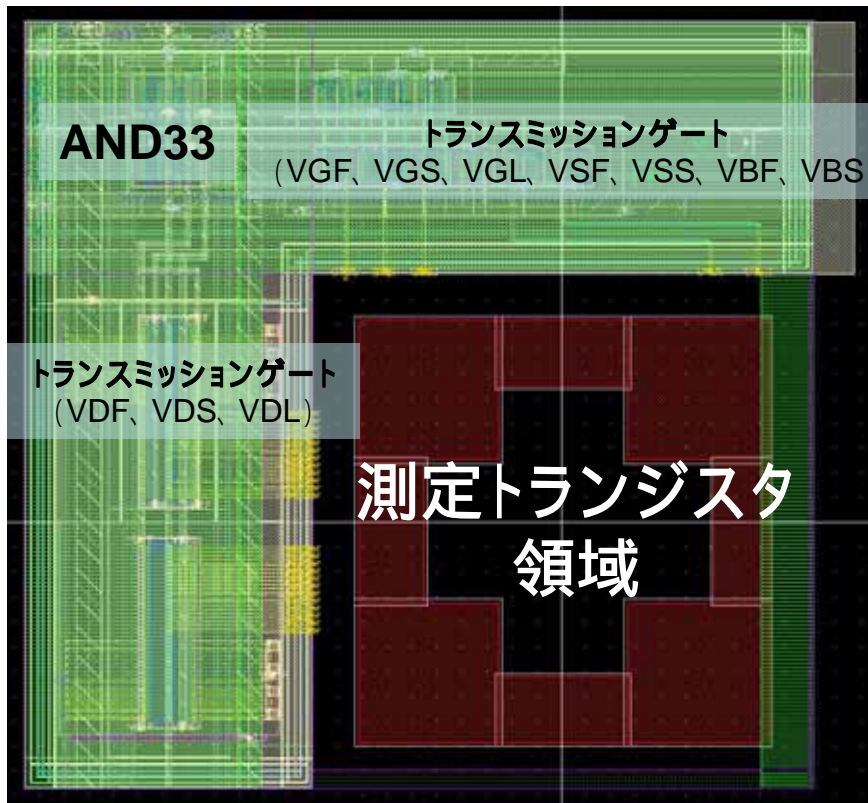
(2)Takashi Sato他 : “A MOS Transistor-Array for Accurate Measurement of Subthreshold Leakage Variation”

(3)Takashi Sato他 : “A MOS transistor array with pico-ampere order precision for accurate characterization of leakage current variation”

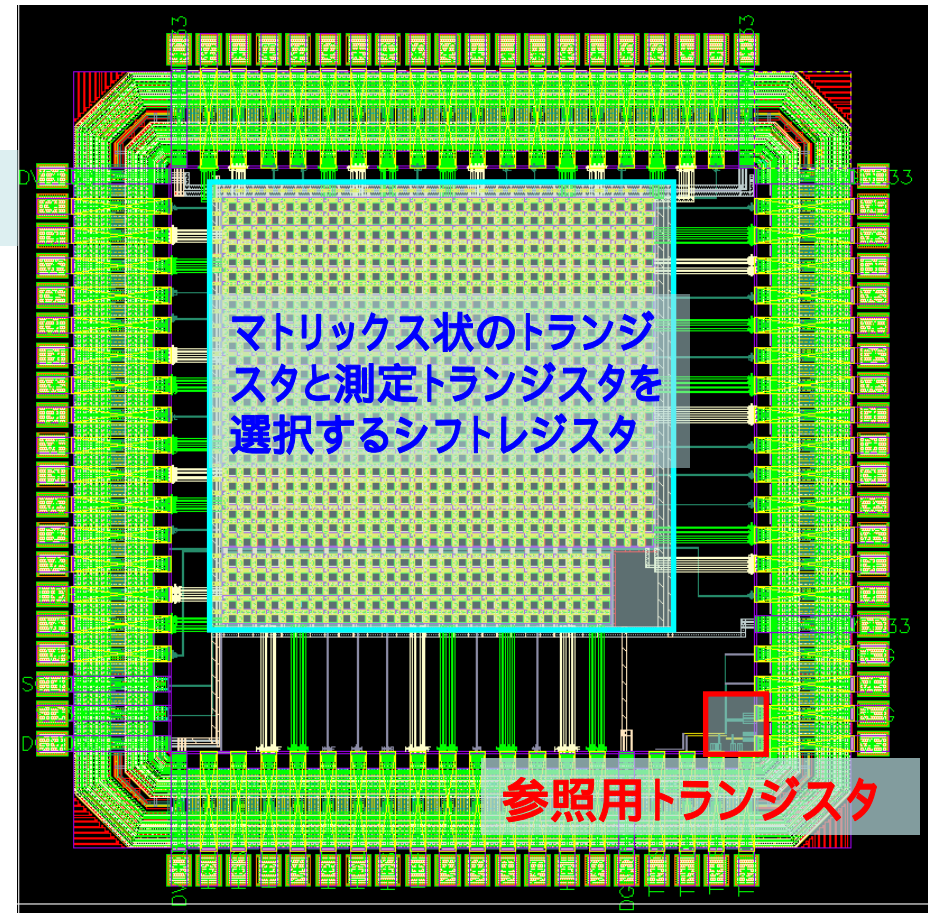
(4)Apra Pandey他 : “Verification of non-contacting surface electric potential measurement model using contacting electrostatic voltmeter”

アナログ設計における人手レイアウト設計から自動レイ

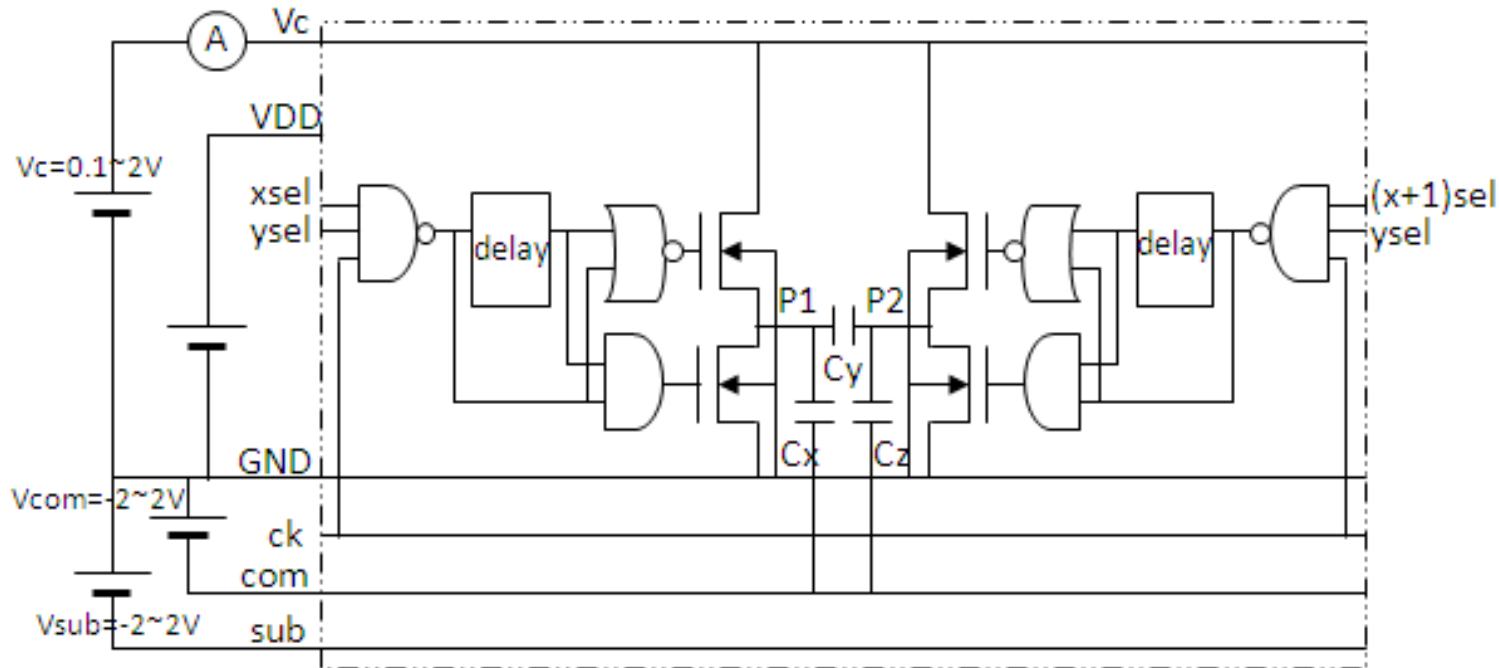
アウト設計への変換方法



UNIT_CELLのレイアウト図



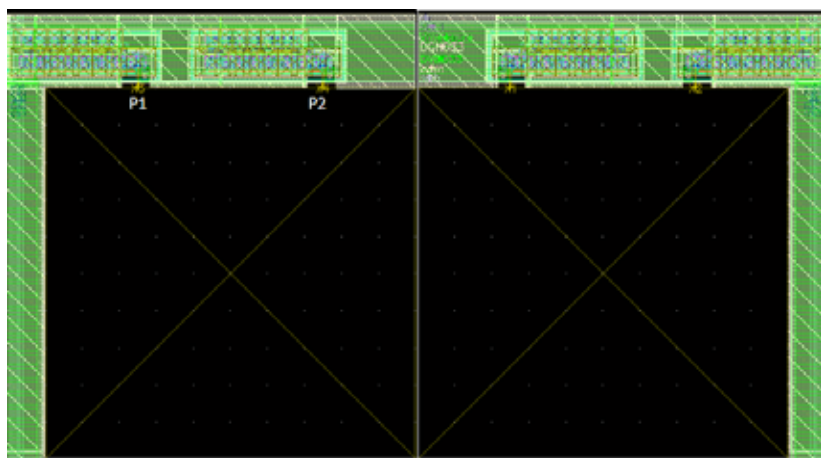
アナログ設計における人手レイアウト設計から自動レイアウト設計への変換方法



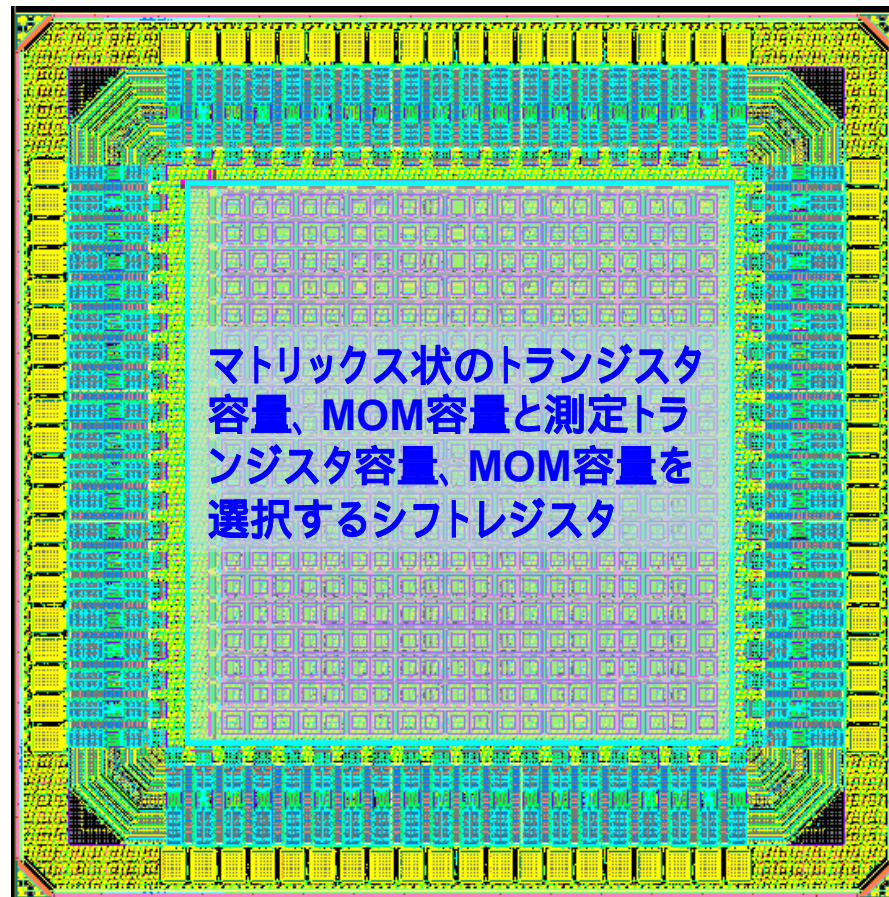
提案する浮遊容量を分離して測定する回路

- (1) J.C.Chen他: "An On-Chip, Interconnect Capacitance Characterization Method with Sub-Femto-Farad Resolution"
- (2) S.Ohkawa他: "Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array"
- (3) D.Sylvester他: "Investigation of Interconnect Capacitance Characterization using Charge-Based Capacitance Measurement (CBCM) Technique and 3-D Simulation"
- (4) D.Sylvester他: "Analytical Modeling and Characterization of Deep-Submicrometer Interconnect"
- (5) Y.W.Chang他: "A Novel CBCM Method Free from Charge Injection Induced Errors: Investigation into the Impact of Floating Dummy-Fills on Interconnect Capacitance"
- (6) B.Sell他: "Charge-Based Capacitance Measurements (CBCM) on MOS Devices"
- (7) B. Froment他: "Ultra Low capacitance measurements in multilevel metallization CMOS by using a built-in Electron-meter"

アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法



提案する容量マトリクス用
CBCM法のレイアウト



マトリクス状のトランジスタ
容量、MOM容量と測定トラ
ンジスタ容量、MOM容量を
選択するシフトレジスタ

提案するテスト・ストラクチャの全体レイアウト

アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法

ビット数、
消費電力等

設計仕様

プロセス情報 (PDK)

回路設計の自動計算

SPICEパラメータ、
デザインルール等

トランジスタのL、W等の計算結果

回路図、レイアウト図、シンボル図の生成

回路図

レイアウト図

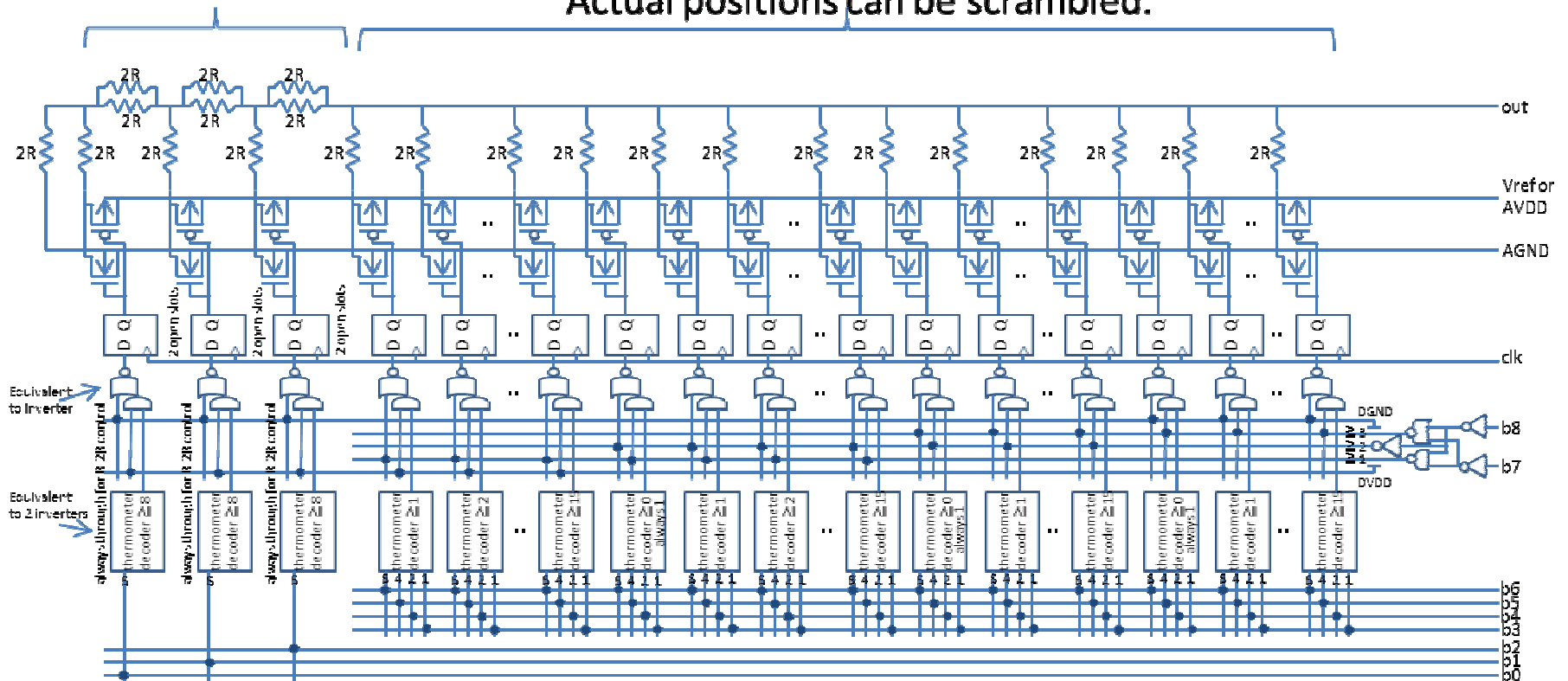
シンボル図

アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法

9ビットRDACの回路図

Total 3 pieces for R-2R

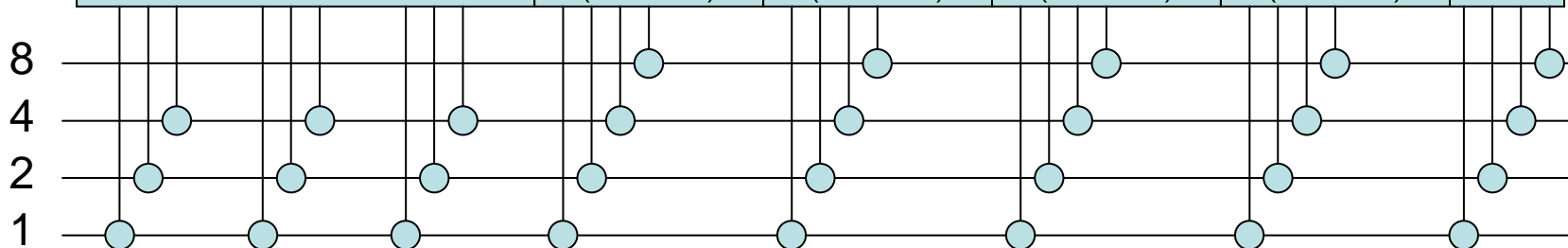
Total 63 pieces for thermometer code.
Actual positions can be scrambled.



アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法

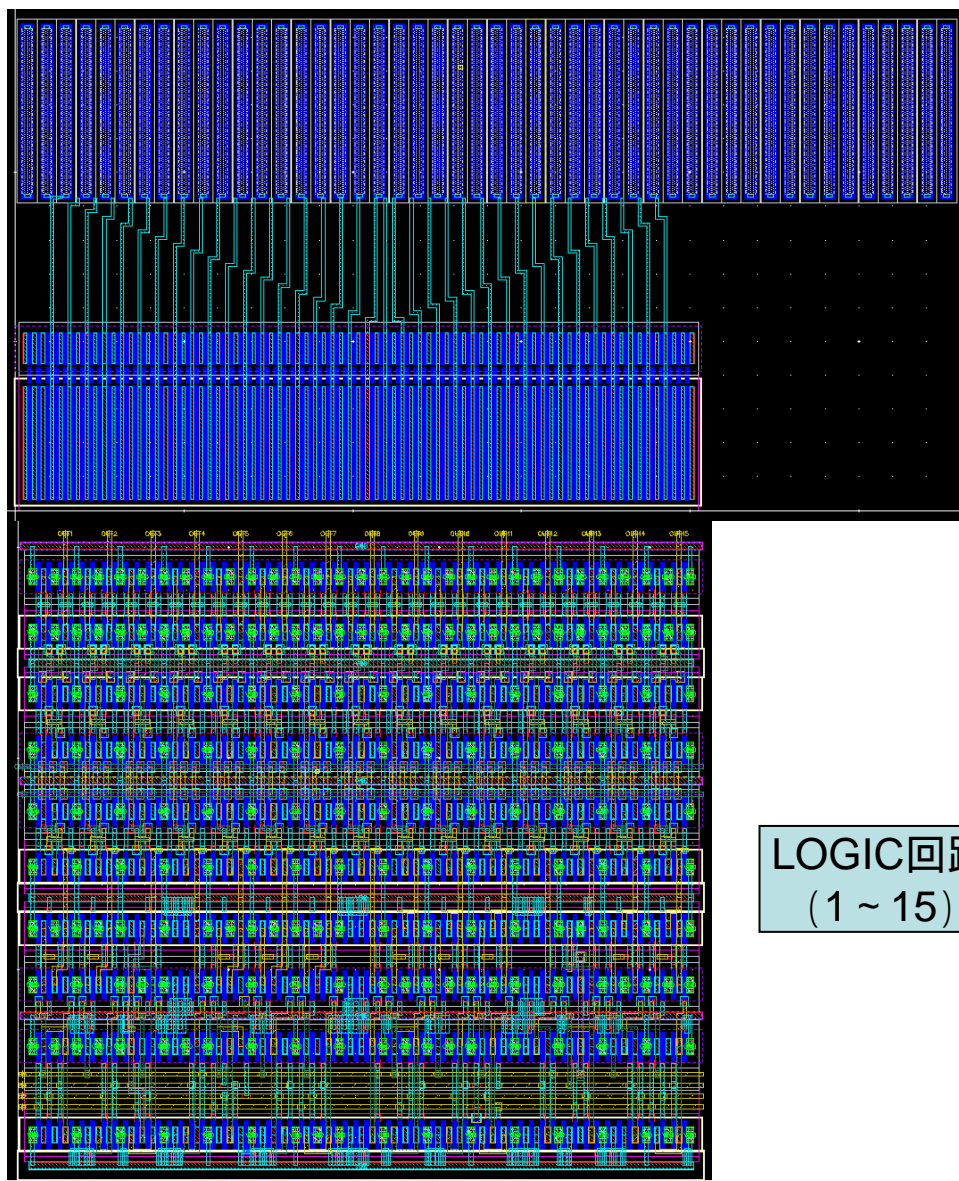
R D A C のレイアウト構成

R-2R回路(3ビット)	サーモ回路(6ビット= $2^6=8 \times 8=64$)				
スイッチ回路	スイッチ回路 (1 ~ 15)	スイッチ回路 (1 ~ 15)	スイッチ回路 (1 ~ 15)	スイッチ回路 (1 ~ 15)	スイッチ回路 (1 ~ 15)
D/FF回路	D/FF回路 (1 ~ 15)	D/FF回路 (1 ~ 15)	D/FF回路 (1 ~ 15)	D/FF回路 (1 ~ 15)	D/FF回路 (1 ~ 4)
セレクト回路	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)	セレクト回路 (AND-OR)
バッファ回路	LOGIC回路 (1 ~ 15)	LOGIC回路 (1 ~ 15)	LOGIC回路 (1 ~ 15)	LOGIC回路 (1 ~ 15)	LOGIC回路 (1 ~ 4)



アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法

R D A C レイアウト図の一部

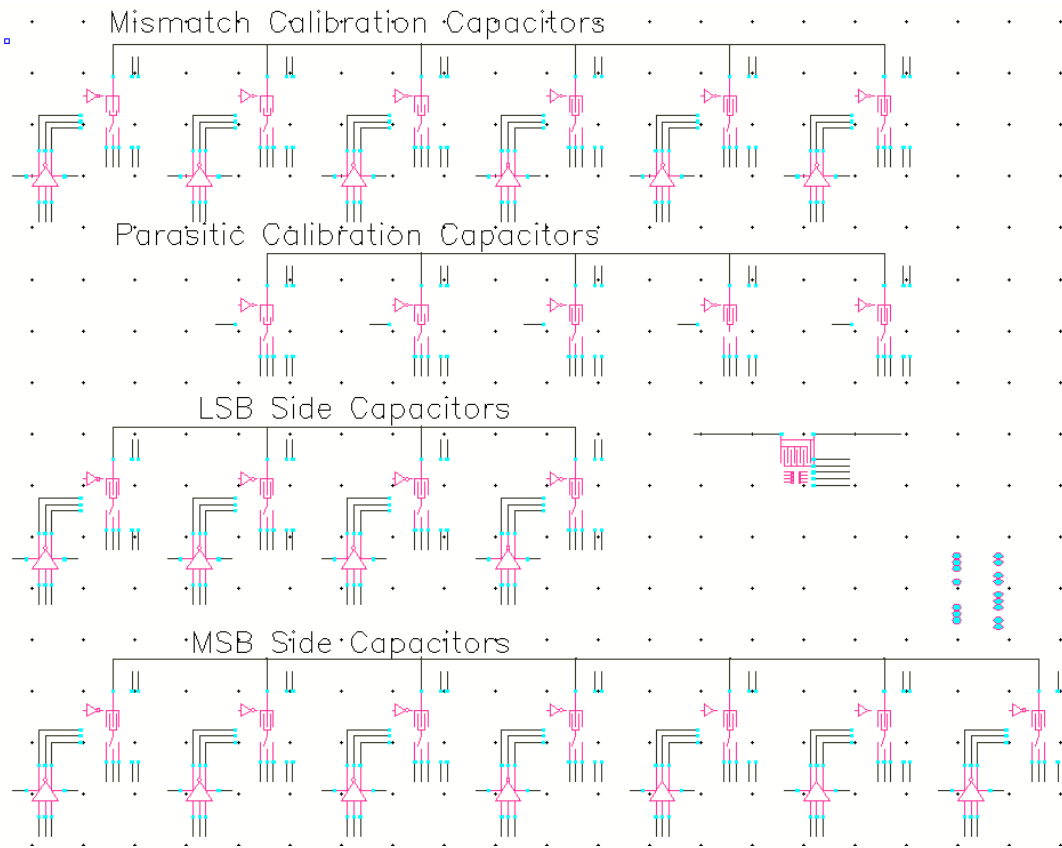


サーモ回路
(6ビット= $2^6=8 \times 8=64$)

スイッチ回路
(1 ~ 15)

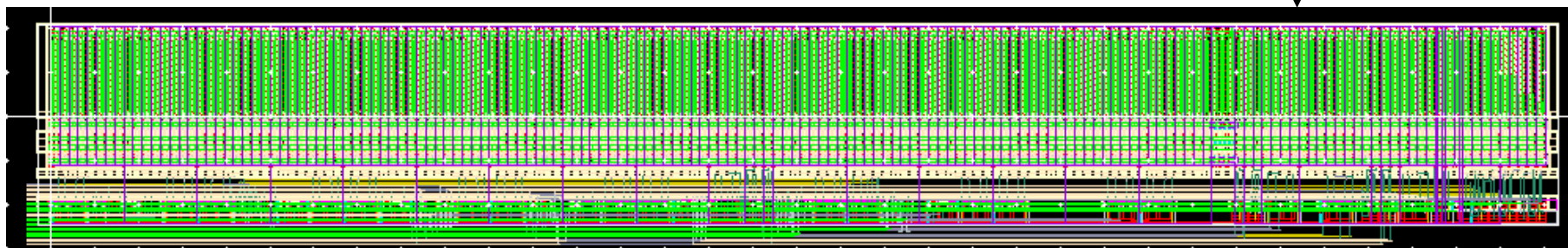
LOGIC回路
(1 ~ 15)

アナログ設計における人手レイアウト設計から自動レイアウト設計への変換方法



← 回路図

レイアウト図



アナログ設計における人手レイアウト設計から自動レイ
アウト設計への変換方法

- (1) 各CADメーカーの回路図エディタ、レイアウトエディタからプロパティデータを取り出すことで、**回路図エディタ間、レイアウトエディタ間のデータ変換が可能になった。**
- (2) 人手による回路図、レイアウト図データから、**マクロプログラムを自動生成することが可能になった。**
- (3) 現在、我々は、RDAC、CDACのように規則正しい回路の場合、**設計仕様、プロセス情報を与えることで、回路図及びレイアウト図を自動発生することに取り組んでいる。**

モデルパラメータ抽出用TEGの自動生成に関してお世話になった

東芝 吉富様、諏佐様

JEDAT 小野様、今井様、桑田様

に感謝します。