

モデルパラメータ抽出用にドリブン・シールドを用いて 作製したトランジスタマトリックス DC TEG

盛 健次^{*}, 菅原 光俊, 松澤 昭 (東京工業大学)

Transistor matrix DC TEG made by using a driven shield for the model parameter extraction
Kenji Mori^{*}, Mitsutoshi Sugawara, Akira Matsuzawa (Tokyo Institute of Technology)

Abstract

We have produced the transistor matrix DC TEG by using a driven shield for the model parameter extraction. It has been possible 1) to obtain the I-V characteristic of a more accurate transistor removing the wiring resistance by the Kelvin connection, and 2) to separate the leakage currents of the transistors not measured in the transistor matrix from the measurement terminal of the transistor by using a driven shield.

キーワード：直流TEG，トランジスタ行列，モデルパラメータ抽出，ドリブン・シールド
(DC TEG, transistor matrix, model parameter extraction, driven shield)

1. はじめに

アナログ回路設計の最終チェック段階において、回路シミュレータが使用され、その回路シミュレーション結果が良ければ、レイアウト設計、製造が行われる。その為、シミュレーション結果は、非常に重要である。そのシミュレーション結果の精度を左右しているのが、モデルパラメータである。このモデルパラメータは、現在、半導体ファウンドリで提供されていて、通常は、アナログ設計者が関与することが難しくなっている。ところが、半導体ファウンドリで提供されているモデルパラメータを使用しても、実測値とシミュレーション値は必ずしも一致しない。その原因は、微細化が進むと、配線の幅は細くなり、多層化が進むと配線の厚さは薄くなってきて、配線抵抗が大きくなる傾向にある為である。我々はケルビン接続を使って、配線抵抗の影響を無視できるようなトランジスタをマトリックス状に並べたモデルパラメータ抽出用 TEG を作製した。

トランジスタをマトリックス状に並べたモデルパラメータ抽出用 TEG を作製するに当たり一番気になったのは、測定物と非測定物をスイッチで切り替えるに当り、半導体の中で使用する MOS スイッチしか使用できない為、測定物と非測定物を完全に切り離せないということであった。そこで、測定物に測定端子を、非測定物に非測定端子を設け、大多数の非測定物のリーク電流が非測定端子に流れるように工夫した。この工夫は、後に、文献[1]、[2]、[3]で述べられていることが分かった。

トランジスタの I - V 特性を正確に測定する為に、アジレント社製の半導体パラメータアナライザを使用した。この測定器は、測定器を保護する為に、Force 端子と Sense 端子間に 1 k の保護抵抗が入っており、このままでは、ケルビン接続を用いたとしても、測定誤差を 0.1% 以下に抑える為には、1 以下の配線抵抗しか扱えないことになる。そこで、測定器と測定物の間にオペアンプを用いることで、MOS スイッチを使用することを可能にした。さらに、非測定端子をドリブン・シールドの原理を用いて、測定器のセンス端子に接続することで、測定端子と非測定端子を同電位にすることが可能になり、非測定物から測定端子に流れ込むリーク電流を約 1/1000 以下に抑えることが可能になった。なお、このドリブン・シールドという原理は、佐藤氏他のいう Potential Equaling Supply (PES) [2]、[3]と同じ思想である。

本論文では、測定器と測定物の間にオペアンプを用いることで、MOS スイッチを使用することを可能にしたところに、他の文献にはない特徴がある。

2. 従来技術

本章では、従来技術として文献[1]を紹介する。文献[1]によれば、回路は、図1に示すようなシステム構成になっている。Probe Pads からは、Address 信号を与え、それを 1 ~ n の行デコードと 1 ~ m の列デコードに分けて取り込む。そして、行デコードと列デコードのクロスした位置にある DUT (Device under Test) を NOR 回路で選択する。

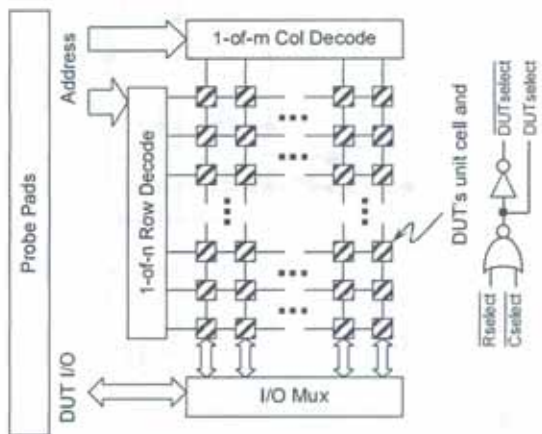


図1 一般的な配列構成

DUTは、図2に示す3端子のケルビン接続の形をしていて、Force 端子、Sense 端子と測定物の間にトランスファゲートスイッチを入れることで、DUTを測定したり、非測定したりしている。図2では、トランスファゲートスイッチは、Gate Force 端子、Gate Sense 端子、Drain Force 端子、Drain Sense 端子、Source Sense 端子の五箇所に付加されている。

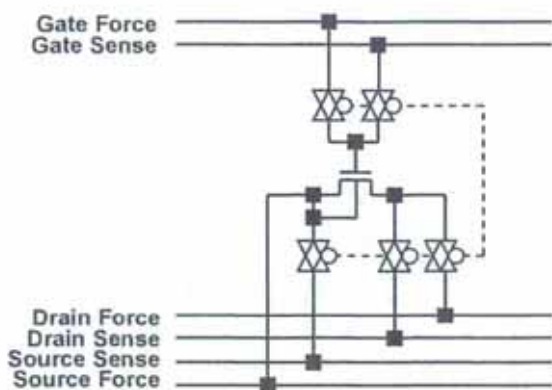


図2 DUTとその関連パスゲートを示す基本単位セル。

トランスファゲートスイッチが理想スイッチであれば、図2の回路でも良いが、実際はトランスファゲートスイッチを通して、非測定物のリーク電流が測定電流に流れ込む為、正確な測定物の電流 - 電圧特性が得られないことが分かる。そこで、Drain Force 端子を Drain Force 端子と Drain Leak 端子の2つの端子に分離し、測定電流は Drain Force 端子を使って流れ、非測定電流は Drain Leak 端子を使って流れるように改良したのが、図3の回路である。

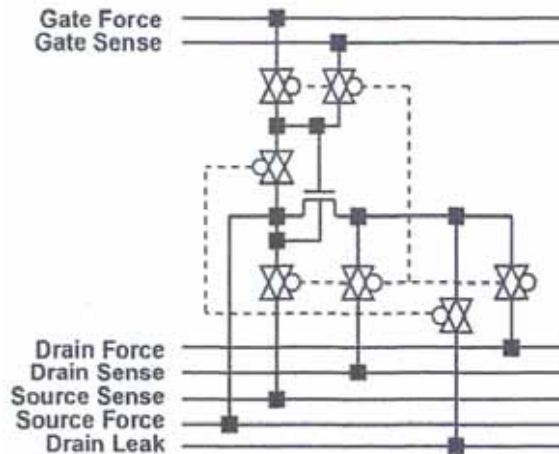


図3 DUT が非選択の時、DUT のゲート節点とソース節点を接続する追加パスゲートを持つLRDB 単位セル。

Drain Leak 端子を設けて、0.5V 以下の電圧を与えたときに、図4より、Discrete Device と Array+DUT は同じ電流となること示された。この回路のレイアウト図が、図5で示されている。

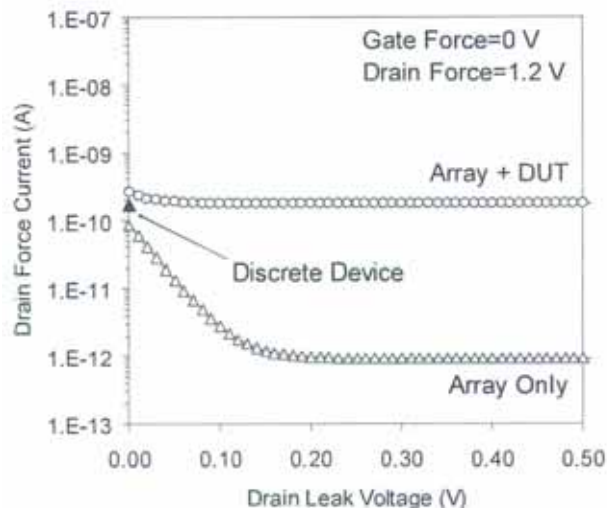


図4 Drain Leak 電圧の関数として、 1×32 配列でシミュレートされた Drain Force 電流。

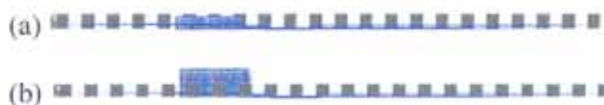


図5 (a) 1×32 配列と (b) 4×32 配列のレイアウト。両方共、22パッドのテストモジュールである。

3. モデルパラメータ抽出用 T E G

本章では、我々の考案したモデルパラメータ抽出用 TEG を説明する。図6は、チップ全体のレイアウトを示している。

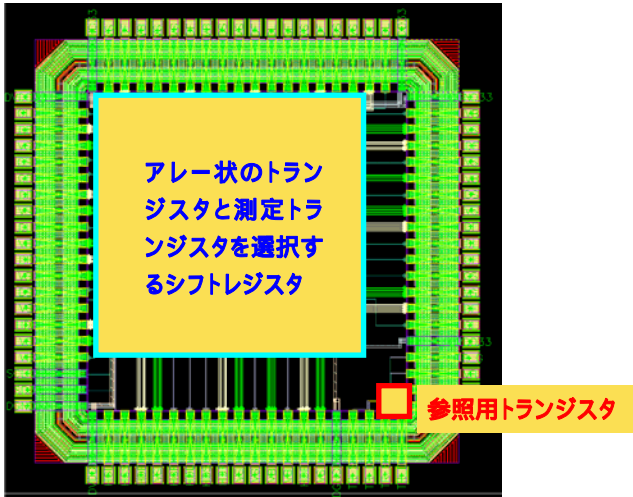


図6 モデルパラメータ抽出用 TEG のチップ全体のレイアウト

測定回路のアドレッシング方法は、図7に示している。そのレイアウト図が図8である。

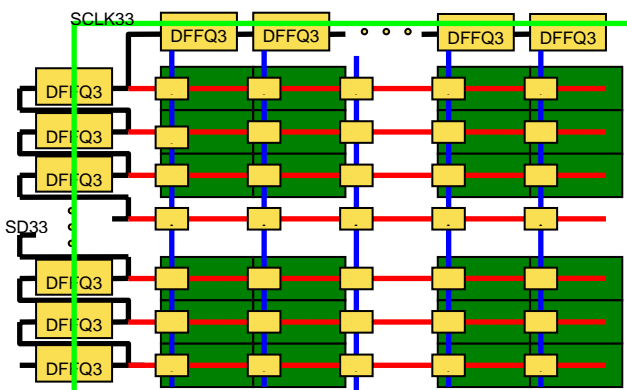


図7 アドレッシング方法

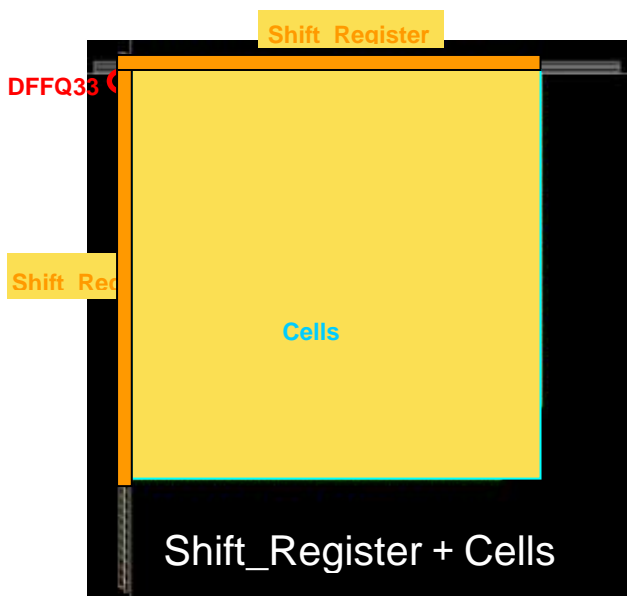


図8 Shift Register + Cells 回路

UNIT_CELL は、AND 回路とトランスファークロスタックから成り立っている。トランジスタの精度を決める Drain Force スイッチと Drain Leak スイッチは、縦に配置し、トランジスタの幅を大きくすることで、ON 抵抗を小さく抑え、測定電流の高精度化を図っている。それを示した回路図が図9で、レイアウト図が図10である。

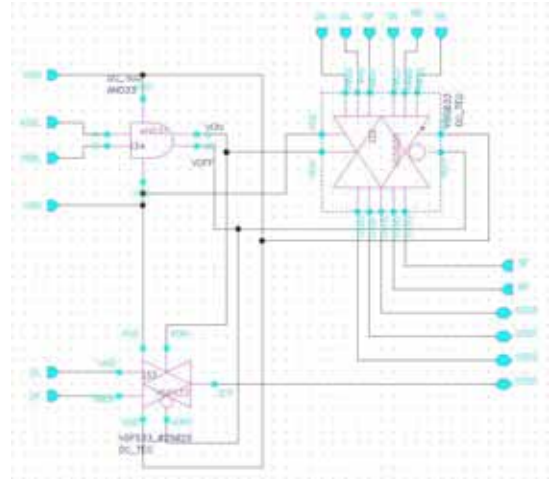


図9 UNIT_CELL の回路図

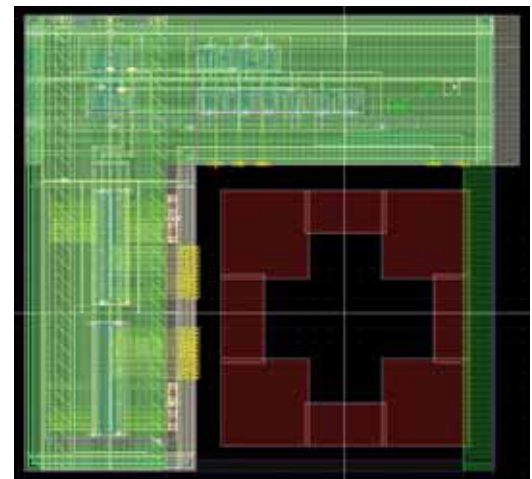


図10 UNIT_CELL のレイアウト図

UNIT_CELL の単体で、ケルビン接続をテストした回路図が図11である。なお、チップ全体でケルビン接続を考慮したシミュレーションを試みたが、チップ全体に帰還が掛かる為、シミュレーションできなかった。その為、今回は、ケルビン接続を考慮したチップ全体の回路シミュレーションを行っていない。

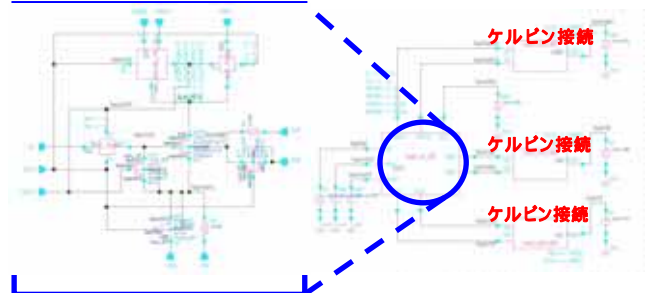


図11 ケルビン接続のテスト回路

測定トランジスタ部分のレイアウトを示したのが、図12である。我々は、この測定トランジスタのレイアウトを入れ替えるだけで、簡単にチップ全体のレイアウトが出来るように工夫した。

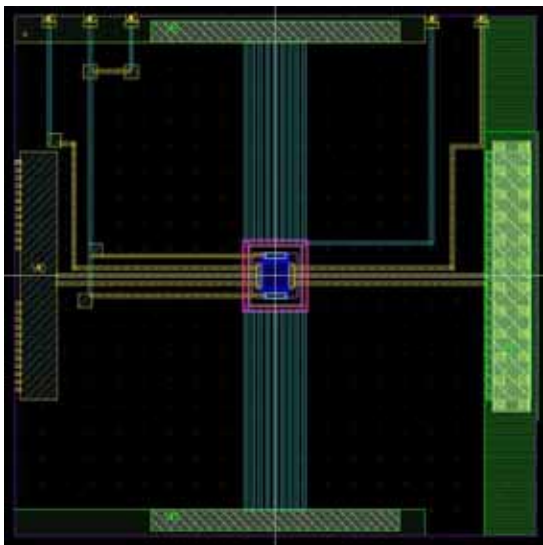


図12 DUTの回路

3.1 ドリブ・シールド兼電源ケルビン接続対策

我々は、今回、大量の非測定トランジスタのリーク電流が、原理的に被測定トランジスタ側に流れ込まない方法を適用した。図13は、ドリブ・シールドの原理図で、中央部から外側のリングへリークがある場合でも、外側のリングをボルテージ・フォロア等で中央部と同電位に吊ってその間の電位差を0Vにし、オームの法則により、原理的に電流は流れない。外側のリングからさらに外側へのリークは、ボルテージ・フォロアが電流を供給するので、中央部には影響を与えない。

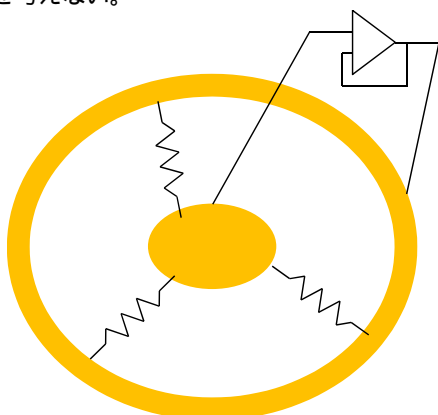


図13 ドリブ・シールドの原理

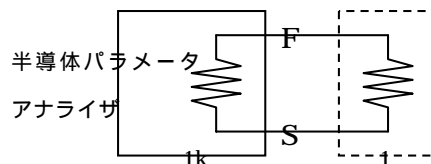
我々のTEGの場合は、被測定トランジスタのドレインにつながるスイッチのうち、測定時にオフとなるスイッチの先をリーク端子とし、そこをドレイン電圧にボルテージ・フォロアした電圧で吊り、ドリブ・シールドした。これによりオフするスイッチのリークは理論的にゼロにでき

た。また、90nm以降のプロセスでは、ゲート・リークが顕著に見えるので、これを正しく測定するため、ゲート部も同様にドリブ・シールドした。

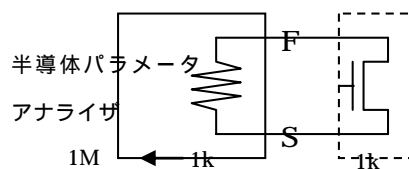
ケルビン接続できる半導体パラメータアナライザは、測定器を保護する為、図14(a)のように、測定器内部で、そのフォースとセンス間が1k程度でつながっている。

一方、今回のMOSスイッチを使った応用、図14(b)では、その内部抵抗での電圧降下の為、Force-Sense間が100mV以上になることもある。これをこのような測定器に直接接続すると、電源の内部抵抗を介して、 $\mu\text{A} \sim \text{mA}$ の電流がSense側にも流れ、もはやケルビン接続は成り立たなくなる。

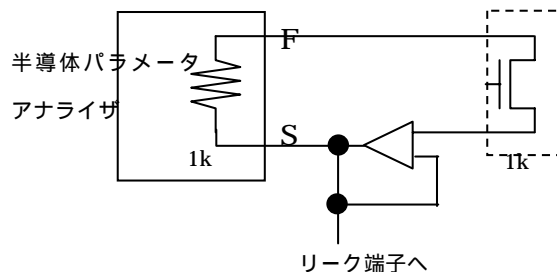
我々は、図14(c)のように、オペアンプを用いて、上記、被測定Force-Sense端子の電圧をボルテージ・フォロワの出力を、電源のSense側に帰還させて、低インピーダンスでドライブすることで、この内部抵抗を見かけ上、小さくすることで、内部抵抗の影響を回避し、正しいケルビン接続となるように工夫した。



(a) ケルビン接続の等価回路



(b) MOSスイッチを付けた場合、ケルビン接続を生かす為には、測定器の内部抵抗を1Mに改良しなければならないことを示す等価回路



(c) 測定器の内部抵抗を1kのまま、MOSスイッチの間にオペアンプを用いた等価回路

図14 ドリブ・シールド兼電源ケルビン接続対策図

4. モデルパラメータ抽出用 T E G の自動生成

本章では、我々の考案したモデルパラメータ抽出用 TEG の自動生成手法を説明する。

JEDAT において、ismo と icfb の相互変換ツールを用意しているが、我々は、ismo、icfb からレイアウトのプロパティを取り出し、ファイルに格納できるようにした。そのデータを使って、EXCEL VBA を使って、CADENCE の SKILL 言語、JEDAT の AXEL 言語プログラムを生成した。その後、人手により、座標等の数値データを変数に置き換え、繰り返し部分に for 文を使い、部分的に異なる部分に if 文を用いることで、プロセス変換にも対応できる自動生成プログラムを作成した。その自動生成フローを示したのが、図 15 である。

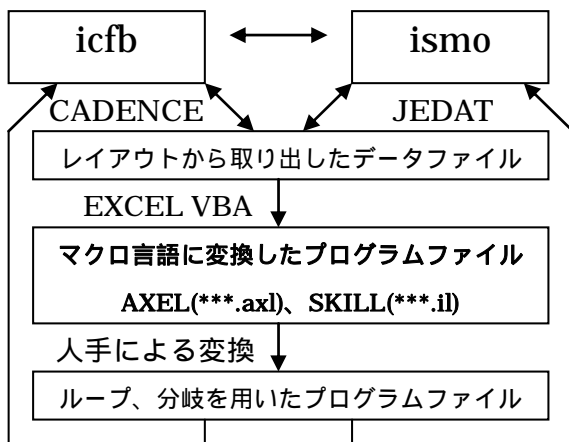
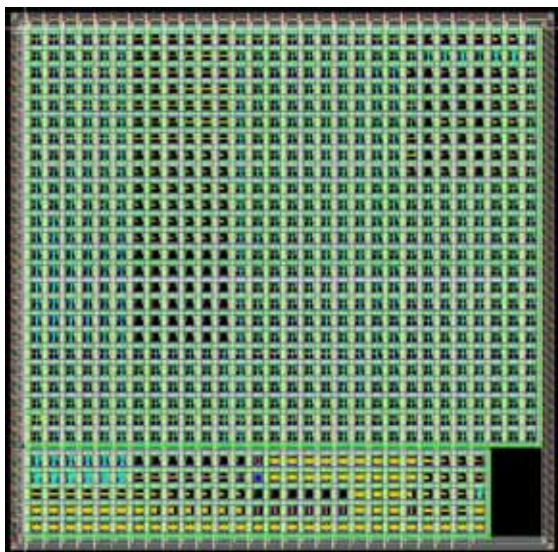
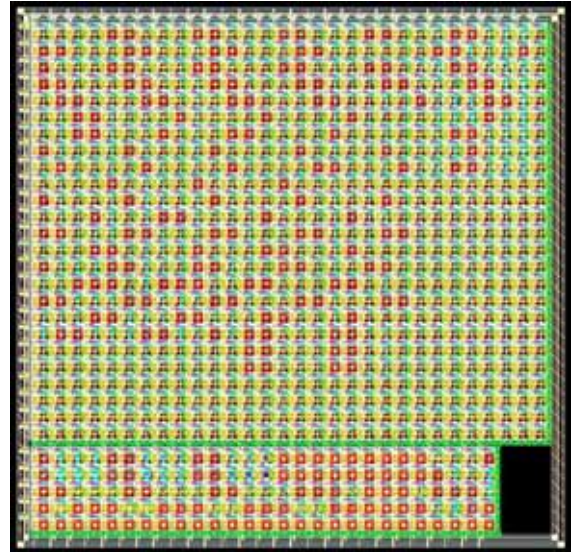


図 15 モデルパラメータ抽出用 T E G の自動生成フロー

その自動生成プログラムを使った結果、人手によれば、約 1 ヶ月を要するレイアウトを、わずか 1 分以内に生成できるようになった。そのレイアウト結果が、図 16 (a) である。



(a) SKILL 言語による生成



(b) AXEL 言語による生成

図 16 マクロ言語を用いて自動生成した結果

5. まとめ

本稿では、ドリブン・シールドを用いてモデルパラメータ抽出用にマトリックス状にトランジスタを配置した直流 T E G および T E G の自動生成を紹介した。また、マクロ言語を用いて、その T E G を自動生成できるようにした。

6. 謝辞

モデルパラメータ抽出用 TEG の自動生成に関してお世話になった東芝の吉富様、諏佐様、JEDAT の小野様、今井様、桑田様に感謝します。

文 献

- (1) Brad Smith, Uma Annamalai, Alexandre Arriordaz, Venkat Kolagunta, Jeff Schmidt and Mehul Shroff : "A Novel Biasing Technique for Addressable Parametric Arrays ", 2008 IEEE Conference on Microelectronic Test Structures, March 24-27, Edinburgh, UK
- (2) Takashi Sato, Takumi Uezono, Shiho Hagiwara, Kenichi Okada, Shuheu Amakawa, Noriaki Nakayama and Kazuya Masu : "A MOS Transistor-Array for Accurate Measurement of Subthreshold Leakage Variation", 2007 IEEE, Proceedings of the 8th International Symposium on Quality Electronic Design(ISQED'07)
- (3) Takashi Sato, Hiroyuki Ueyama, Noriaki Nakayama and Kazuya Masu : "A MOS transistor array with pico-ampere order precision for accurate characterization of leakage current variation", IEEE Asian Solid-State Circuits Conference, November 3-5, 2008 / Fukuoka, Japan
- (4) Apra Pandey, Jerzy Kieres and Maciej A. Noras : "Verification of non-contacting surface electric potential measurement model using contacting electrostatic voltmeter", Journal of Electrostatics 67(2009) 453-456