

アナログ・RF CMOS集積回路技術の 現状と今後の動向

-- ADCなどのベースバンド回路を中心に --

松澤 昭

東京工業大学
大学院理工学研究科

2013/3/15

- ・60GHz ミリ波通信用ADC
- ・補間パイプライン型ADCの提案と開発
- ・12ビット SAR ADCの開発
- ・SAR ADCの開発課題
- ・アナログ・ADC開発の今後

60GHz ミリ波通信用ADC

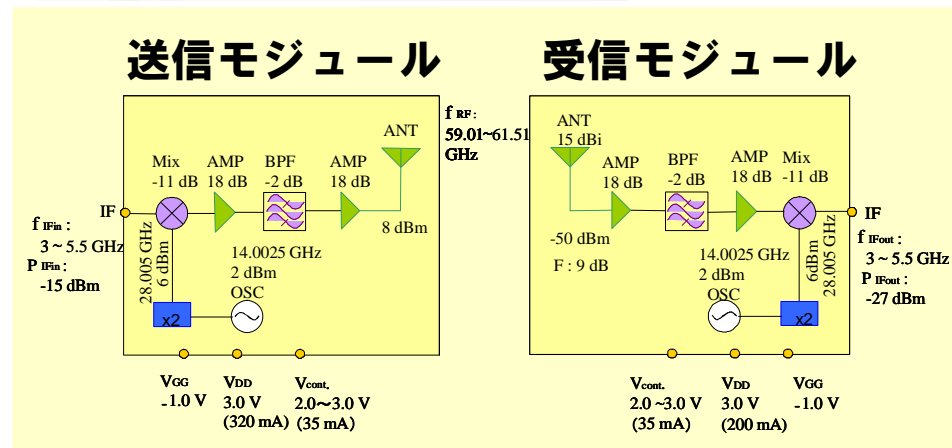
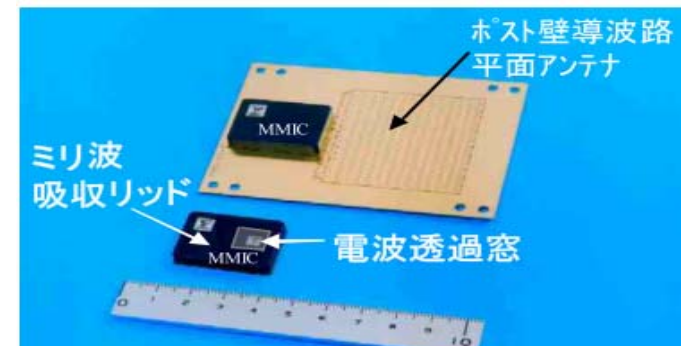
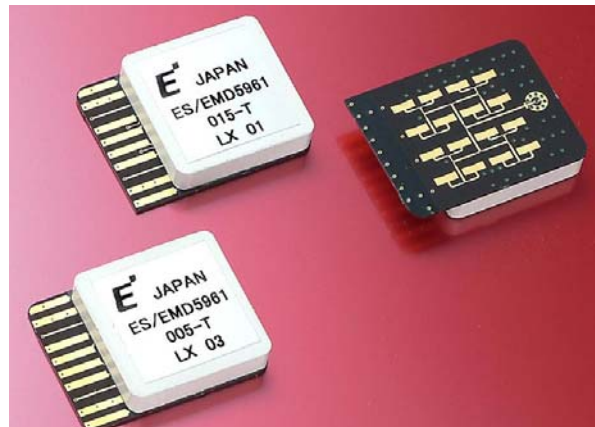
従来のミリ波システム

3

TOKYO TECH
Pursuing Excellence

2006年にはGaAs技術を用いて60GHzのモジュールが完成していた

しかしながら、更なるコストダウンが必要だった他、
ベースバンドチップが無く、データ伝送速度は50Mbps程度であった。
単体デバイスがいくら高速でも、ベースバンド信号処理技術が伴わないとだめ。



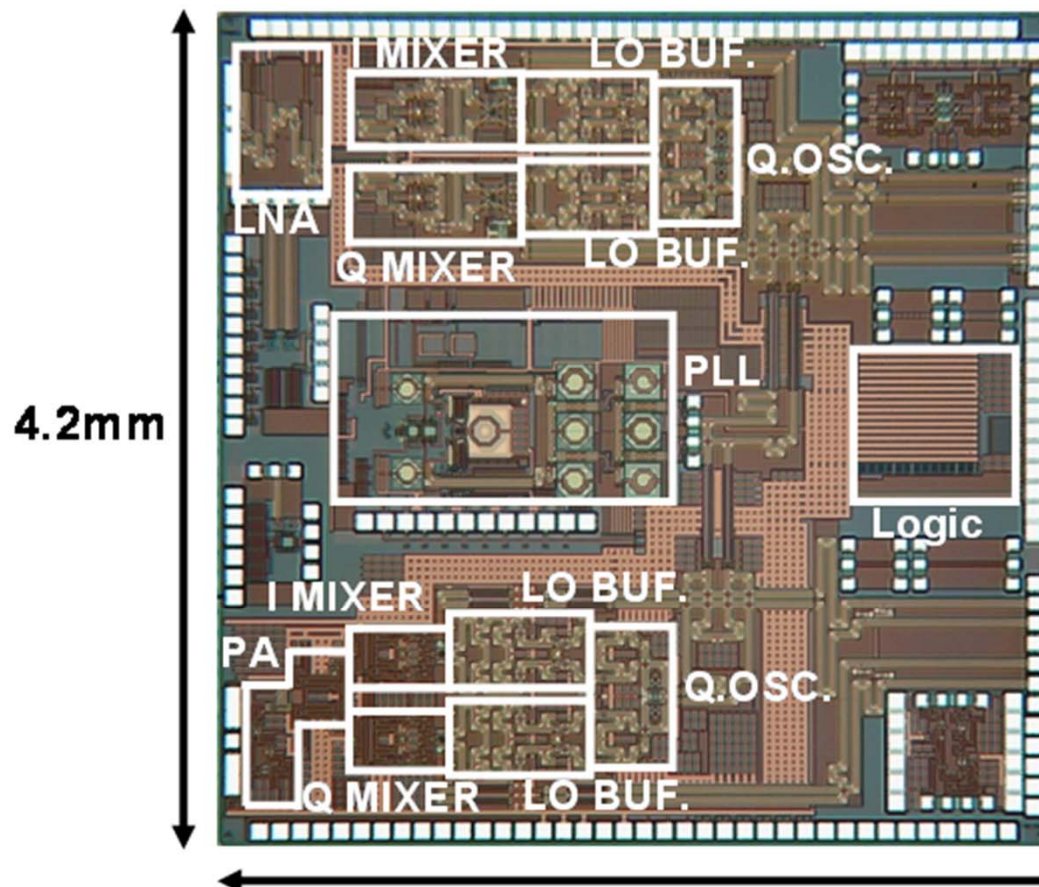
チップ写真

4

TOKYO TECH
Pursuing Excellence

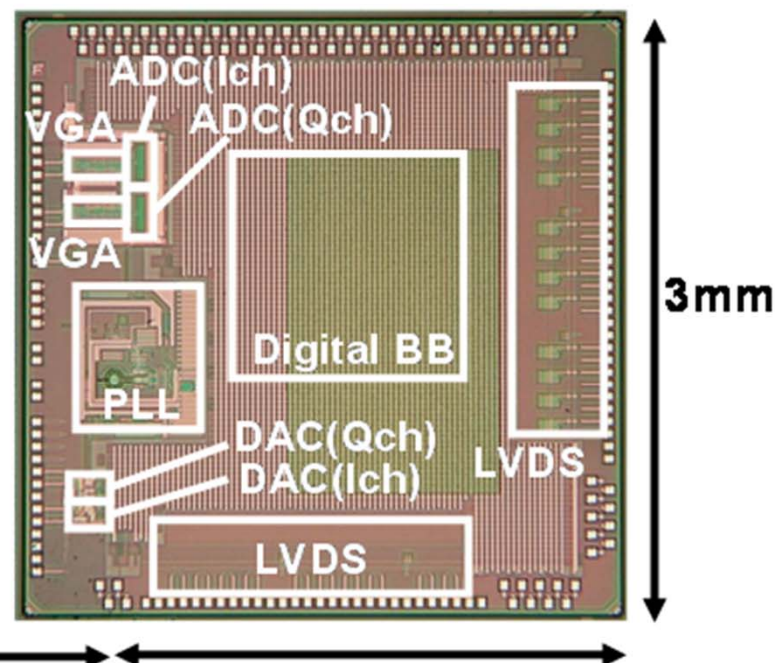
RFチップとベースバンドチップのVGA, ADC, DAC回路を開発

RFチップ



K. Okada and A. Matsuzawa, et al.,
ISSCC 2012.

BBチップ



Tokyo Tech

SONY

65nm CMOS

40nm CMOS

60GHz帯用ベースバンド SoC

5

TOKYO TECH
Pursuing Excellence

ベースバンドチップはADC, DAC, VGA,とPLLが集積されおり,
40nmCMOSで試作した。(Sonyとの共同開発)

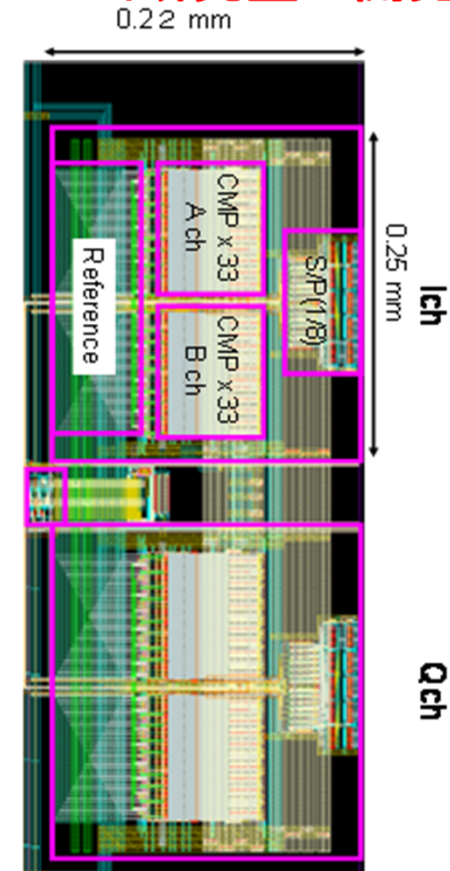
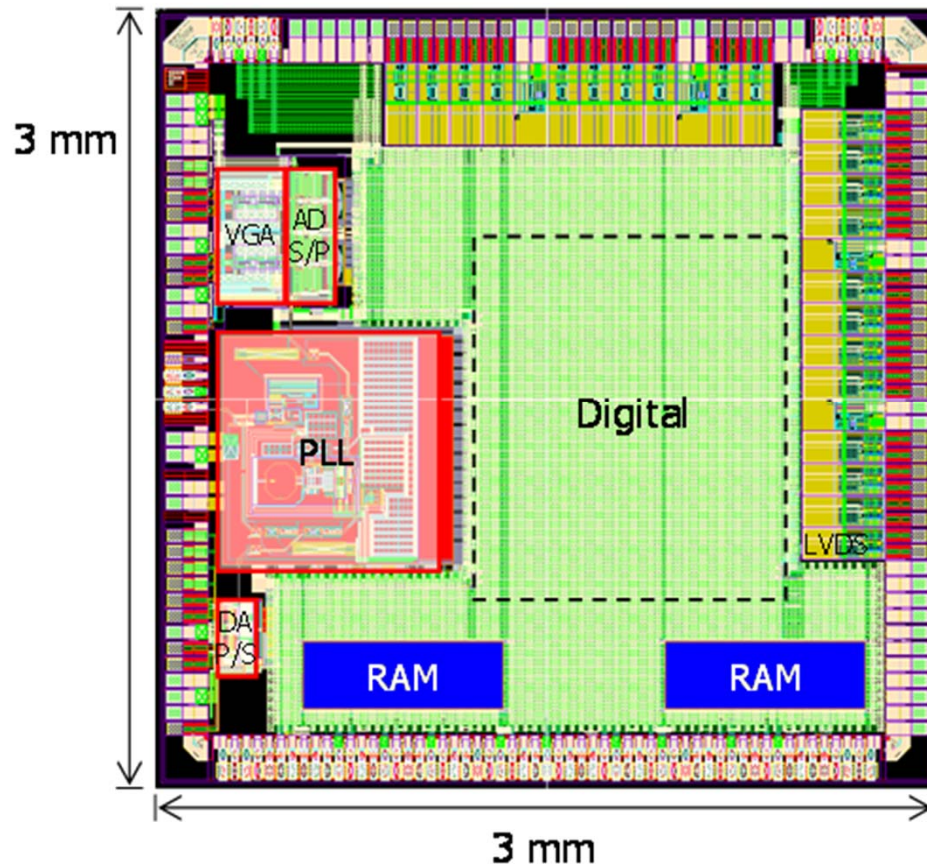
RX: 300mW, TX: 110mW

Flash ADC

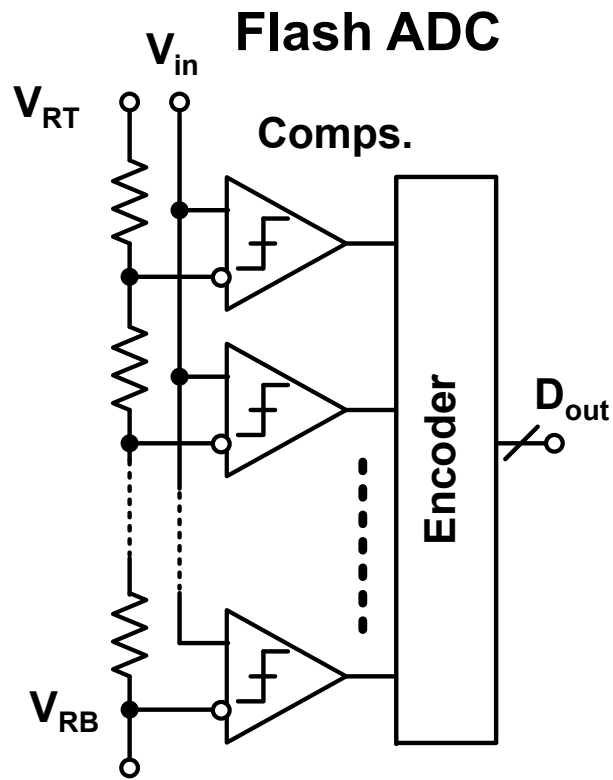
BW=1GHz, 5b, 3GSps,
11mW/ch, 0.03mm²

当研究室が開発

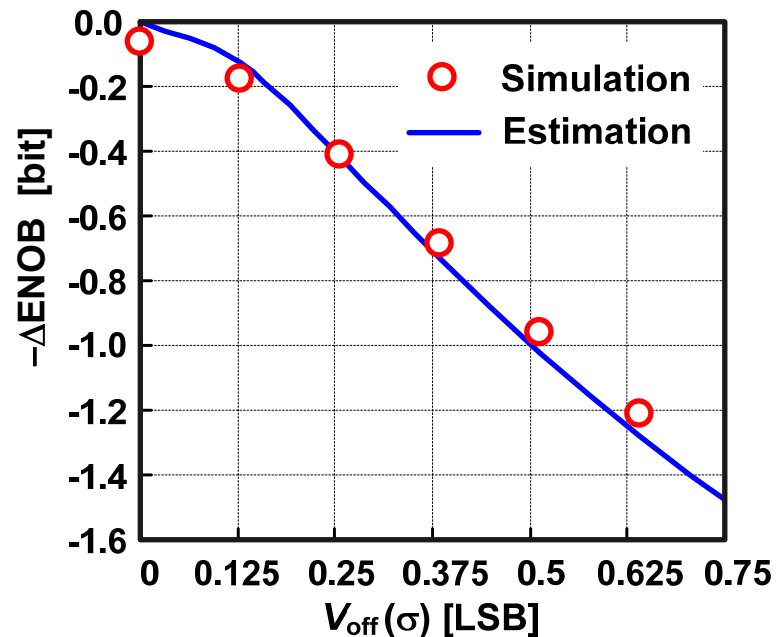
40nm CMOS technology



フラッシュ型ADCは分解能が5~7ビットでGHzを超える用途では未だ最適な変換方式である。
実効的分解能 (ENOB)は比較器のミスマッチ電圧で決まる。



$$\Delta ENOB = \frac{1}{2} \log_2 \left(1 + 12 \left(\frac{V_{off}(\sigma)}{V_q} \right)^2 \right) \quad \text{6bit : } V_{off} < 3\text{mV}$$

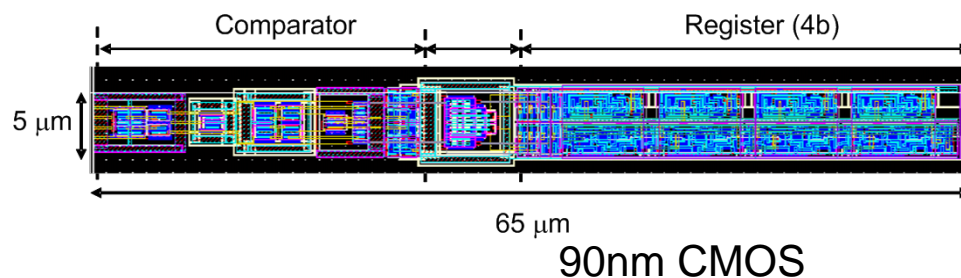
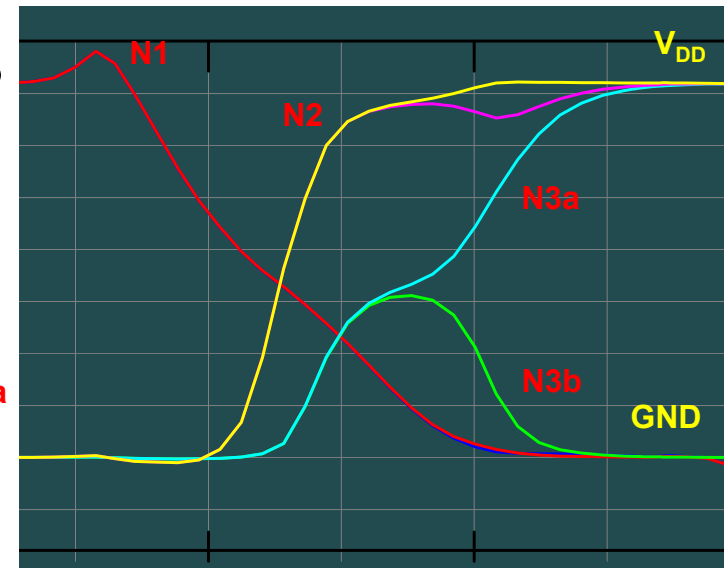
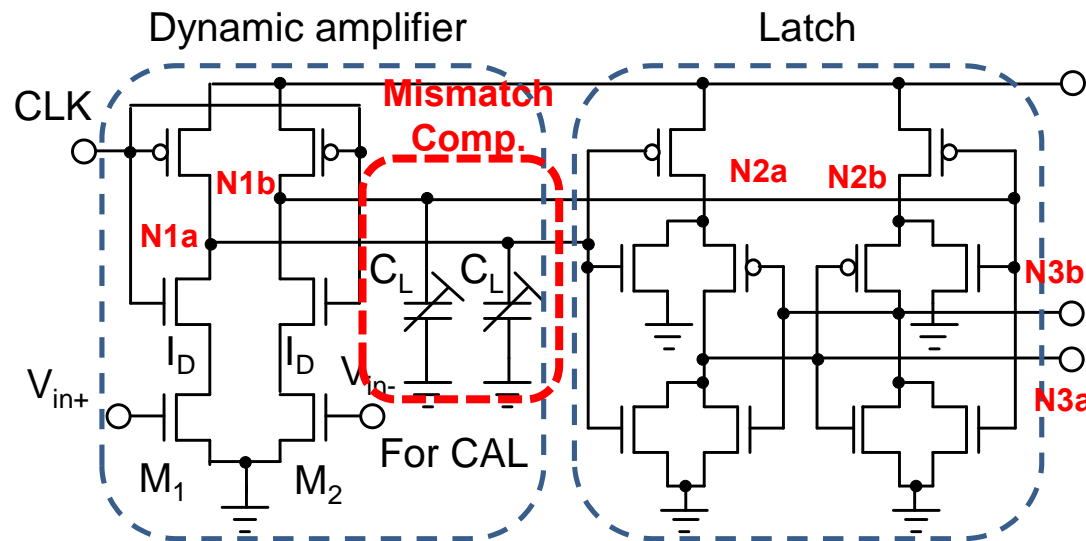


ダイナミック比較器

7

TOKYO TECH
Pursuing Excellence

貫通電流が流れず，高速(4GHz程度までは動作可能)かつ低電力なダイナミック型比較器を提案。定常電流が流れず低電力。容量によりオフセット電圧の補償が可能(1mV程度は可能)でかつ低ノイズ。

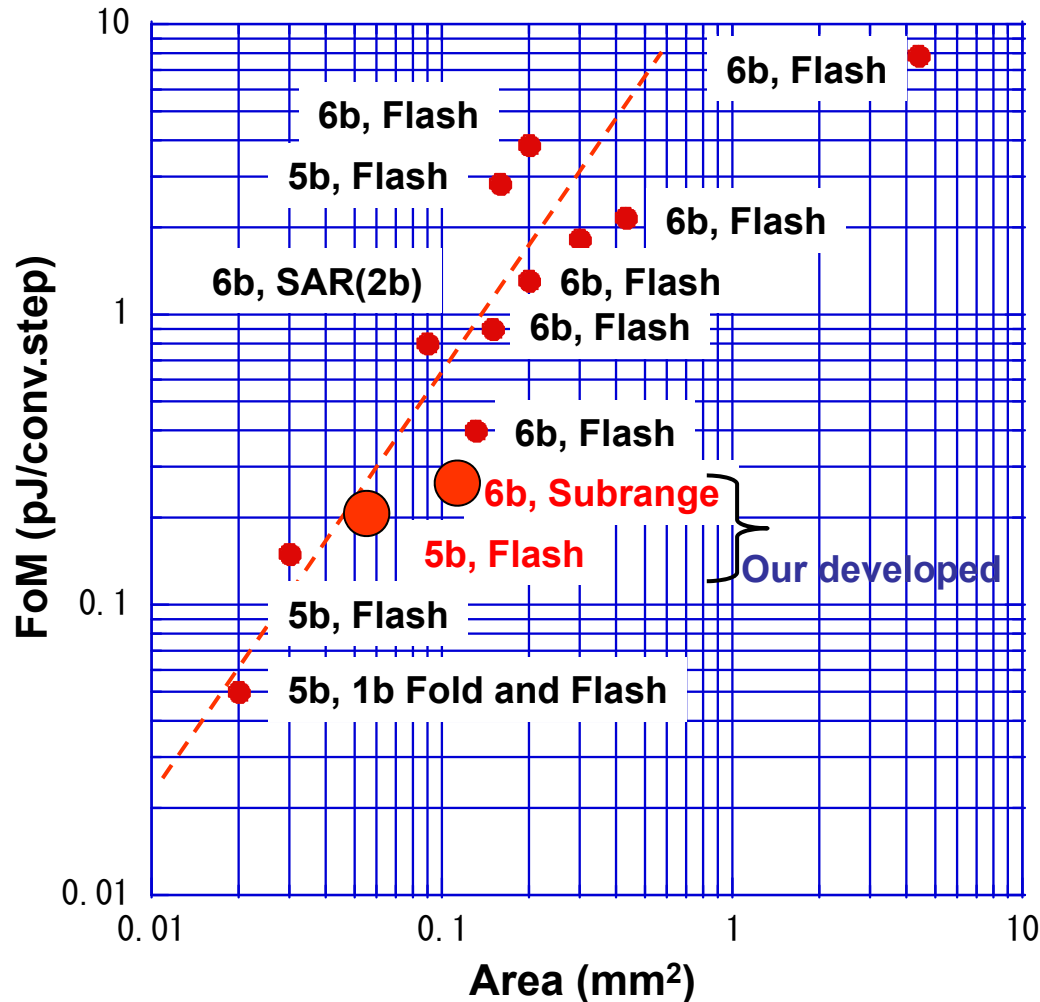


M. Miyahara and A. Matsuzawa, et al., A-SSCC, Nov. 2008.

Y. Asada, and A. Matsuzawa, et al., A-SSCC, Nov. 2009.

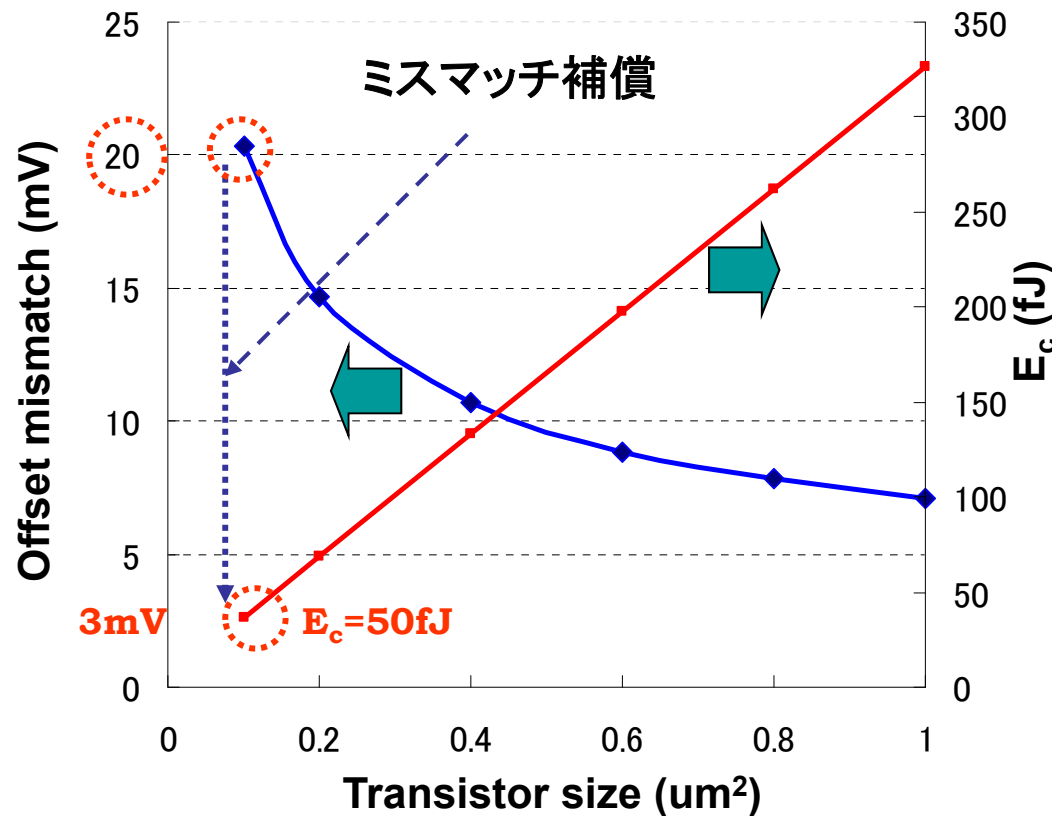
低消費電力化

5～6ビットADCの面積とFoM(変換エネルギー)は正比例する
低電力ADCの実現には小面積化が不可欠



$$\begin{aligned}
 \text{FoM} &= \frac{P_d \cdot 2^{\Delta \text{ENOB}}}{f_c \times 2^N} \\
 &= E_c \cdot 2^{\Delta \text{ENOB}}
 \end{aligned}$$

トランジスタサイズを減少させて消費エネルギーを下げ、ミスマッチ電圧の増大はデジタルミスマッチ補償技術により抑制して高精度化する



設計例

6bit ADC: $V_{\text{off}} < 3\text{mV}$
 $E_c < 50\text{fJ} \rightarrow 0.1\text{um}^2 \rightarrow V_{\text{off}} = 20\text{mV}$
 Needs mismatch compensation
 $20\text{mV} \rightarrow 3\text{mV}$

$$V_{\text{offset}}(\sigma) \propto \frac{1}{\sqrt{LW}}$$

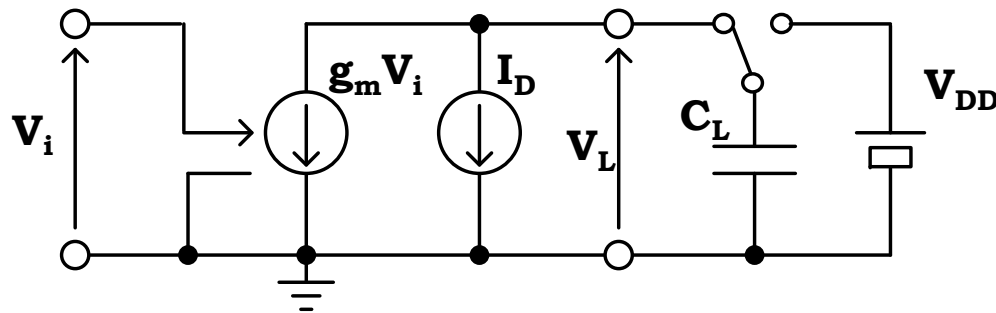
$$E_c \propto C_c \propto LW$$

$$E_c \propto \frac{1}{V_{\text{offset}}^2(\sigma)}$$

ダイナミック型比較器のオフセット電圧補償 / 10

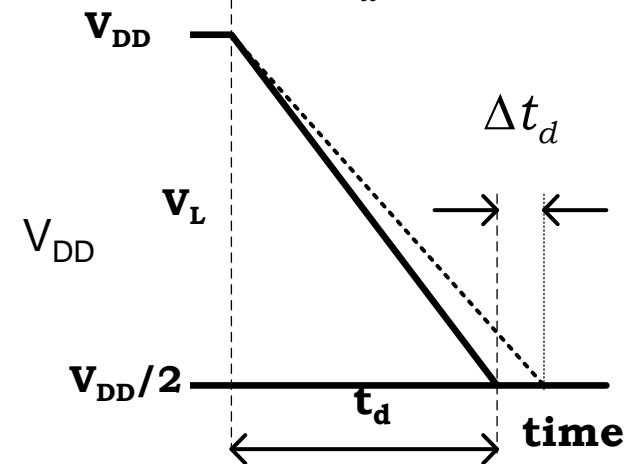
動作電流か負荷容量を変えてスルーレートを制御することでオフセット電圧補償が可能になる

初段のダイナミックアンプの等価回路

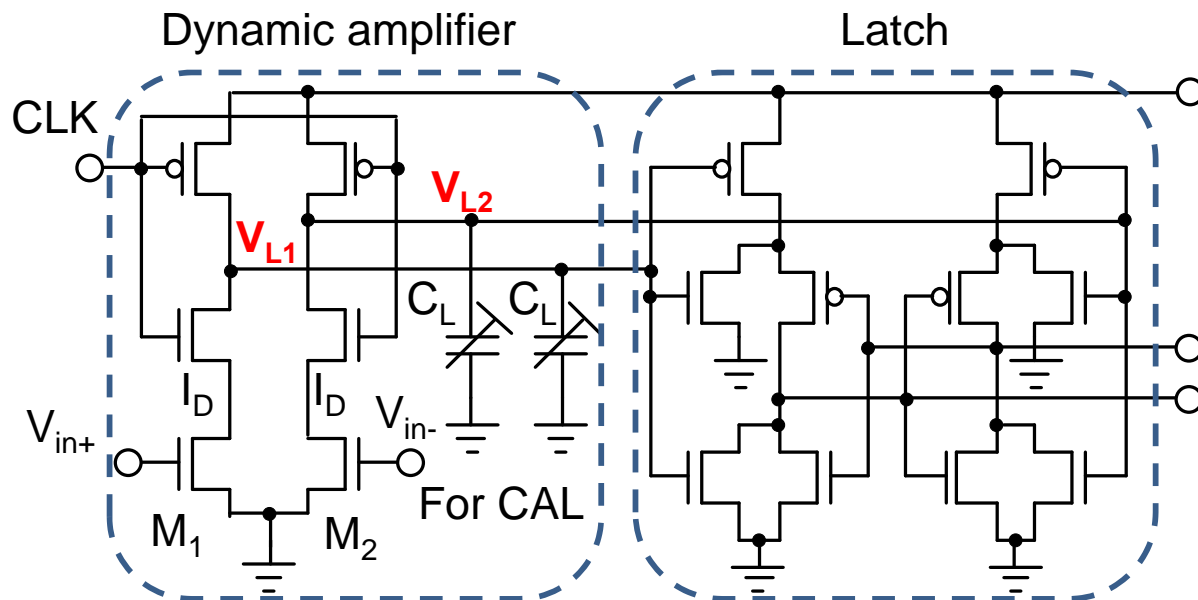


$$\Delta V_i = \frac{V_{eff}}{2} \left(\frac{\Delta C_L}{C_L} - \frac{\Delta I_D}{I_D} \right)$$

$$V_{eff} \equiv V_{GS} - V_T$$



Output



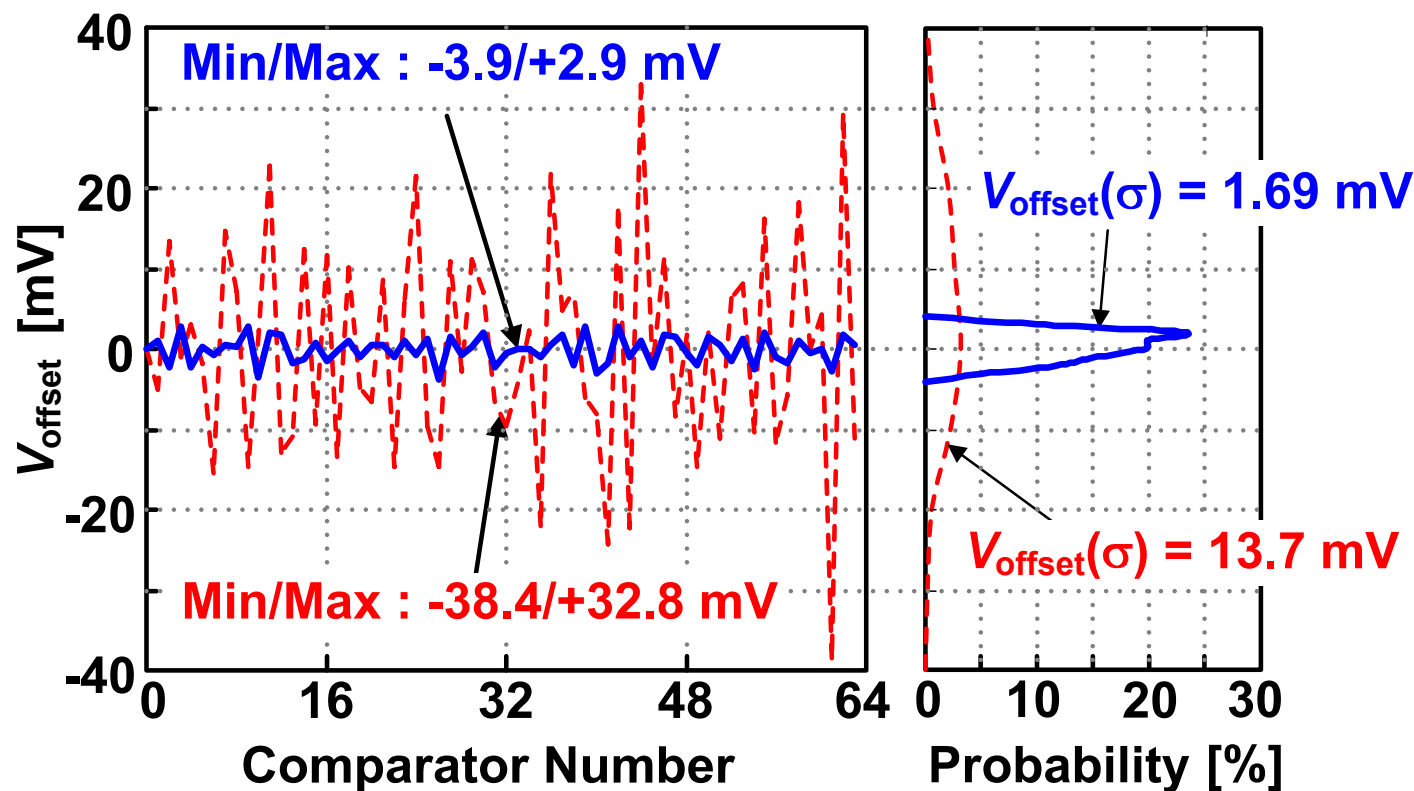
M. Miyahara and A. Matsuzawa,
et al., A-SSCC, Nov. 2008.

オフセット補償結果

13.7 mV のオフセット電圧を1.7mVに低減した

Measured result

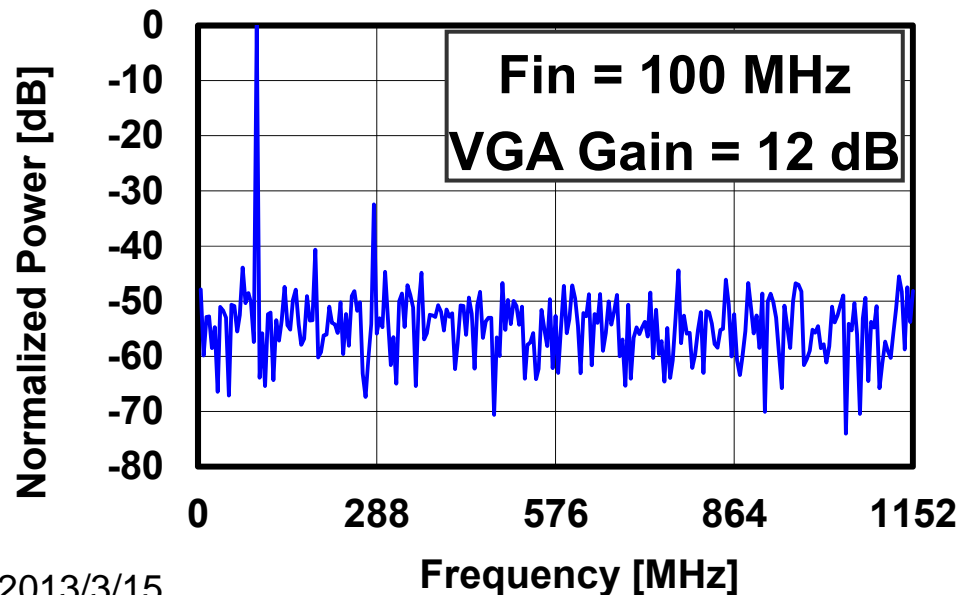
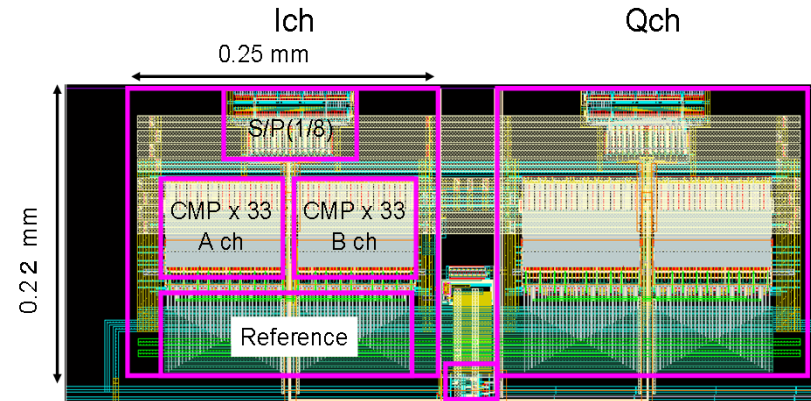
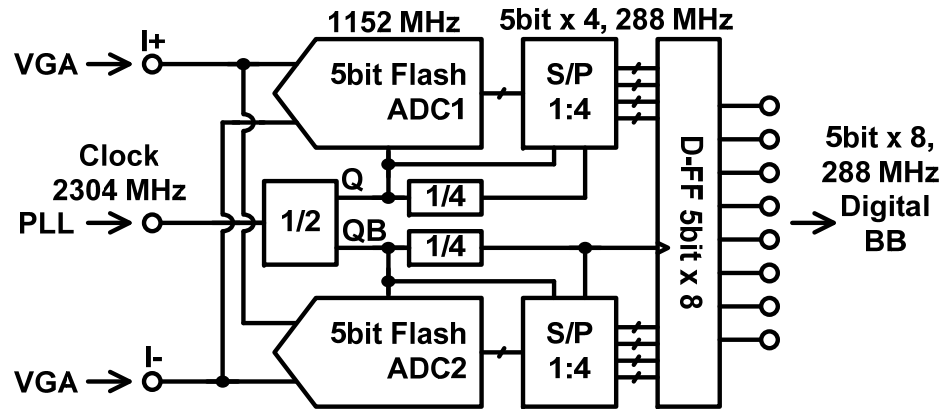
— Calibration ON
- - - Calibration OFF



60GHz トランシーバ用フラッシュADC

12

M. Miyahara and A. Matsuzawa, et al.,
RFIC 2012.



VGA Gain range	0-40 dB
ADC Resolution	5 bit
Sampling rate	2304 MS/s
Power Consumption	VGA : 9 mW ADC : 12 mW*
DNL, INL	< 0.8 LSB
SNDR	26.1 dB
FoM of ADC	316 fJ/conv.-s

*single channel inc. S/P

ADC性能の比較

13

TOKYO TECH
Pursuing Excellence

60GHz トランシーバ用として世界最小レベルの消費電力とコア面積を達成

	Architecture	Cal.	fs [GS/s]	SNDR [dB]	Power [mW]	FoM [fJ/-c.s.]	Process [nm]	Area [mm ²]
[1]	Flash	-	3.5	31.2	98	946	90	0.149
[2]	SAR	Internal	2.5	34.0	50	489	45	1
[3]	Folding	Internal	2.7	33.6	50	474	90	0.36
[4]	Pipeline, Folding	External	2.2	31.1	2.6	40	40	0.03
[5]	Flash	Internal	2.88	27.8	36	600	65	0.25
This work	Flash	Internal	2.3	26.1	12	316	40	0.06

- [1] K. Deguchi, *et al.*, *VLSI Circuits* 2007 [2] E. Alpman, *et al.*, *ISSCC* 2009
[3] Y. Nakajima, *et al.*, *VLSI Circuits* 2007 [4] B. Verbruggen, *et al.*, *ISSCC* 2010
[5] T. Ito, *et al.*, *A-SSCC* 2010

補間パイプライン型ADCの提案と開発

固定ポイントミリ波通信機器用

伝送回路のデータレートはADCの分解能Nと変換周波数 f_s の積に比例する

$$D_{rate} \approx N \cdot f_s$$

N: 分解能
 f_s : 標本化周波数

ノイズがADCの量子化ノイズで決まると仮定した場合

シャノンの定理

$$C = BW \log_2 \left(1 + \frac{P_S}{P_N} \right)$$

ADCのBWとSNR

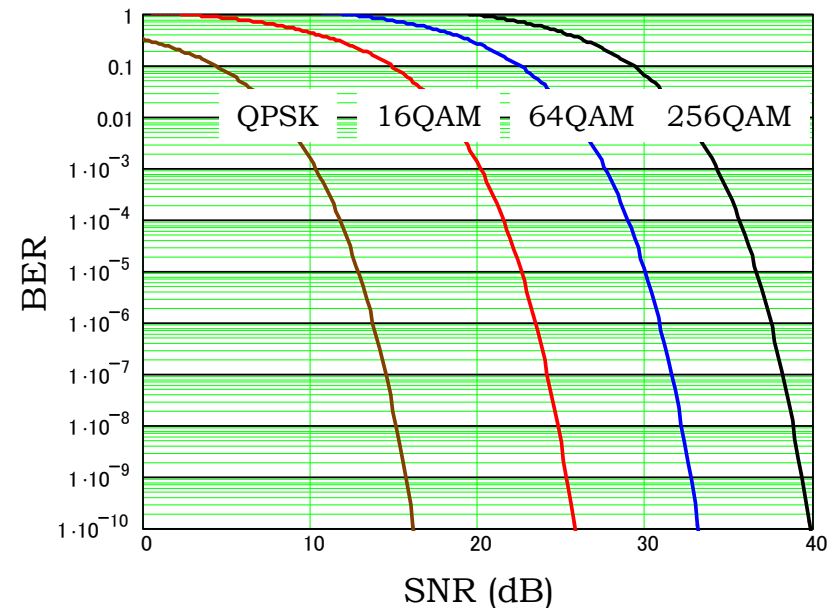
$$BW < \frac{f_s}{2} \quad \left. \frac{P_S}{P_N} \right|_{ADC} = 1.5 \cdot 2^{2N}$$

したがって

$$C \approx N f_s$$

f_s : 標本化周波数
N: 分解能

多値変調の実現には高いSNRが必要



実際例: 38GHz 1Gbps 固定無線

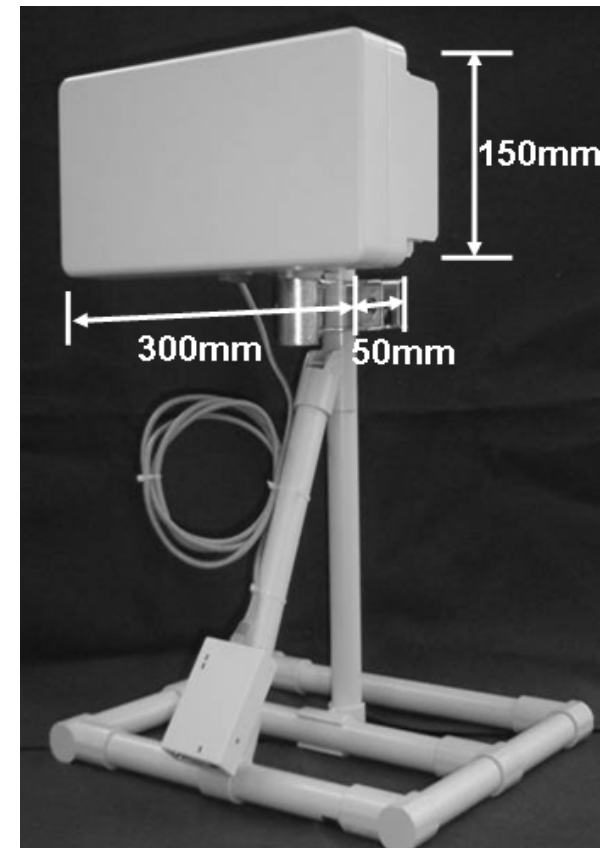
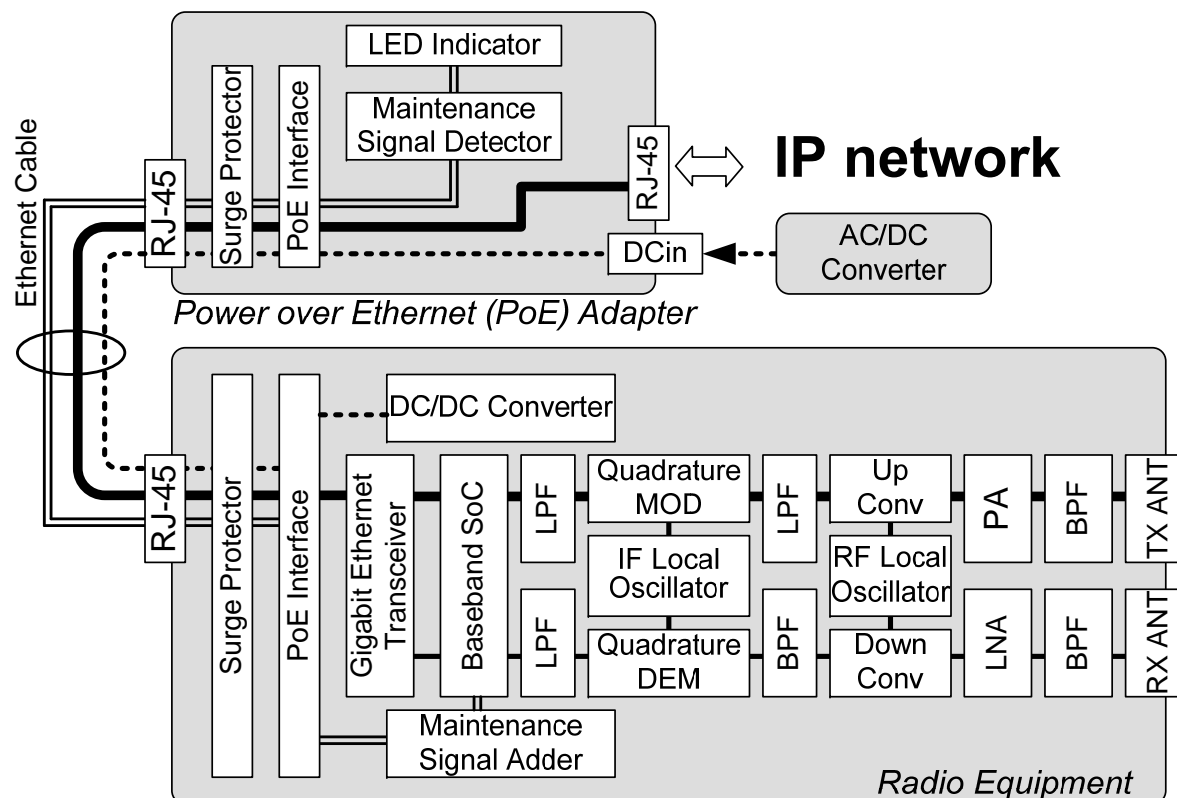
16

TOKYO TECH
Pursuing Excellence

38GHz 1Gbps 固定無線システムを共同開発した

Compatible with Gbit Ethernet
Hole system is integrated with planar antenna

日本無線との共同開発

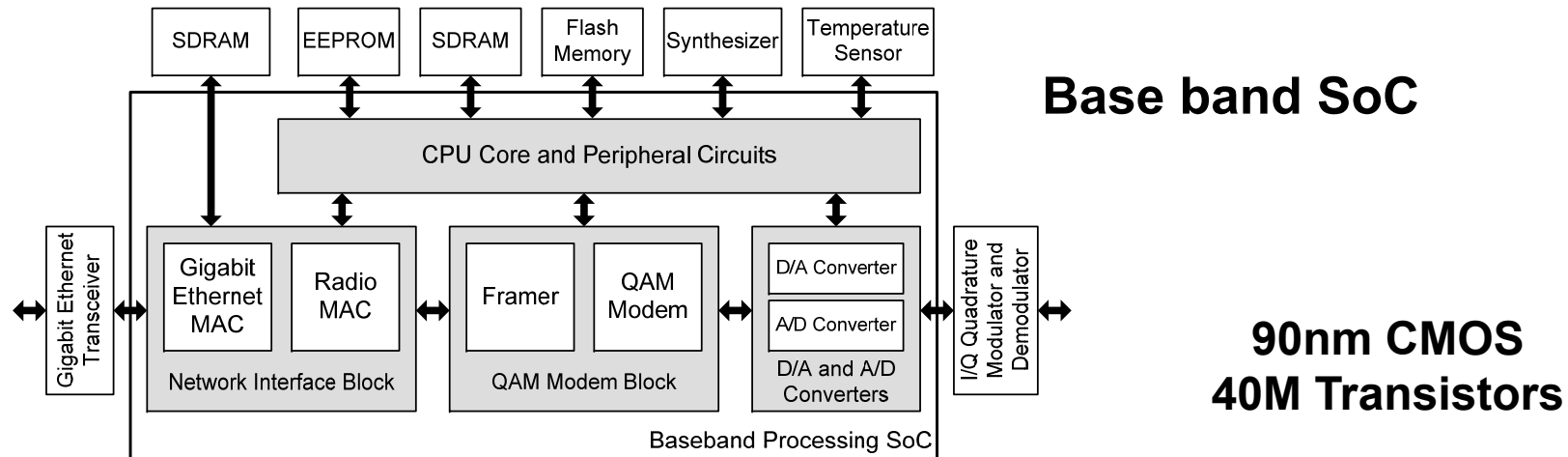


Mixed signal BB SoC

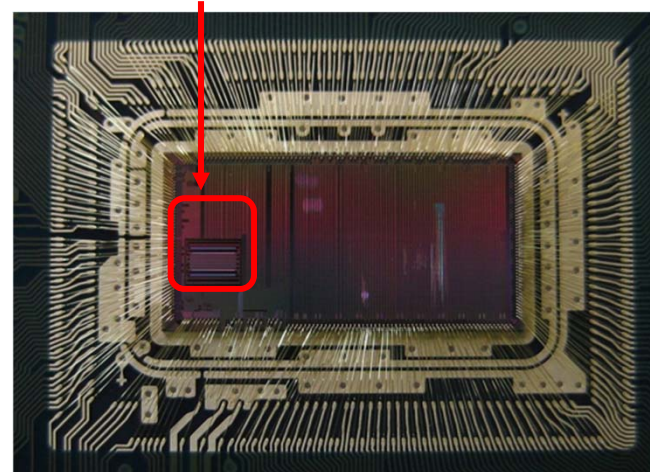
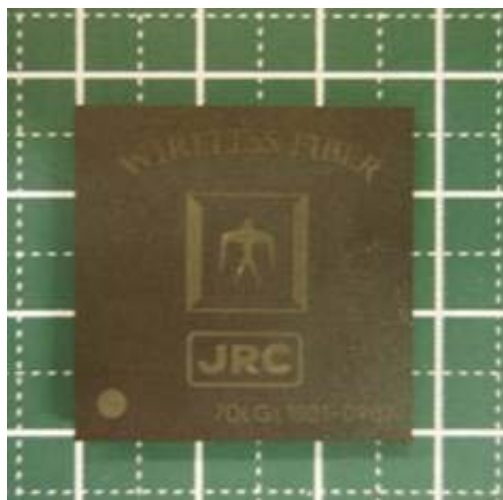
17

TOKYO TECH
Pursuing Excellence

アナログ・デジタル混載ベースバンドSoCを開発した。
64QAM (1Gbps) を用い信号帯域は260MHz.



研究室で開発したADC & DAC



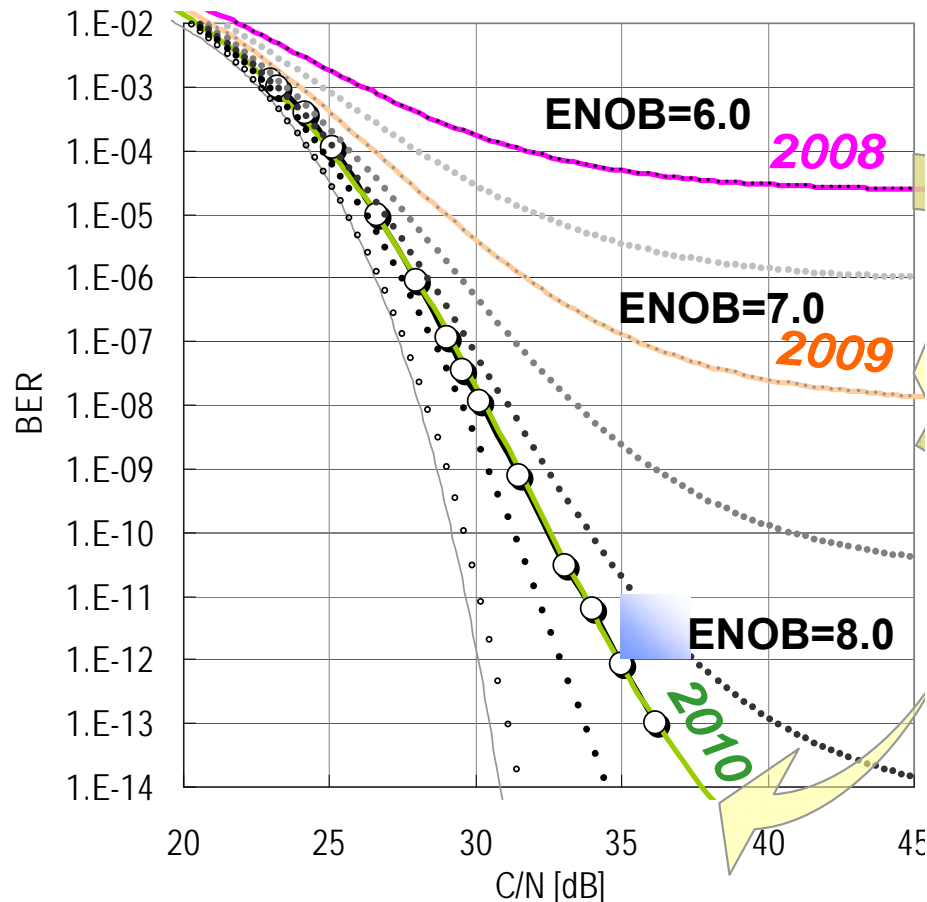
ADC 性能とビット誤り率

18

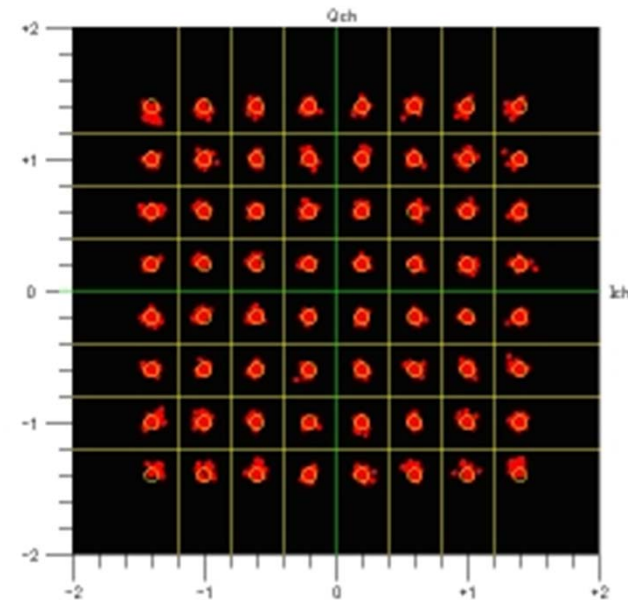
TOKYO TECH
Pursuing Excellence

64QAMで十分低いビット誤り率を達成するためには
有効分解能の高いADCが不可欠
有効分解能が8ビット以上になって初めてBERが目標を満たした。

C/N vs 64QAM_BER on B-B pair ENOB: ADCの有効分解能



64QAM BW=260MHz



微細化による利得低下とADCへの影響

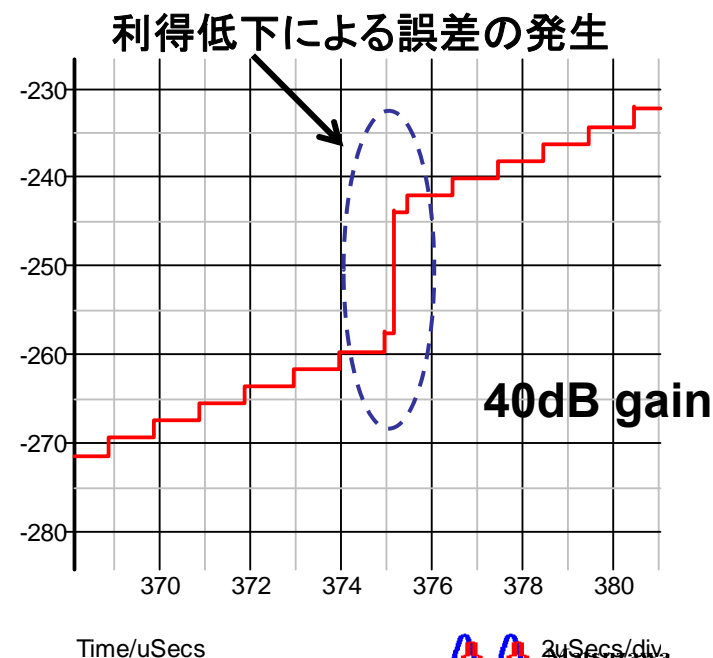
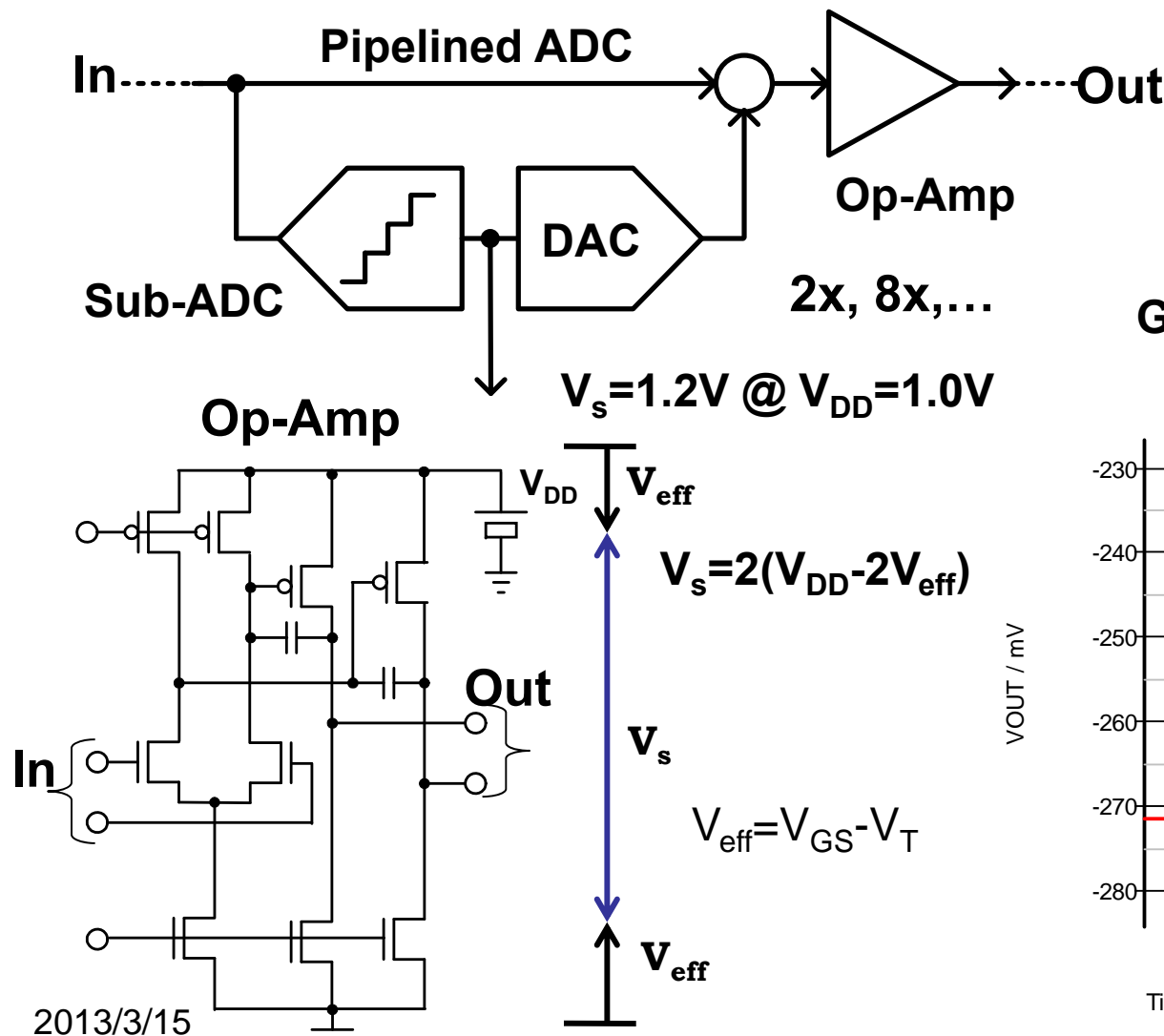
微細化とともに V_A が低下し、十分な利得が実現困難になった。
また、低電圧化に伴う振幅低下が深刻になってきた。

$$\epsilon_{(LSB)} = \frac{3 \times 2^N}{G}$$

N:Resolution

$$G > 6N + 10 \text{ (dB)}$$

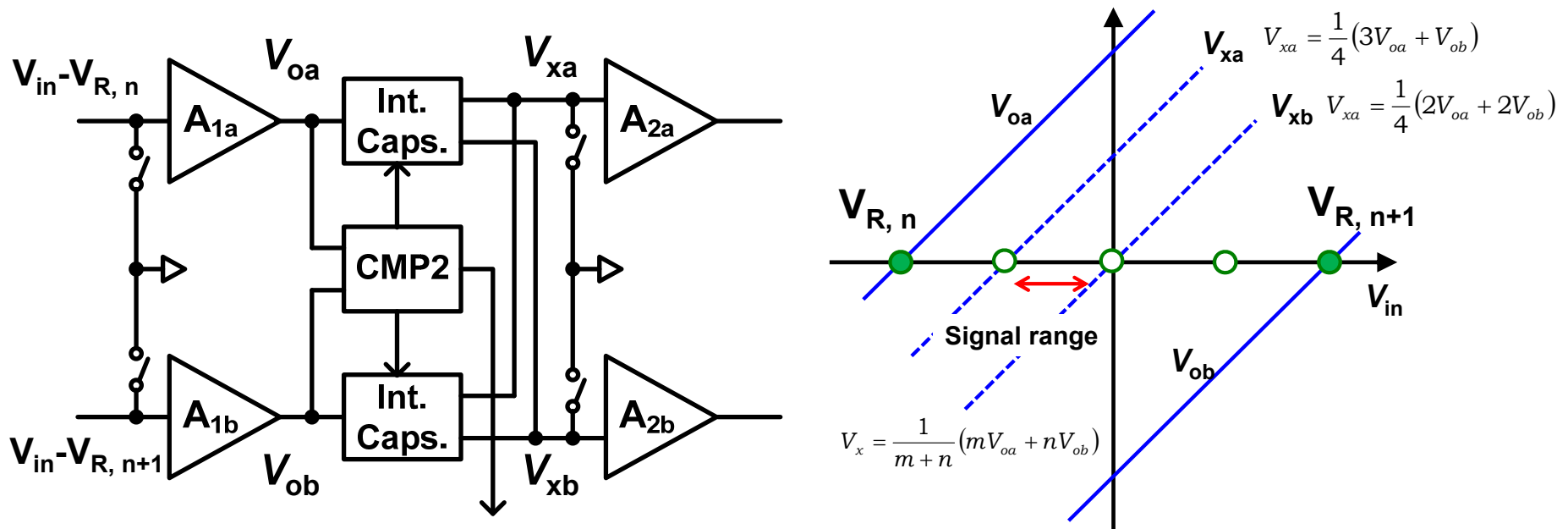
Gain > 70dB @ 10bit ADC



補間パイプライン型ADCの提案

20

補間技術を用いることで、正確な絶対利得は不要になり、
相対利得さえ確保できれば高精度変換を実現できる。
このため高速オープンループ型増幅器も使用可能になった。



利得は4程度でもかまわない

M. Miyahara, A. Matsuzawa, VLSI-CS, 2011.

J. Mulder, et al., ISSCC, 2011.

オープンループ型増幅器

21

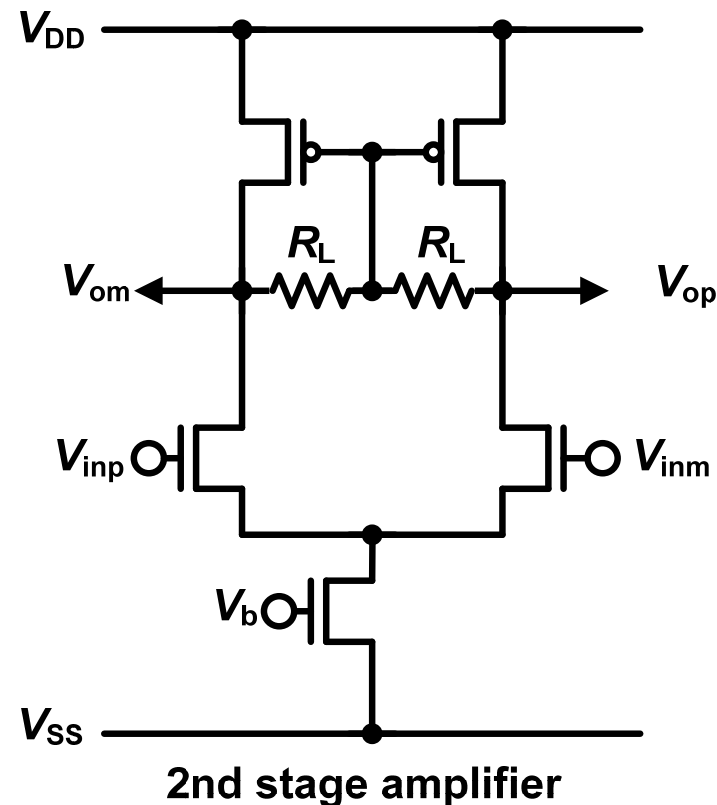
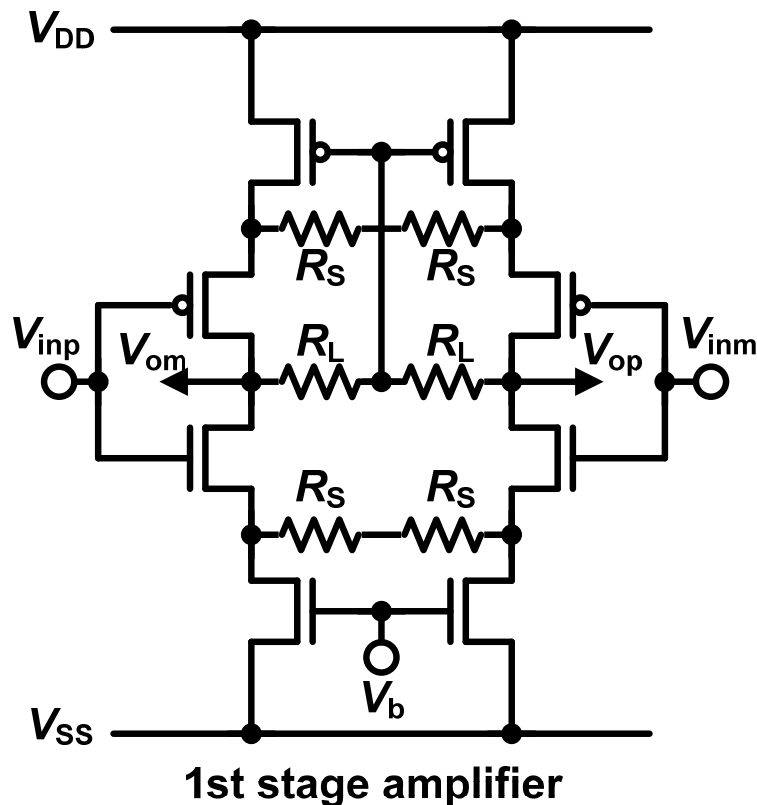
TOKYO TECH
Pursuing Excellence

利得4程度のオープンループ型増幅器を使用した。

直線性は確保する必要がある。

最近は12ビット分解能に対応した低電力・高線形増幅器を開発した。

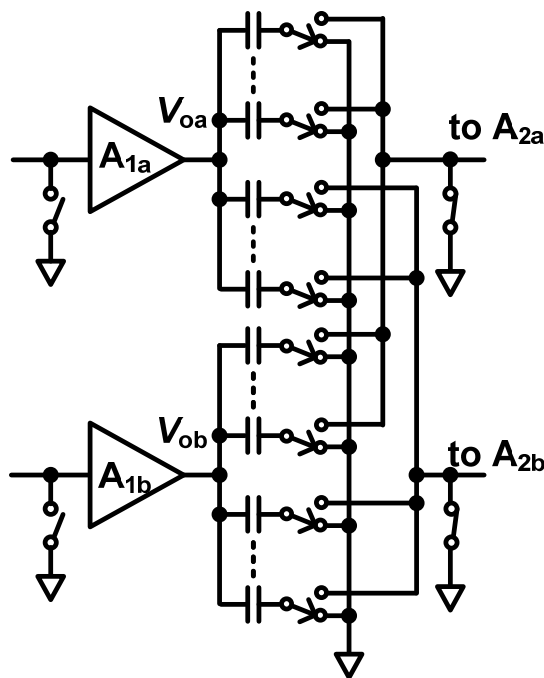
$G = 4$ Gain mismatch $< 2.1\%$ (3σ)



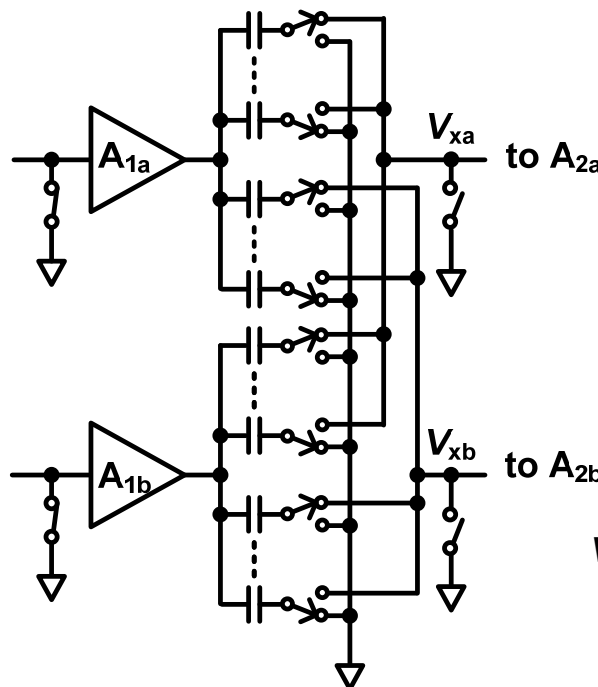
重み付け容量による補間回路

重み付け容量による補間回路は、補間機能だけでなく、サンプルホールドや増幅器のオフセット電圧キャンセルも実現できる。

$$V_x = - \left\{ \frac{m}{m+n} G_a (V_{in} - V_{ra}) + \frac{n}{m+n} G_b (V_{in} - V_{rb}) \right\}$$



Sampling Phase



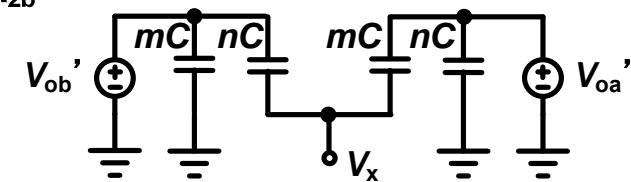
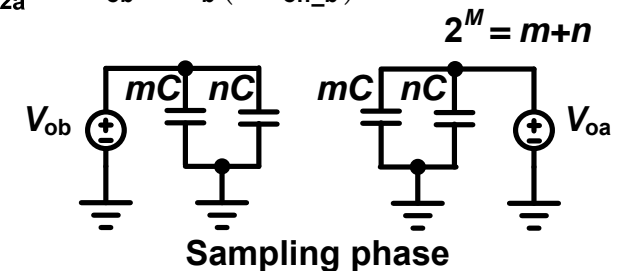
Interpolation Phase

$$V_{oa} = G_a (V_{in} - V_{ra} - V_{off_a})$$

$$V_{ob} = G_b (V_{in} - V_{rb} - V_{off_b})$$

$$V'_{oa} = G_a (-V_{off_a})$$

$$V'_{ob} = G_b (-V_{off_b})$$



性能比較

23

TOKYO TECH
Pursuing Excellence

OPアンプやリニアリティ補正を用いなくても10bit 320Mspsの
パイプライン型ADCが実現できた。

M. Miyahara, A. Matsuzawa, VLSI-CS, 2011.

	This Work	[2]	[6]	[7]
Resolution (bit)	10	10	10	10
F_{sample} (MS/s)	320	500	205	320
V_{DD} (V)	1.2	1.2	1.0	-
Power (mW)	40	55	61	42
$\text{ENOB}_{\text{peak}}$ (bit)	8.5	8.5	8.7	8.7
$\text{FoM}_{\text{Fs}} / \text{FoM}_{\text{ERBW}}$ (pJ/c.-s)	0.35 / 0.77	0.31	0.65	0.36/0.44
Technology (nm)	90	90	90	90
Active Area (mm ²)	0.46	0.5	1	0.21
Amplifier type	Open	Closed	Closed	Closed
Linearity Compensation	No	Yes	No	Yes

[2] A. Verma and B. Razavi, IEEE J. Solid-State Circuits, vol. 44, Nov., 2009.

[6] S. Lee, Y. Jeon, K. Kim, J. Kwon, J. Kim, J. Moon, and W. Lee," ISSCC, 2007.

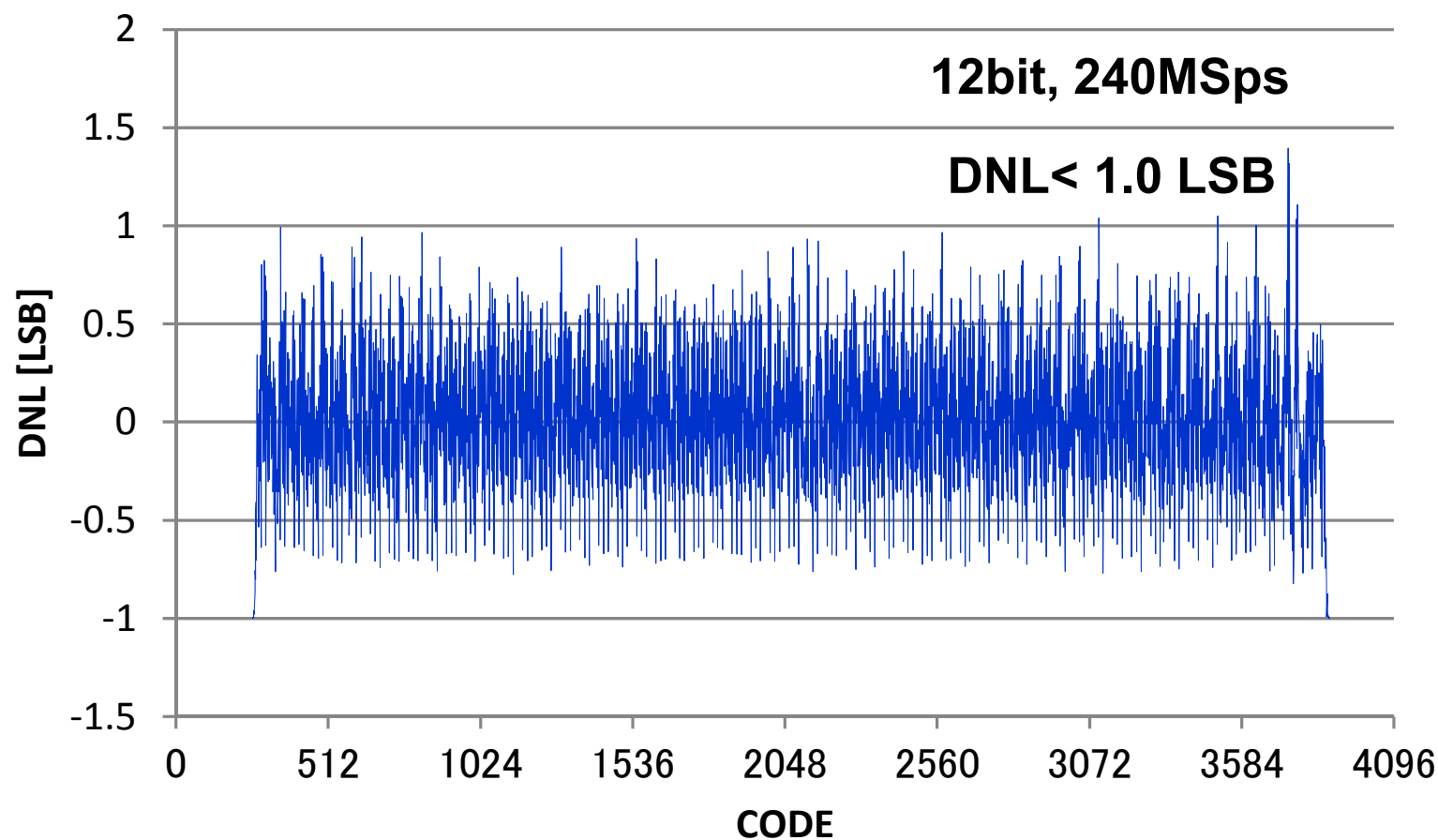
[7] H. Chen, W. Shen, W. Cheng, and H. Chen, A-SSCC, 2010.

直線性の向上

24

TOKYO TECH
Pursuing Excellence

はじめは10ビット精度も難しかったが、
最近は12ビット精度も可能となった。



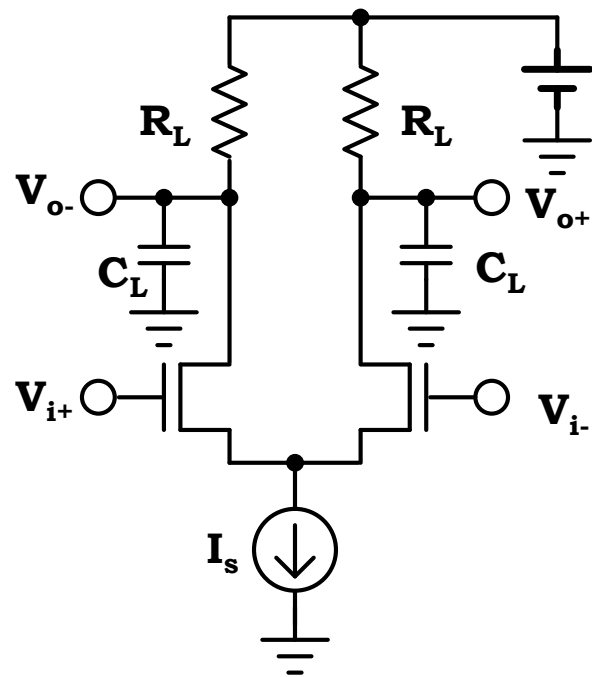
12ビット SAR ADCの開発

汎用ADCの開発とスケーラブルADCへの展開

CMOS論理回路のようなADCの実現

- ・高速動作でも低速動作でも回路は同じ
- ・消費電力が与えられた変換クロック周波数に自動的に比例する
- ・クロックが止まったら電源電流は流れない

CML 論理回路 通常の増幅器



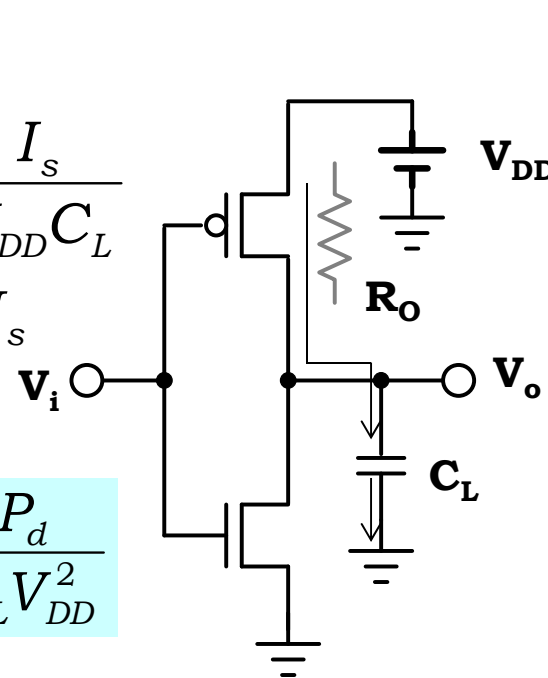
$$f_{toggle} \propto \frac{I_s}{V_{DD} C_L}$$

$$P_d = V_{DD} I_s$$

$$f_{toggle} \propto \frac{P_d}{C_L V_{DD}^2}$$

動作速度を上げるためには
消費電流を増やさなければならない

CMOS 論理回路.



$$f_{toggle} \propto \frac{1}{T_r} \propto \frac{1}{R_o C_L}$$

$$P_d = f E_d = \frac{1}{2} f C_L V_{DD}^2$$

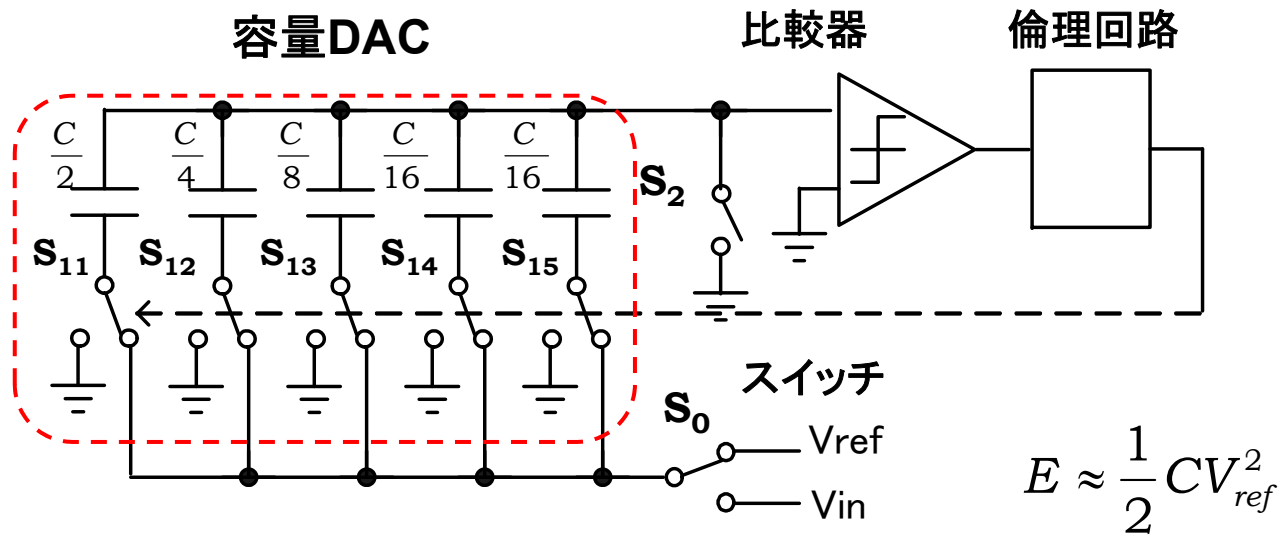
$$E_d = \frac{1}{2} C_L V_{DD}^2$$

$$f_{toggle} \propto \frac{1}{R_o C_L}$$

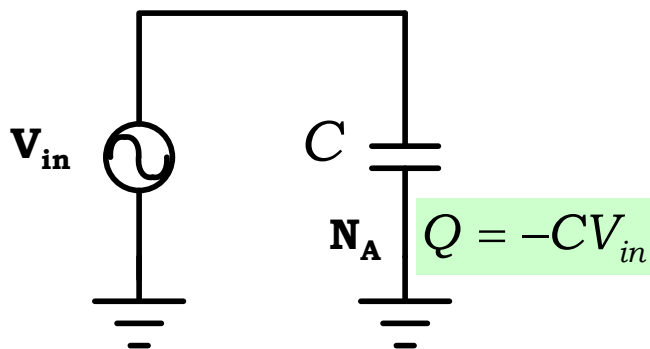
動作速度を上げてても
消費エネルギーは増えない

SAR ADC

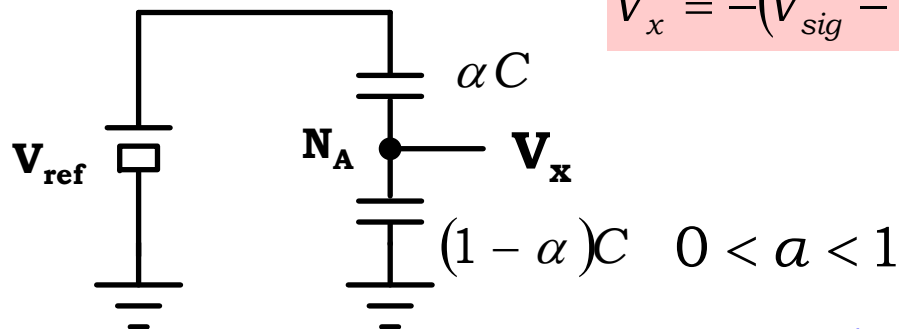
SAR ADCは容量DACとダイナミック型比較器，セルフクロック回路を用いることでCMOS論理回路のようなADCを実現できる。またオペアンプを用いていないので信号振幅を高くすることが可能で，低電圧動作にも対応できる。



標本化機能



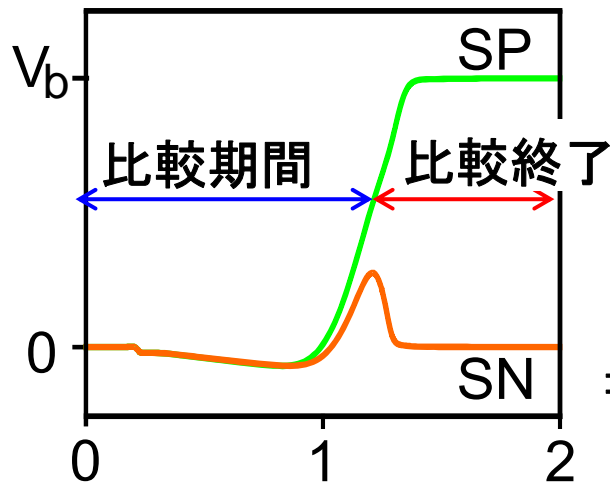
DAC・減算機能



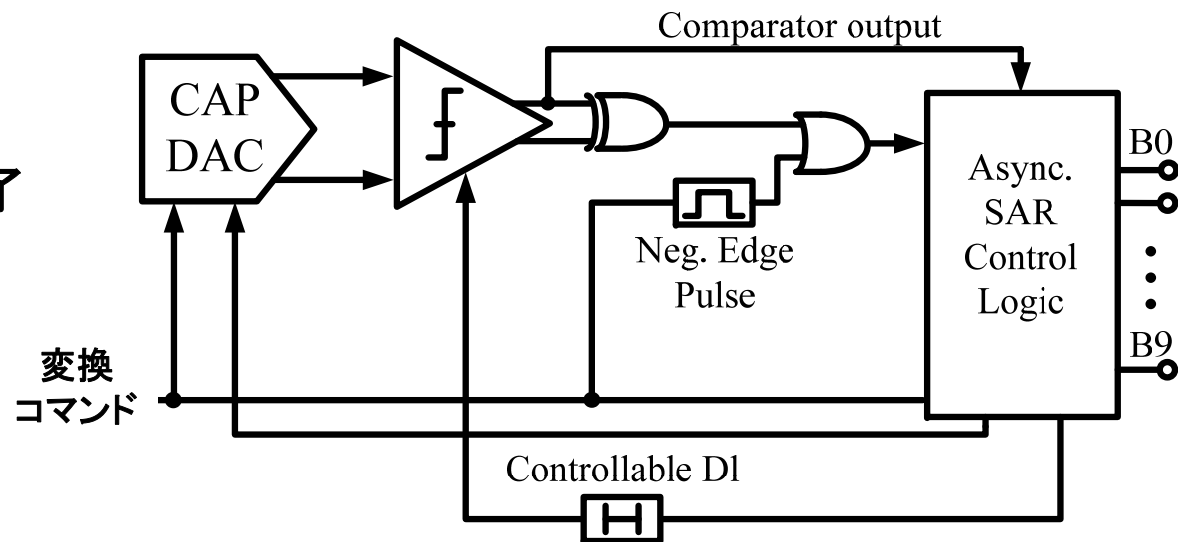
$$V_x = -(V_{sig} - \alpha \cdot V_{ref})$$

従来のNビット SAR ADCでは変換周波数 f_s のN倍以上の動作周波数が必要で、使用を困難にしていた。(例えばN=12bit, $f_s=80\text{MHz}$ では1.2GHz程度のクロックが必要) しかしながらダイナミック型比較器では出力状態により比較動作の終了が判定できるので、外部クロックが不要となり、変換を開始するコマンドだけで動作するようになった。

比較器の出力波形



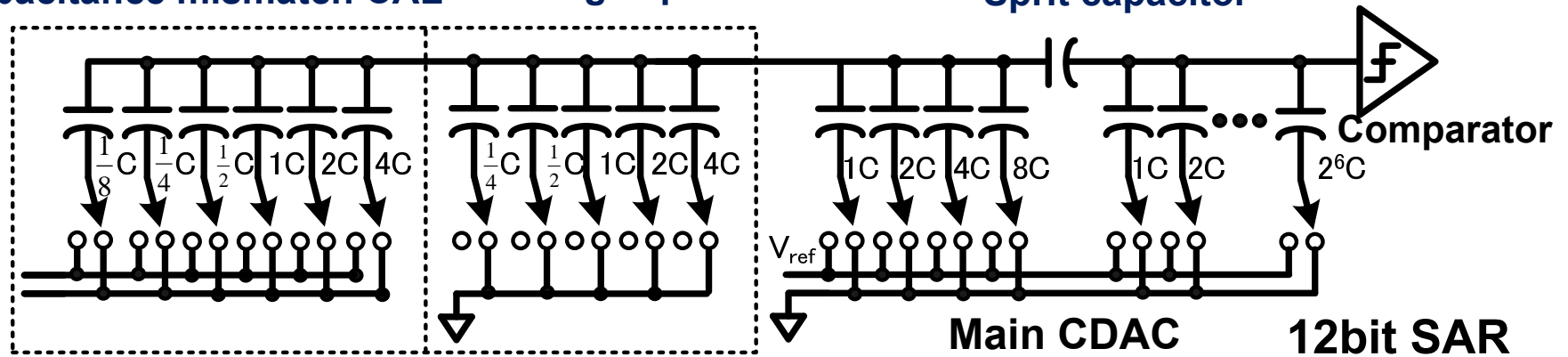
セルフクロッキング回路



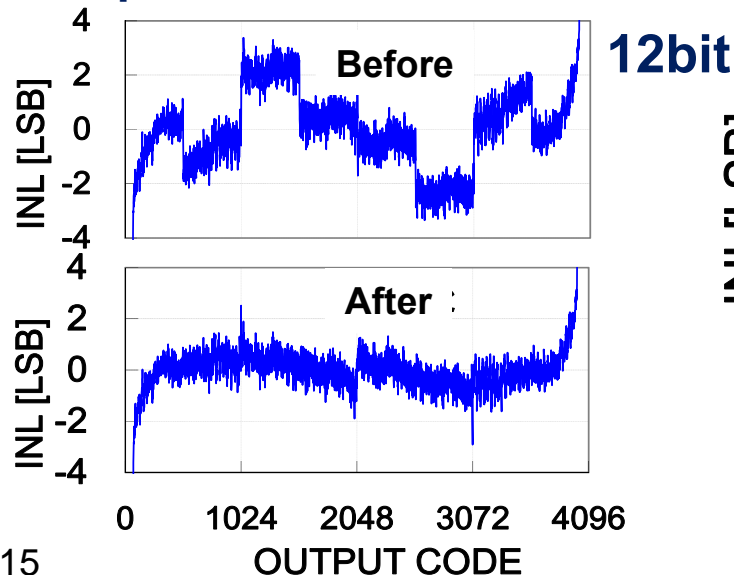
高精度化：CDACの構成

CDACはスプリット容量を使用して容量値を極小にし、フローティング容量補償容量ミスマッチ補償回路を設けたが、これによる面積増加は殆どない。

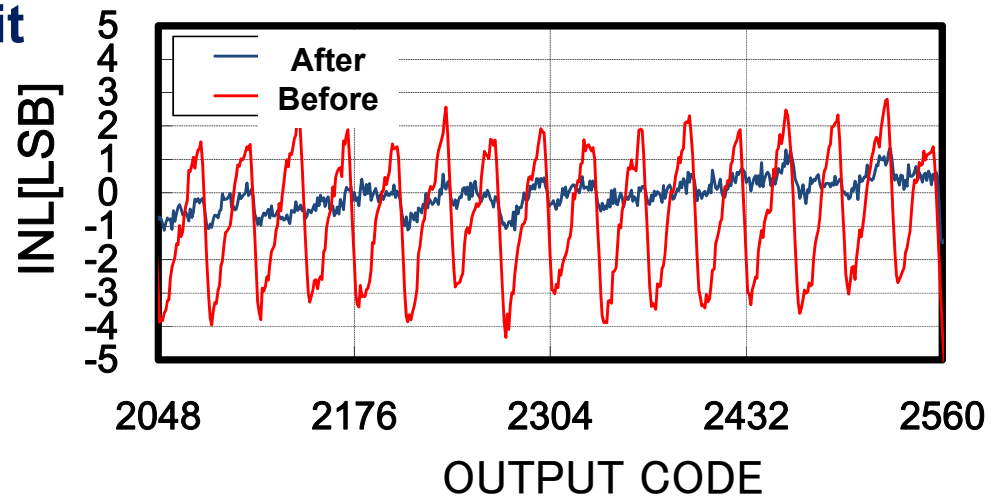
Capacitance mismatch CAL Floating capacitance CAL Sprit capacitor



Capacitance mismatch CAL



Floating capacitor CAL



90nm CMOSによる設計試作

30

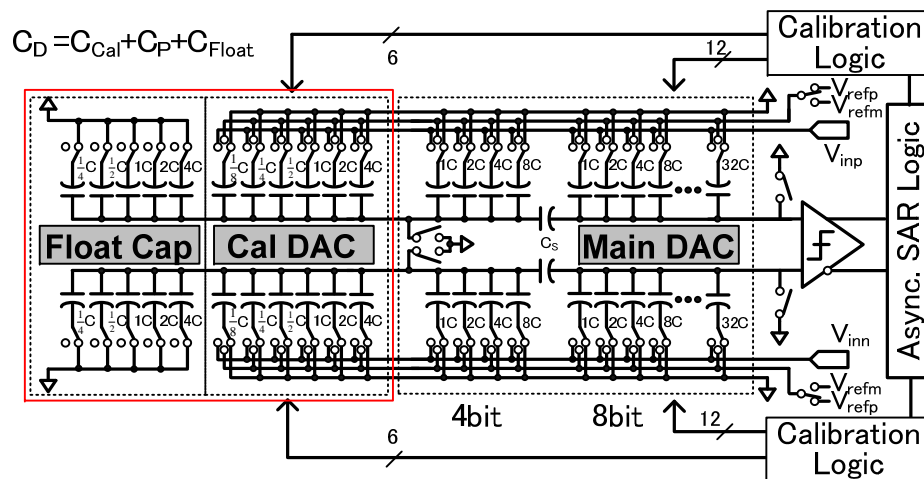
TOKYO TECH
Pursuing Excellence

90nm CMOSを用いて設計・試作を行った。

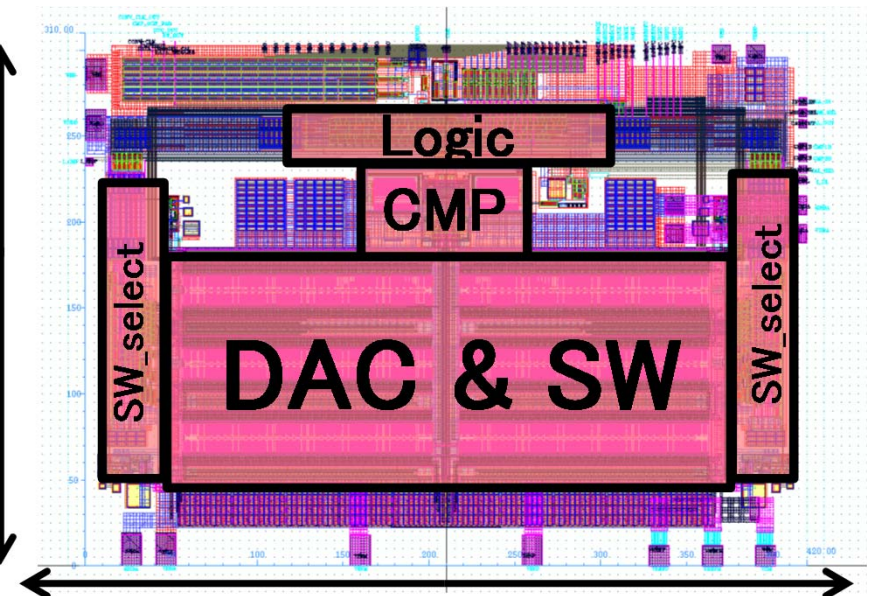
12bit, 60MHz, 3mWが目標

TSMC 90nm CMOS

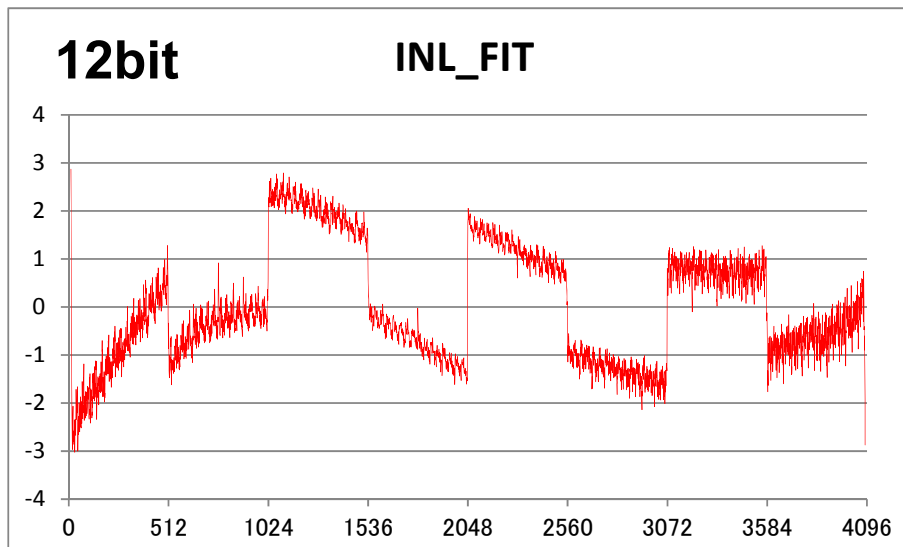
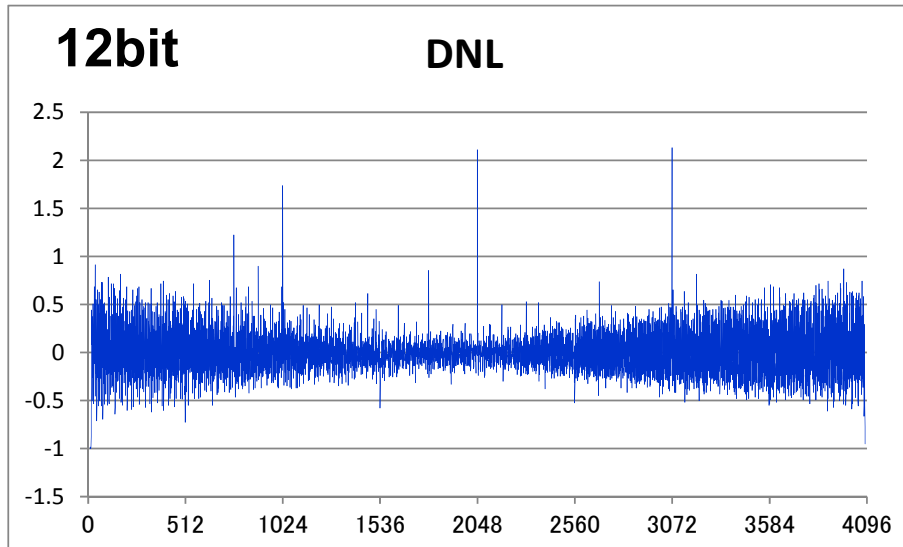
0.13mm²



310um



420um



デジタル容量ミスマッチ補正回路
に不具合

容量のミスマッチ(位置依存)が原因で
2-3 LSB程度の大きなリニアリティエラー
が出ている。

65nmでは補償回路の見直し、
レイアウトの最適化でかなり低減できる
見通し。

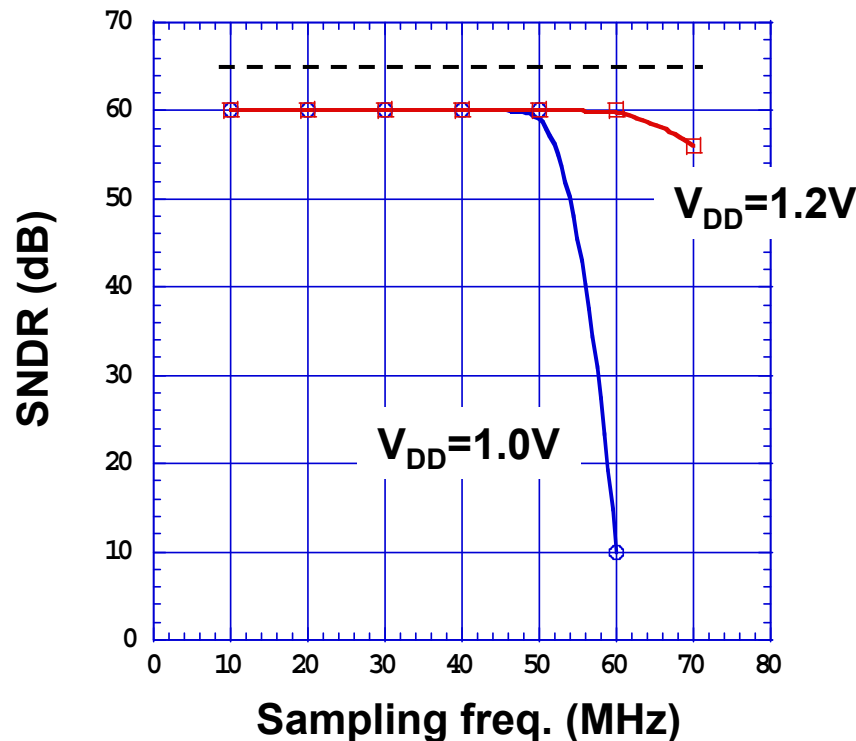
12b SAR ADCの評価結果

1.2Vで60MHz, 1.0Vで50MHzで動作し, 60dBのSNDRが得られた。
消費電力は変換周波数に比例し, V_{DD} を下げると大幅な消費電力低減。

リーク電流: 210uA (0.25mW) @ $V_{DD}=1.2V$
120uA (0.12mW) @ $V_{DD}=1.0V$

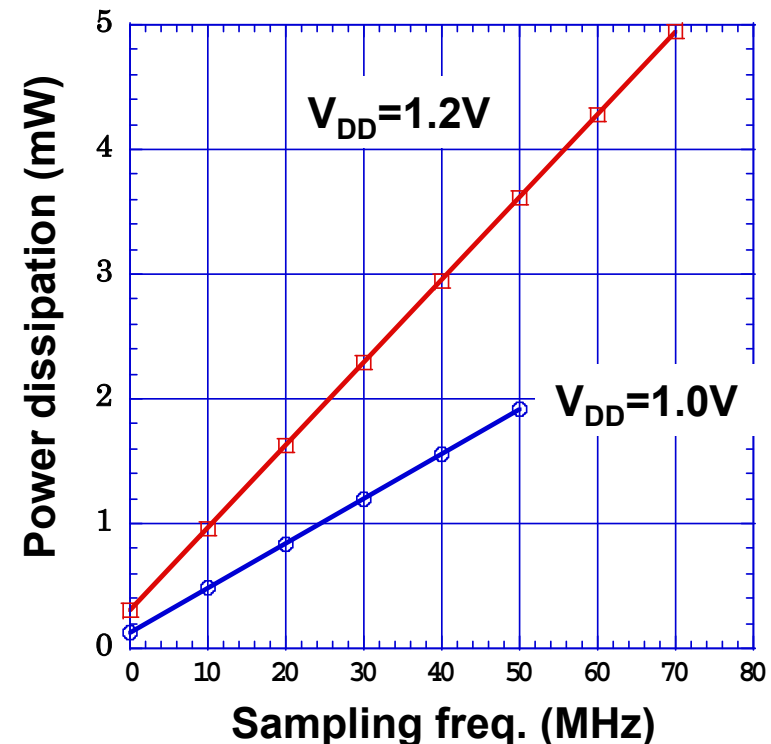
SNDR vs. f_s

65 dB程度までは向上可能



P_d vs. f_s

リーク電流は対策可能



SAR ADCの開発課題

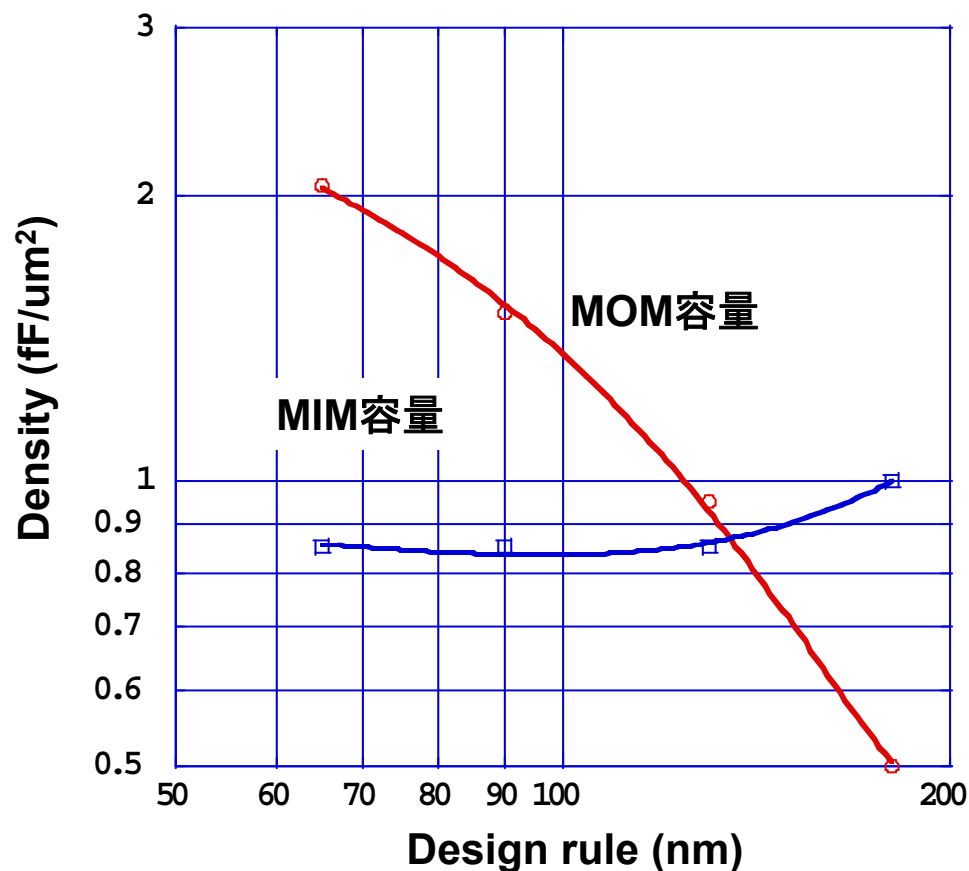
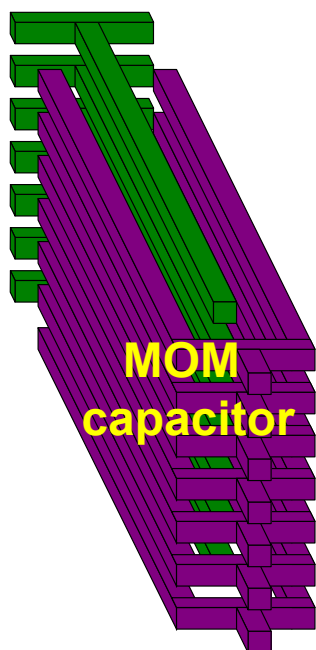
MIM容量の限界とMOM容量

34

TOKYO TECH
Pursuing Excellence

MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により微細化とともに容量部の面積縮小が可能である



MOM容量の精度飽和の要因

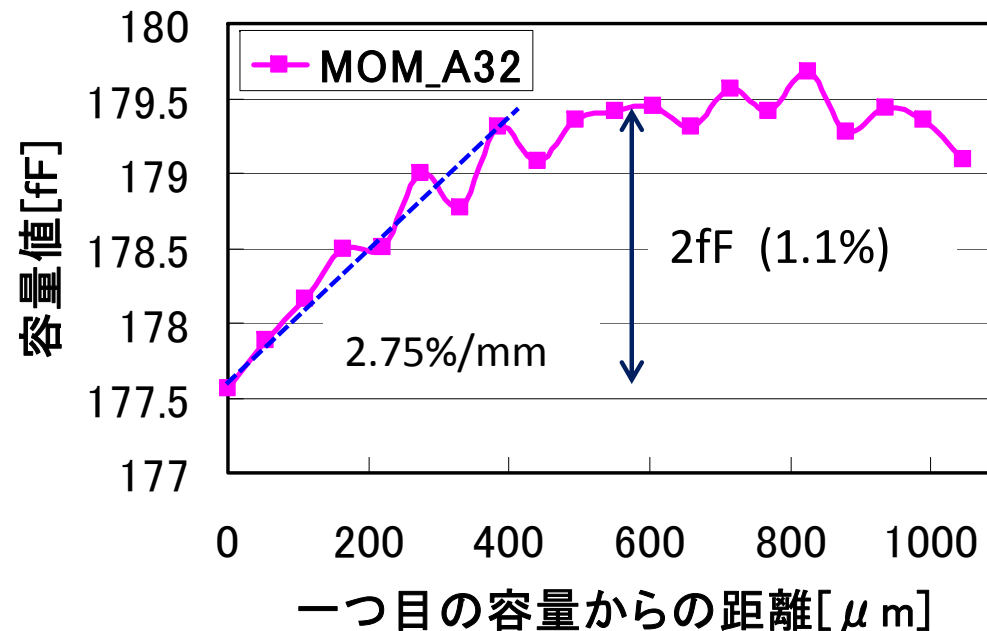
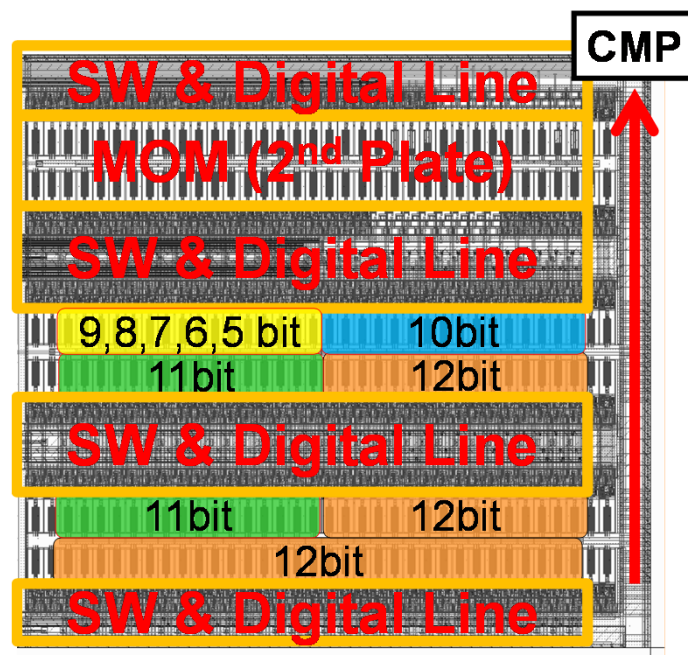
35

TOKYO TECH
Pursuing Excellence

MOM容量は面積を増加させても精度が飽和するが、その大きな要因は容量の位置依存が強いことである。

500 μm で1%程度の容量傾斜がある。

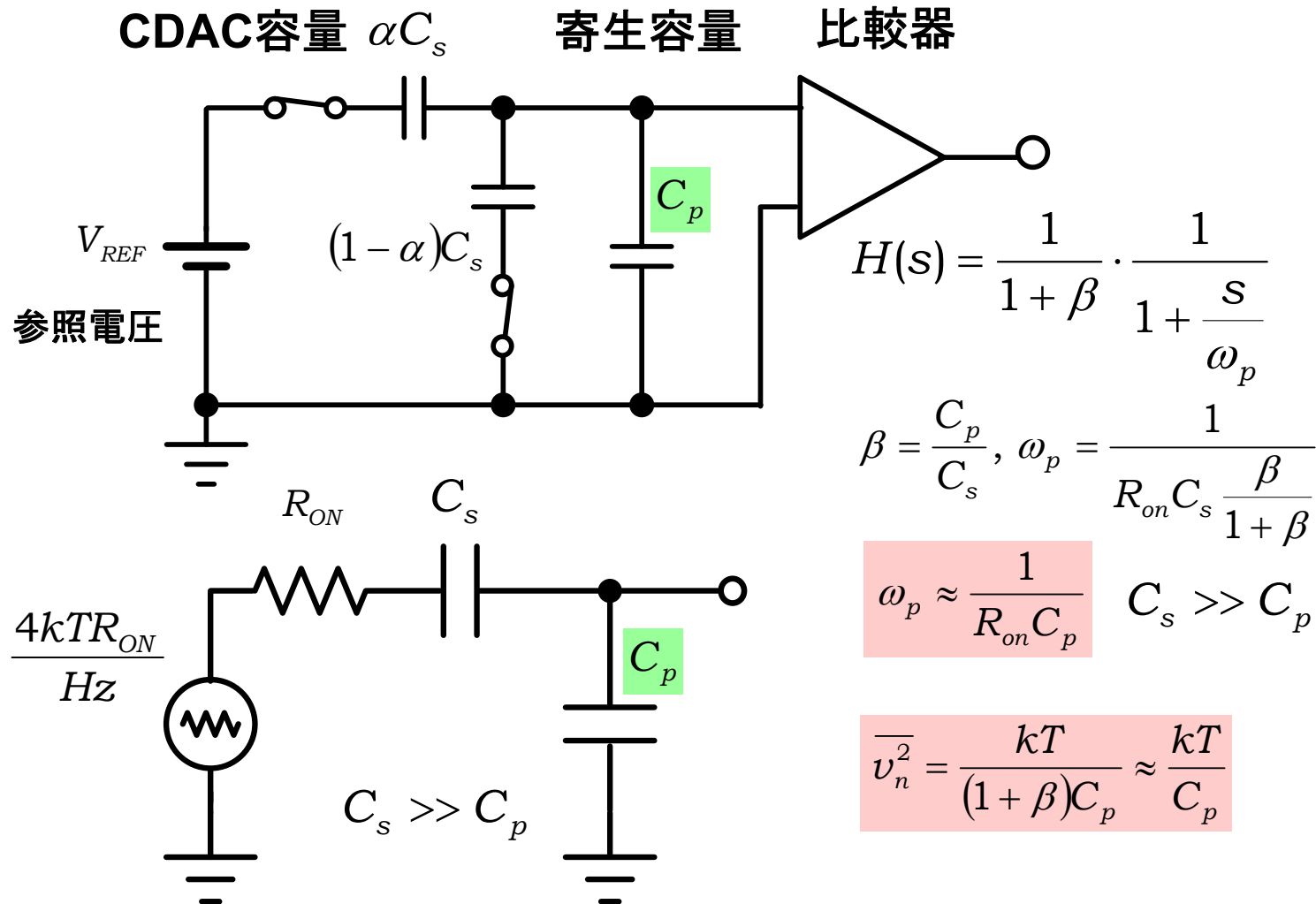
設計ではこの点を考慮したレイアウトや誤差補正技術が不可欠。



このようにビットを固めたレイアウトでは容量値の位置依存によるINL劣化が大きい

比較時のノイズ

比較時のノイズはCDAC容量(=サンプリング容量)ではなく、寄生容量で決まることになってしまう。寄生容量が小さいと大きなノイズが発生。



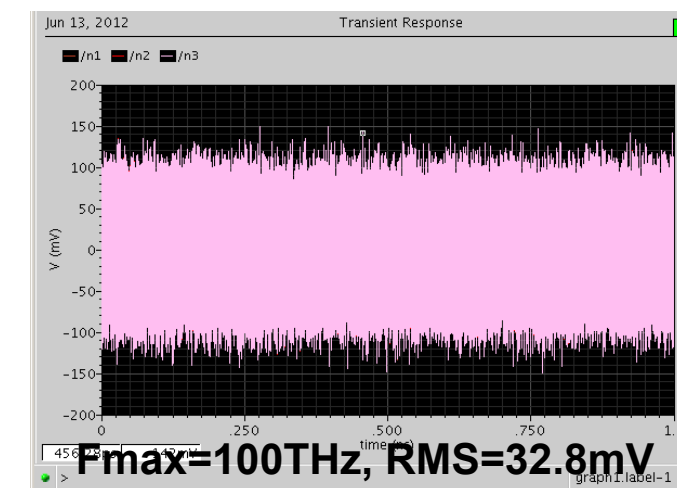
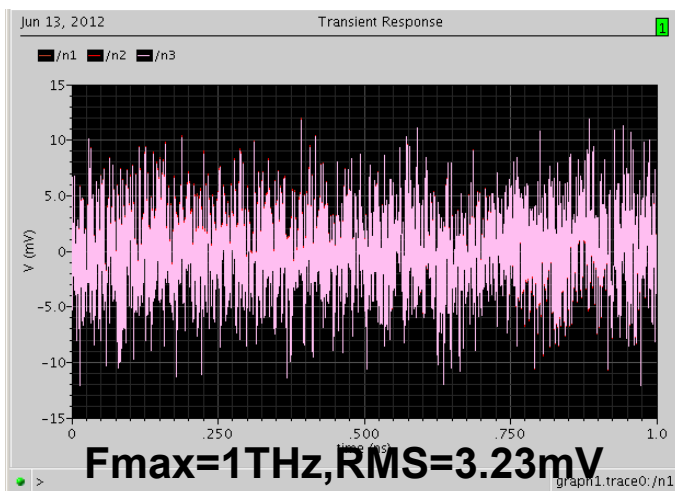
過渡ノイズ解析結果

37

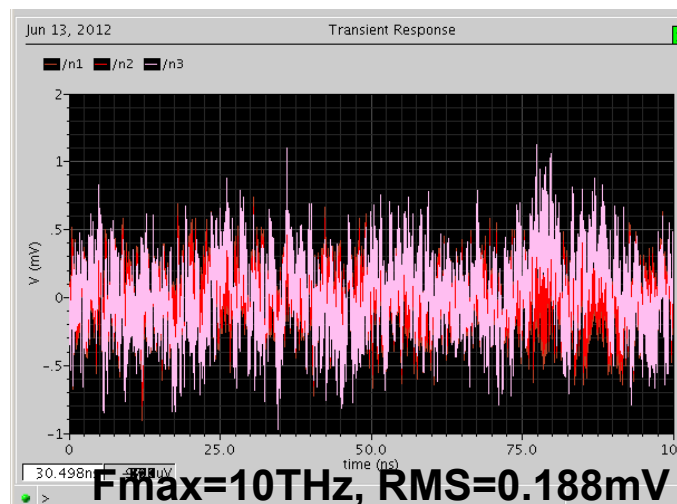
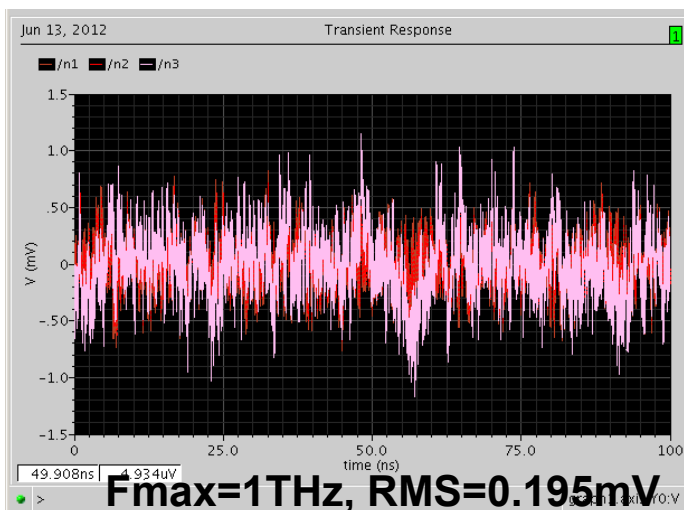
TOKYO TECH
Pursuing Excellence

もしも寄生容量がゼロだと、ノイズ帯域を上げると大きなノイズを発生する。
寄生容量があるとその値で決まる。

$C_p=0$



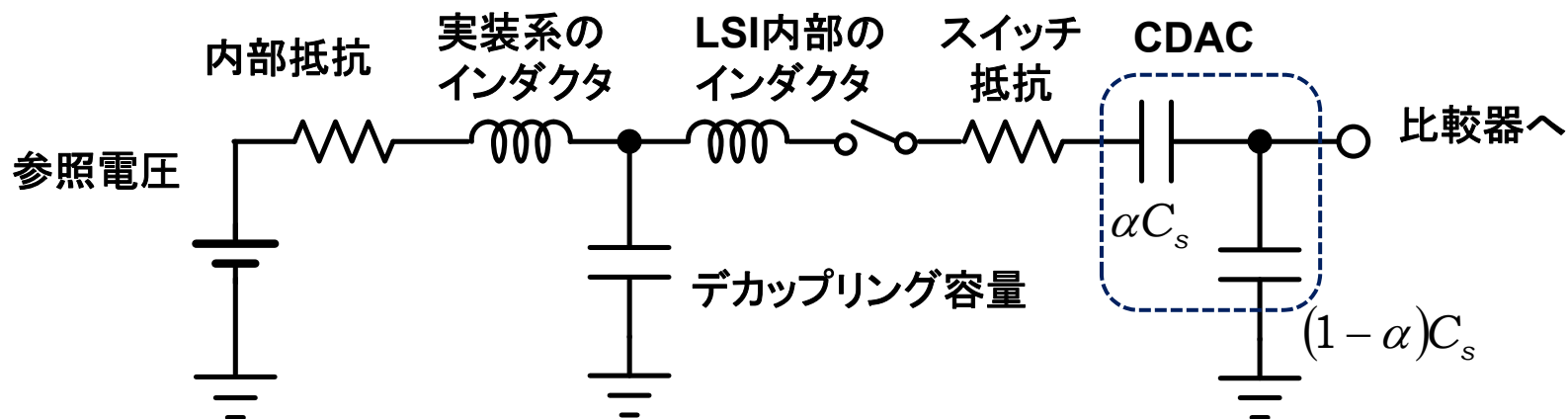
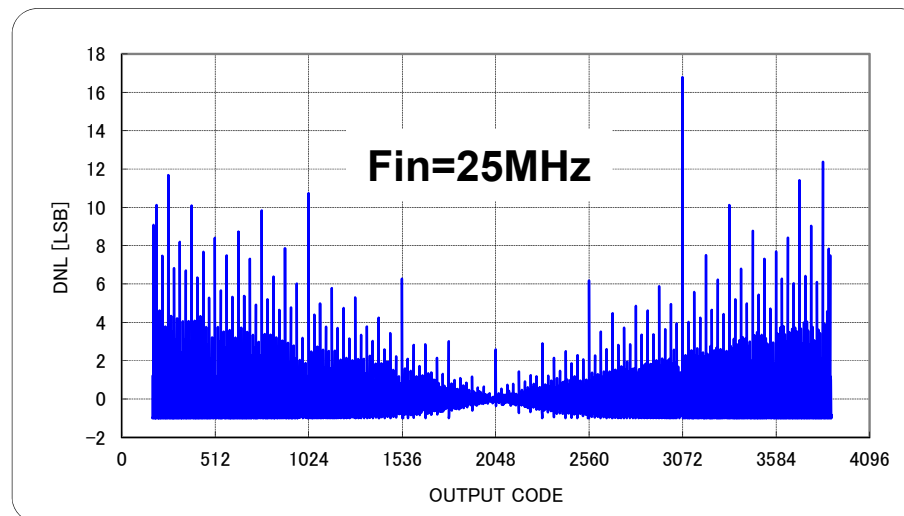
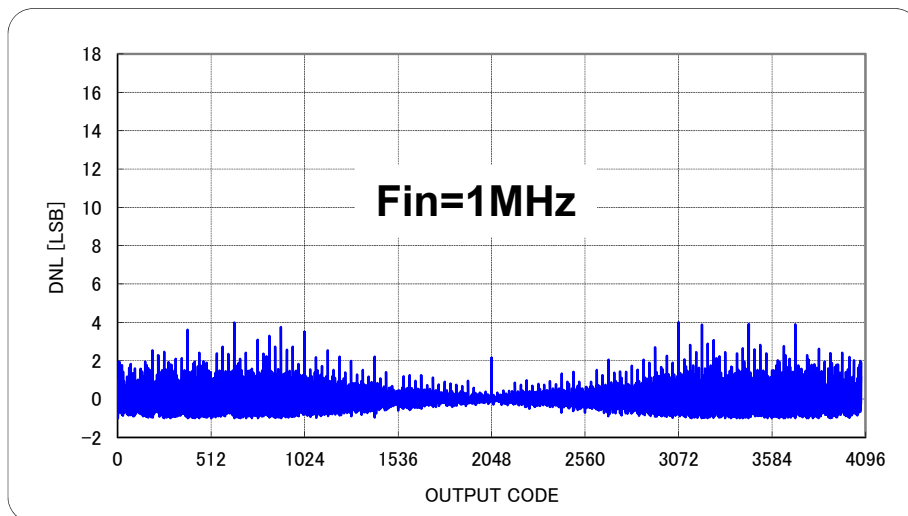
$C_p=10\text{fF}$



参照電圧周辺や入力信号端のインピーダンス特性が変換特性に影響を与える。

最もタフな課題であろう

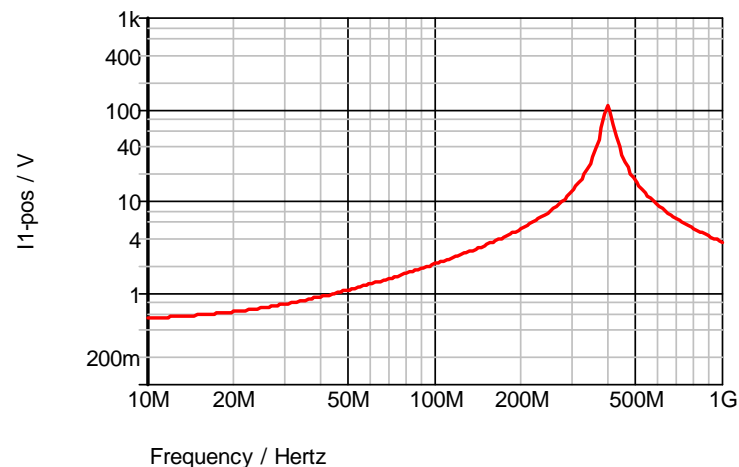
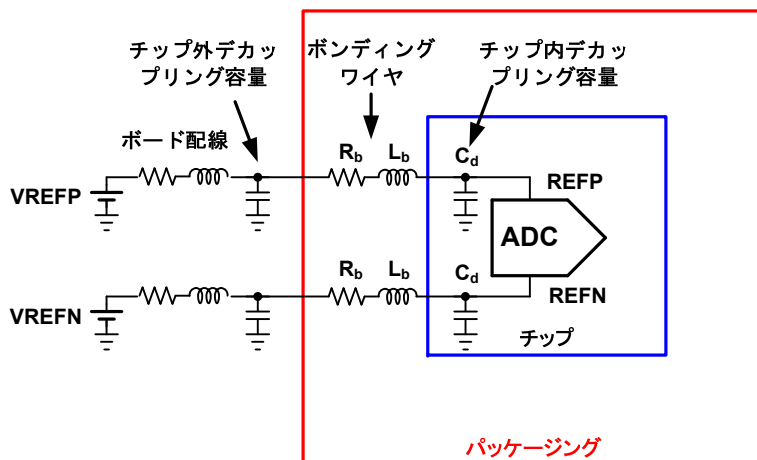
SAR ADCはこんな特性が観測される



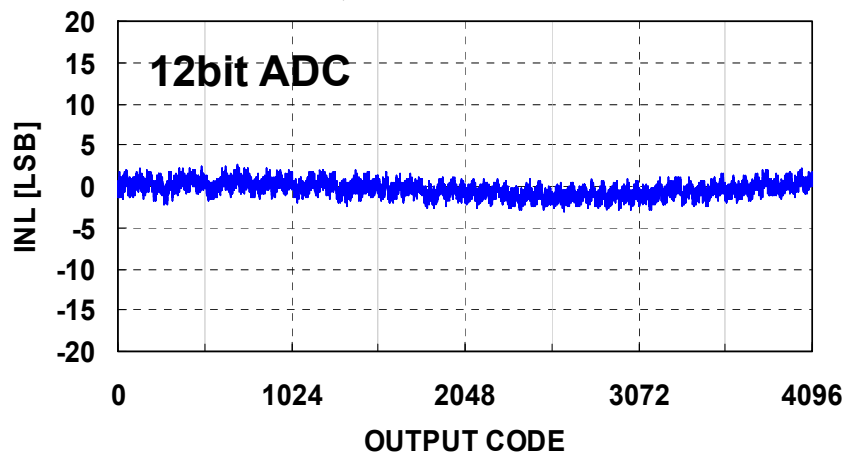
参照電圧周辺の等価回路

参照電圧回路のインピーダンスが高く、周波数特性を持つ場合は
ADCの直線性が大きく劣化する 開発の失敗例

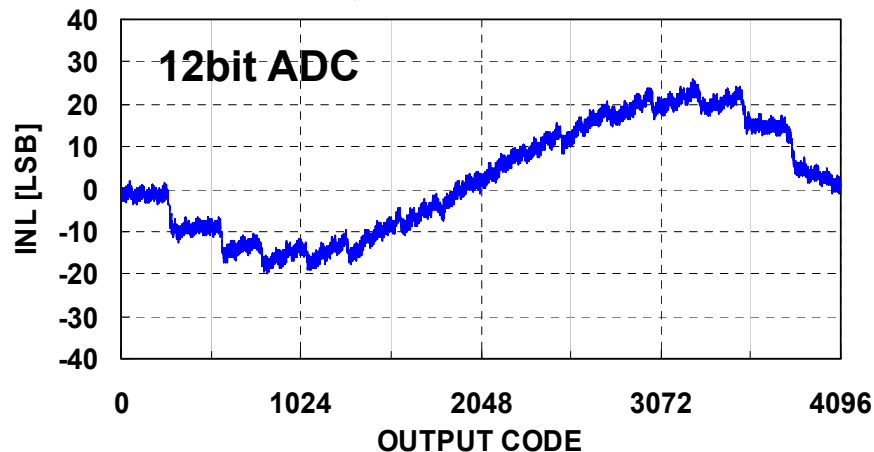
インピーダンス特性



10MS/s, 375Hzランプ波入力

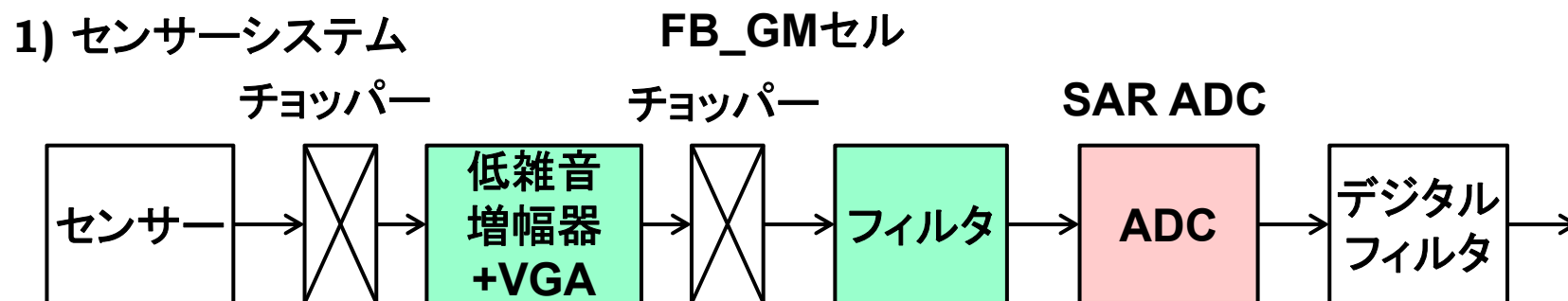


100MS/s, 3.75kHzランプ波入力

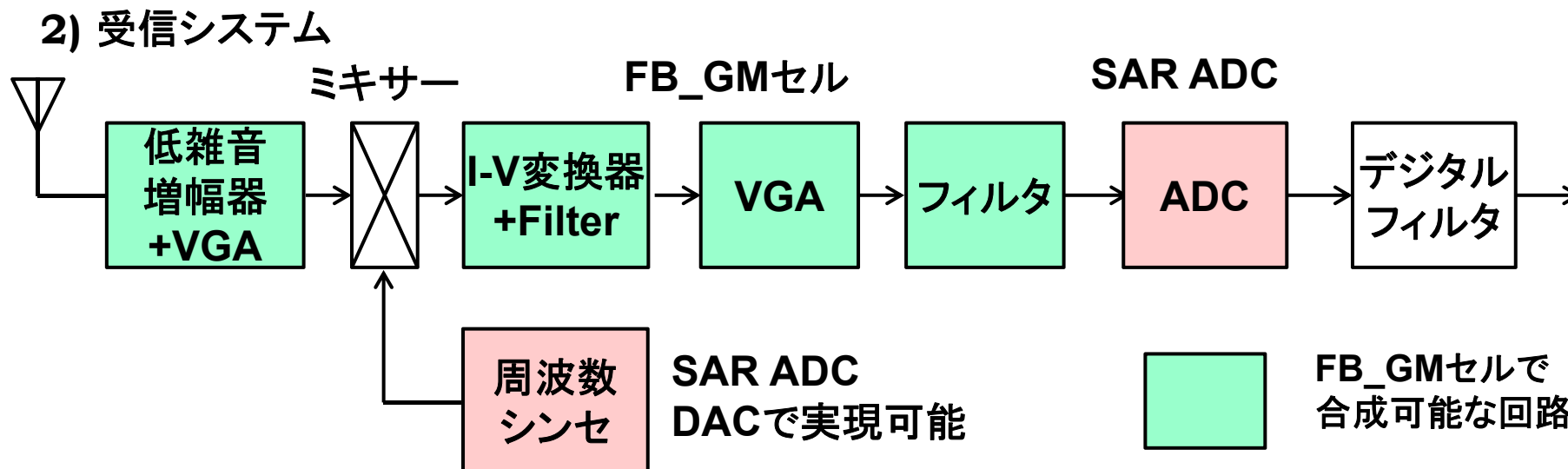


ADC・アナログ回路開発の今後

SAR ADCとFB_GMセルでたいいていのアナログフロントエンドは合成可能。



アナログマルチプレクサが必要な場合もある



開発中の65nm SAR ADC

42

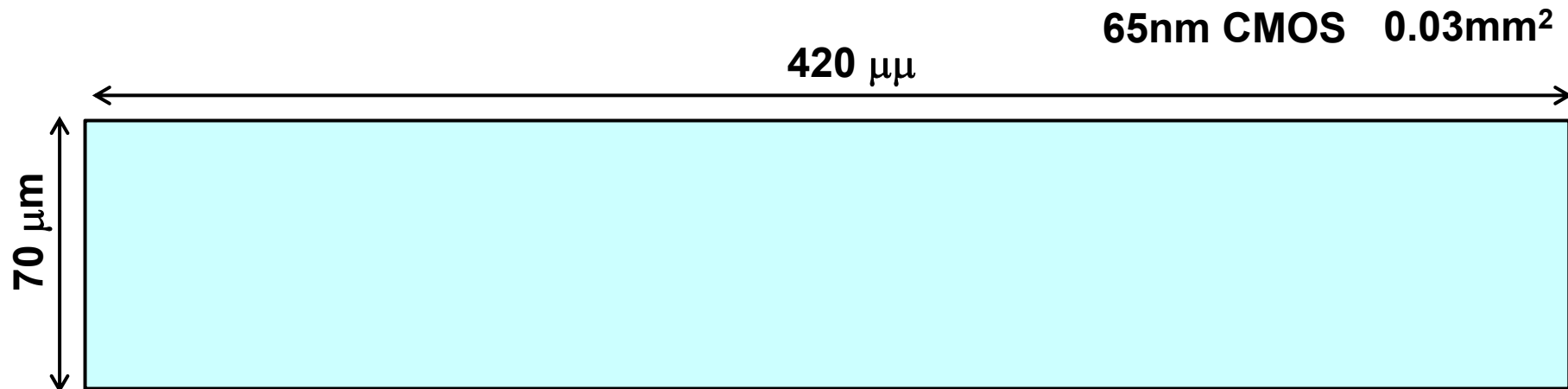
TOKYO TECH
Pursuing Excellence

現在65nm CMOSを用いた12bit 80MSps SAR ADCを開発中。
占有面積は極めて小さく、消費電力も極めて低い。

12bit, 80MHz, 3.2mW, 0.03mm², SNDR>67dBが目標

インターリーブ動作を想定し、縦を短くしている

10bit, 120MHz, 0.8mW, 0.01mm² SNDR> 58 dBも可能



SAR ADCが完成すれば、同一ADCコアを用いてほとんどの用途に対応可能。

- ・低域・高SNR: **オーバーサンプリング**により対応可能
- ・広帯域・中SNR: **インターリーブ**により対応可能

ADCの性能傾向

$$SNR \approx SNR_0 - 10 \log(BW)$$

SNR₀: 1HzのときのSNR

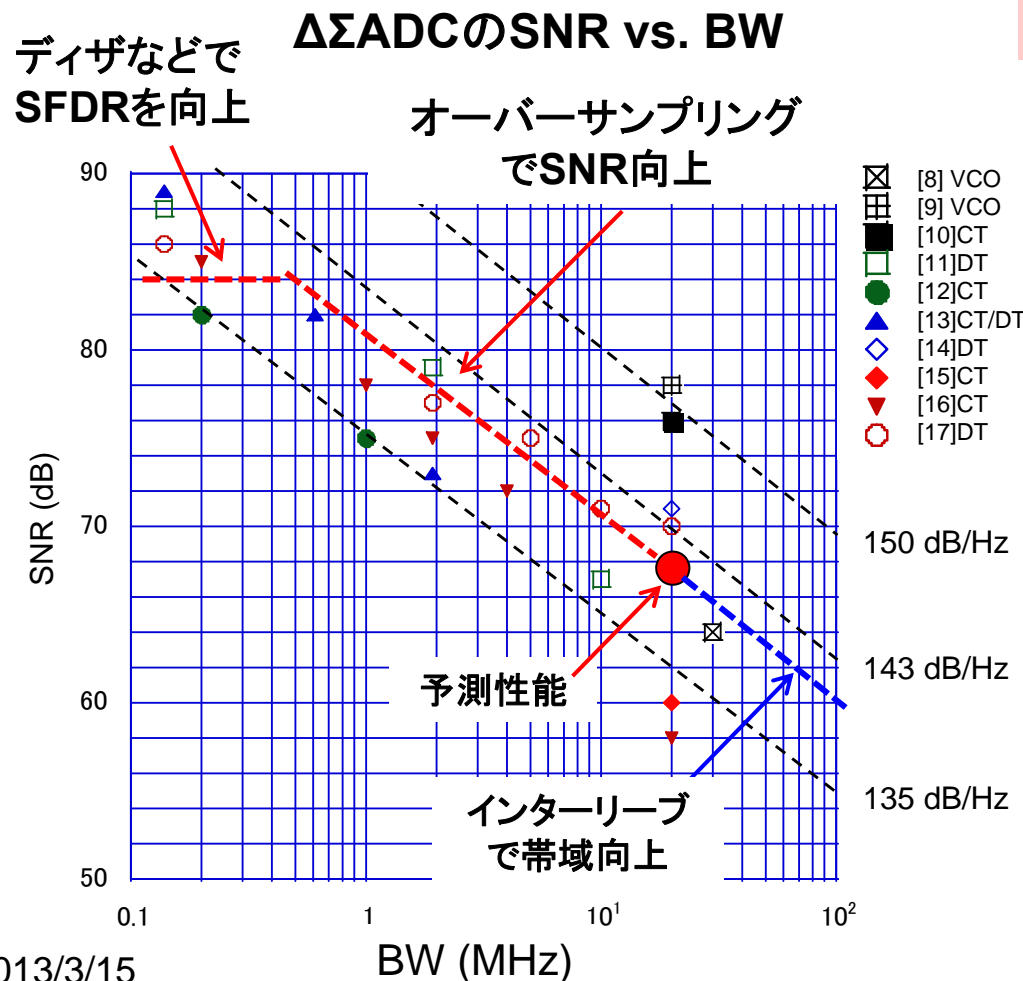
SNR₀: 実力は140dB程度

オーバーサンプリングADCの性能

$$SNR \approx SNR_N + 10 \log(OSR)$$

$$= SNR_N + 10 \log\left(\frac{f_s}{2BW}\right)$$

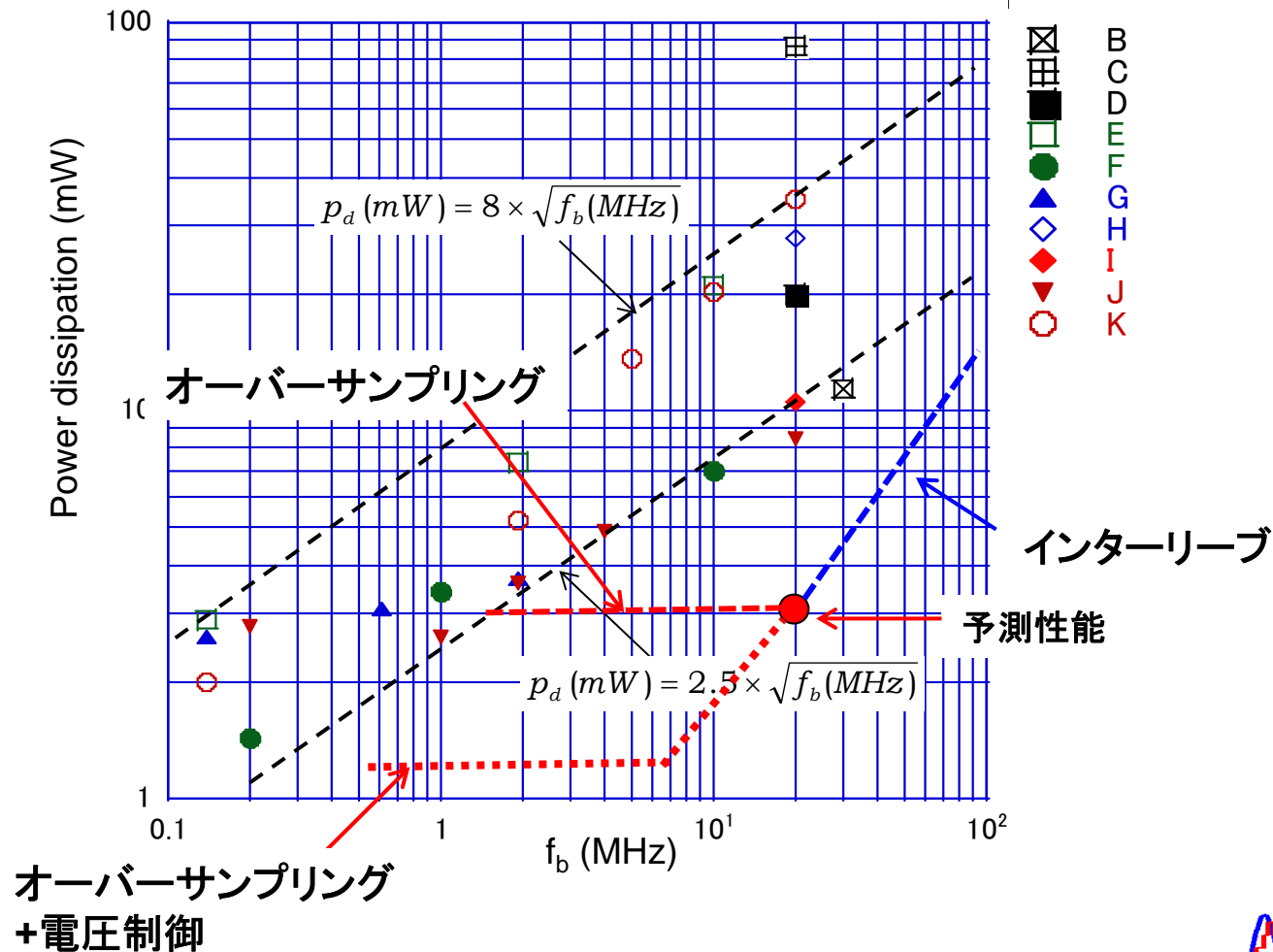
SNR_N: ナイキスト周波数のときのSNR



SAR ADCのインパクト：消費電力

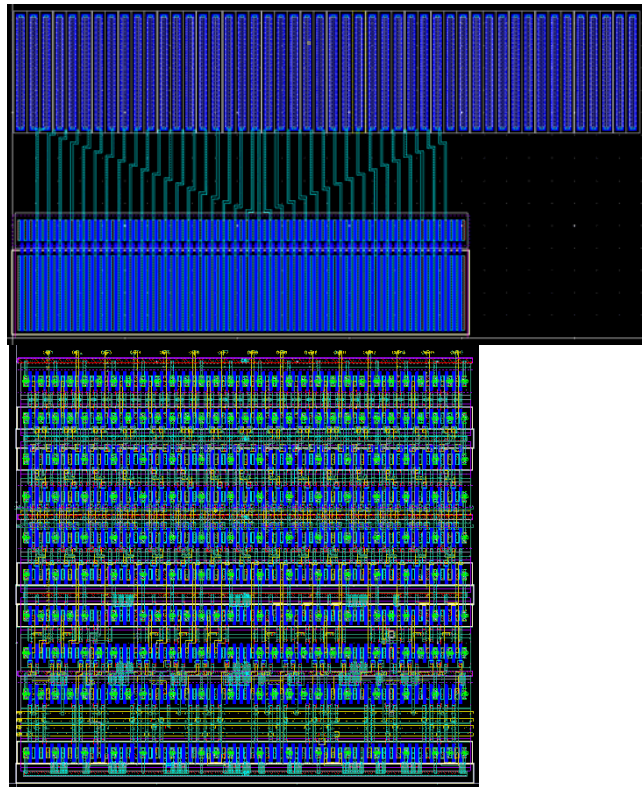
SAR ADCを用いてオーバーサンプリングもしくはインターリーブを行っても
 $\Delta\Sigma$ 型ADCよりも低消費電力で動作させることができる。
 電圧制御技術により更に低電力化が可能。

今後、通信用 $\Delta\Sigma$ ADC, パイプライン型ADCは必要か？

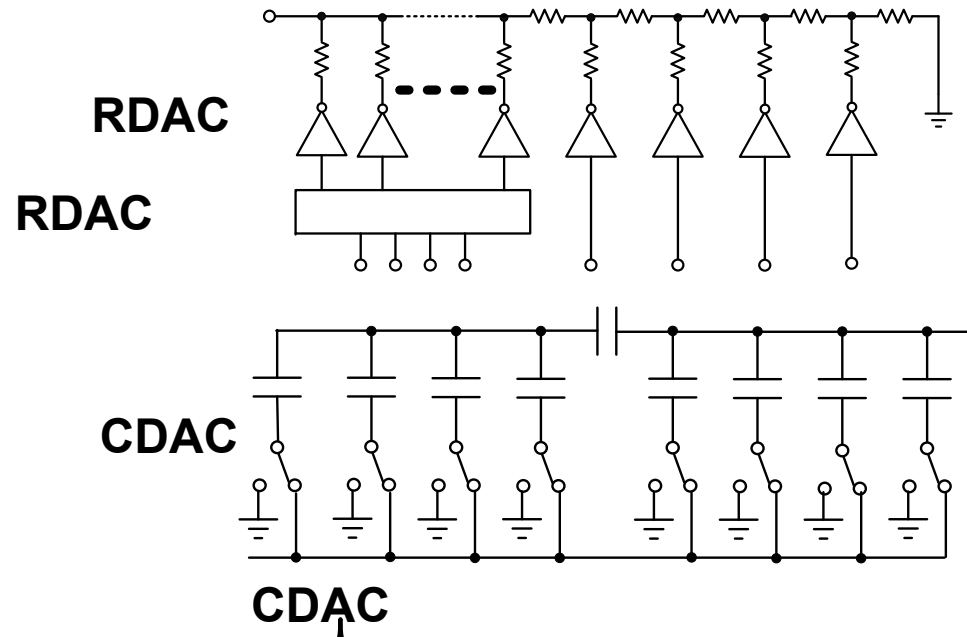


- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
 - 微細化・低電圧化により設計難易度が上昇
 - 設計人材の減少(事業選択・集中, リストラ)
 - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
 - コア回路の種類をできるだけ絞る
 - 微細化・低電圧化に耐える回路のみを選抜
 - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
 - レイアウトを含め設計の大半を自動化する
 - テスト容易化設計も併せて行う

Skill言語を用いてレイアウトを自動生成したRDACおよびCDAC

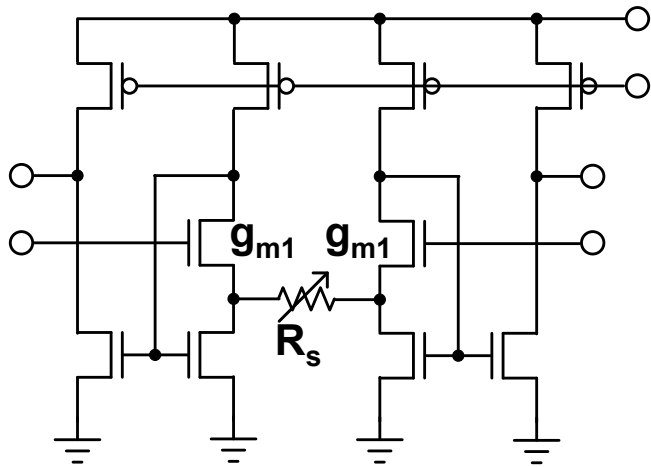


最近のアナログ回路は規則性があるものが多い
規則性のある回路は自動生成が容易



帰還型 g_m セルの可能性

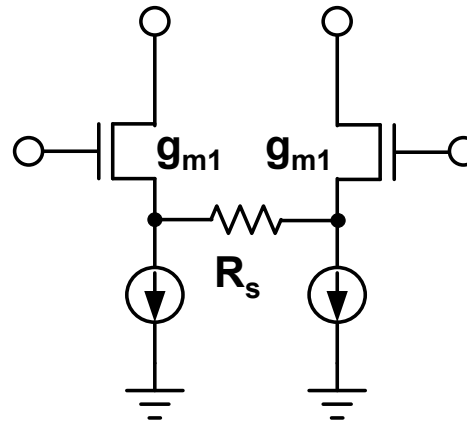
帰還型 g_m セルは線形性が高く、低電圧化も可能である。
フィルタ、VGAなど各種アナログフロントエンド回路が実現できる。



帰還型 g_m セル

$$\frac{i_o}{v_{in}} \approx \frac{2}{R_s} \frac{1}{1 + \frac{1}{g_{m1}r_D}}$$

ドレイン抵抗 r_D は十分高いので、 g_m の非線形性の影響が小さい



従来の g_m セル

$$\frac{i_o}{v_{in}} \approx \frac{2}{R_s} \frac{1}{1 + \frac{1}{g_{m1}R_s}}$$

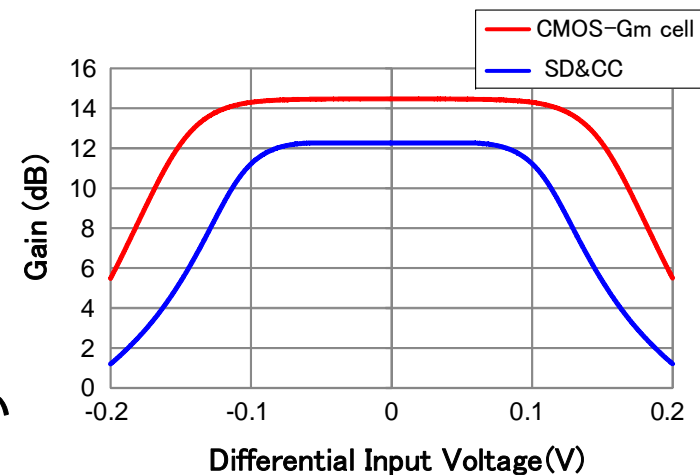
ソース間抵抗 R_s は低いので、 g_m の非線形性の影響が大きい

GBWは30GHz程度を確認

$$V_{DD\min} \approx V_T + 2V_{eff} \approx 0.6V$$

0.6V程度の低電圧動作が可能

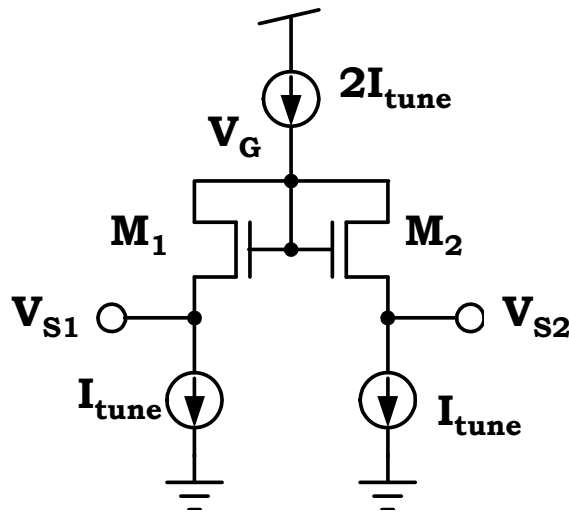
良好な線形性と高い利得



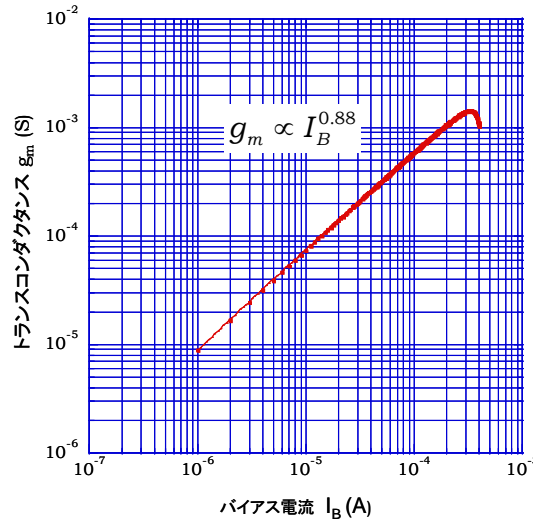
Tien-Yu Lo, Cheng-Sheng Kao, and Chung-Chih Hung, "A Gm-C Continuous-time Analog Filter for IEEE 802. 11 a/b/g/n Wireless LANs," ISSCS, vol.1, pp.41-44, Iasi, Romania, July 2007.

適用例：5次CTフィルタ

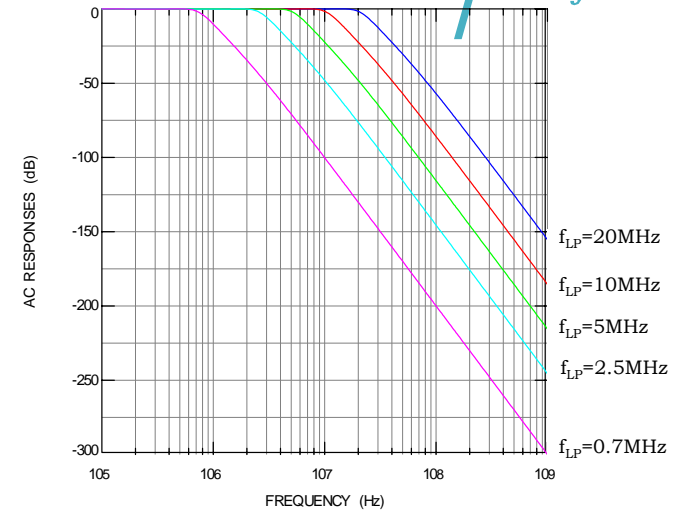
48



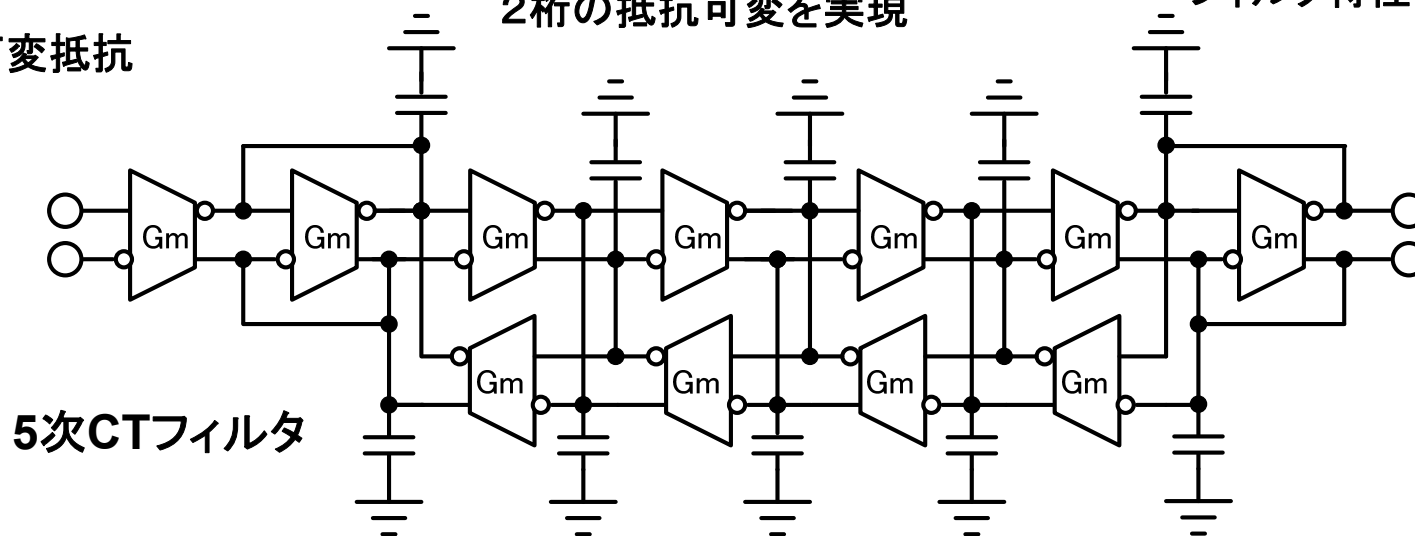
可変抵抗



2桁の抵抗可変を実現



フィルタ特性



5次CTフィルタ

浅田邦博, 松澤昭「アナログ・RFCMOS集積回路設計 応用編」 培風館

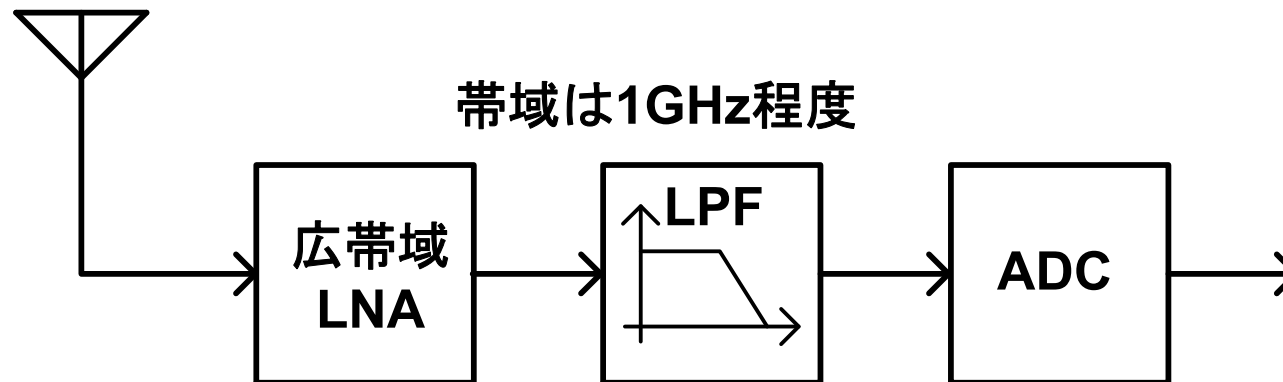
- ADCの性能向上が通信システムの性能向上の鍵。
- **フラッシュADC**は5~7ビットで数GSps程度の要求性能では最も合理的。
60GHz**ミリ波BB**システムとして今後ともに**用いられる**。
- **パイプライン型ADC**はOpAmpの利得低下や電源電圧低下により設計が困難になった。
- 補間技術を用いた**補間パイプライン型ADC**を提案した。OpAmp を用いなくても12bit, 400Msps程度の性能は可能なものと思われる。
- 12bit **SAR ADC**を開発中。**12bit, 80MSps, 3mW, 0.03mm²**のめどがつつある。**0.7V**程度の低電圧動作も可能。
- SAR ADCは**ノイズモデル**や入力端・参照電圧端などの**実装周りの回路の過渡特性**が課題。
- **SAR ADC**に**オーバーサンプリング**や**インターリーブ技術**を用いると、無線通信に必要なほとんどの領域をカバーできる。
- 今後のアナログ・ADC回路開発は**微細化**, **低電圧化**に耐え, **最少面積**, **最少消費電力**の回路コアを厳選し, **少ないコアの組み合わせ**と, レイアウトまでの**設計自動化**で各種要求に迅速に対応できることが大切。
- 最終的には**プログラマブルアナログ回路**を目指す。

1GHz帯までの受信システム？

50

TOKYO TECH
Pursuing Excellence

1GHz程度までは単にADCで変換するだけで実現できる？

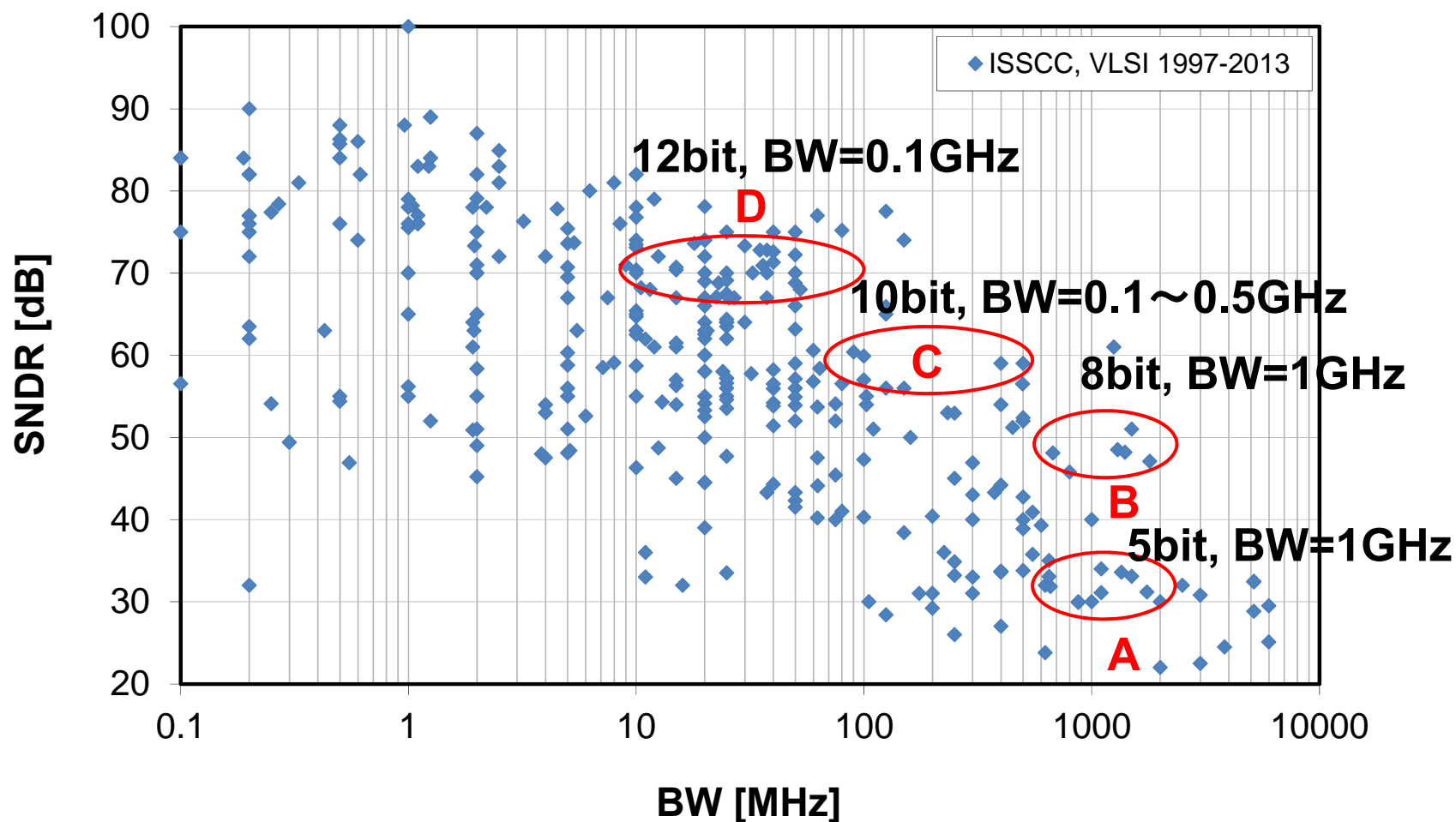


現実はどうか？

51

TOKYO TECH
Pursuing Excellence

分解能8ビット程度なら1GHzの信号が変換できる。

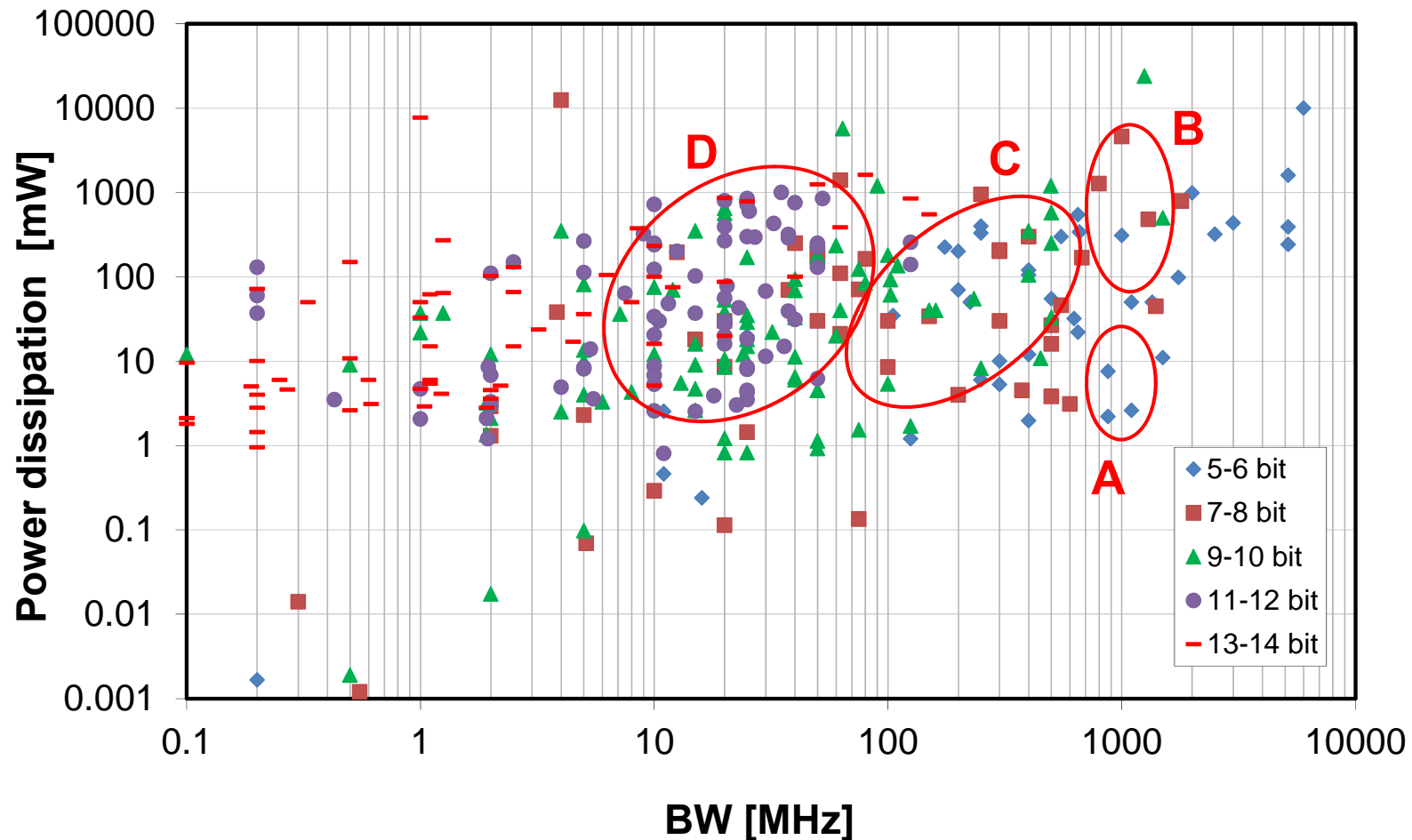


消費電力は？

52

TOKYO TECH
Pursuing Excellence

分解能8ビット程度で数Wだが、分解能6ビットなら10mW程度で1GHzの信号が変換できる。



ADCの広帯域化を図るには低ジッタクロックが不可欠

