

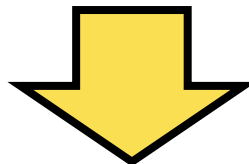
低雑音ダイナミック比較器の 低消費電力化の検討

○川嶋 理史, 宮原 正也, 松澤 昭

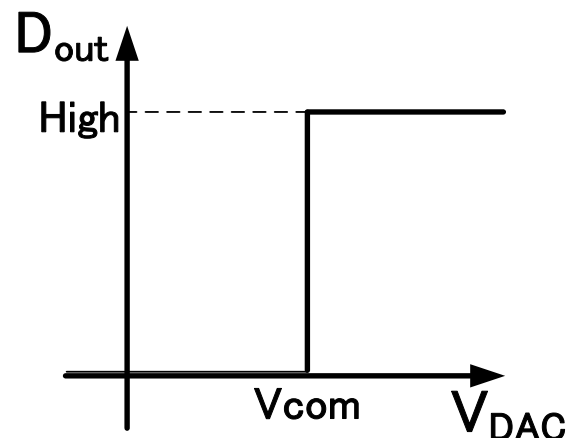
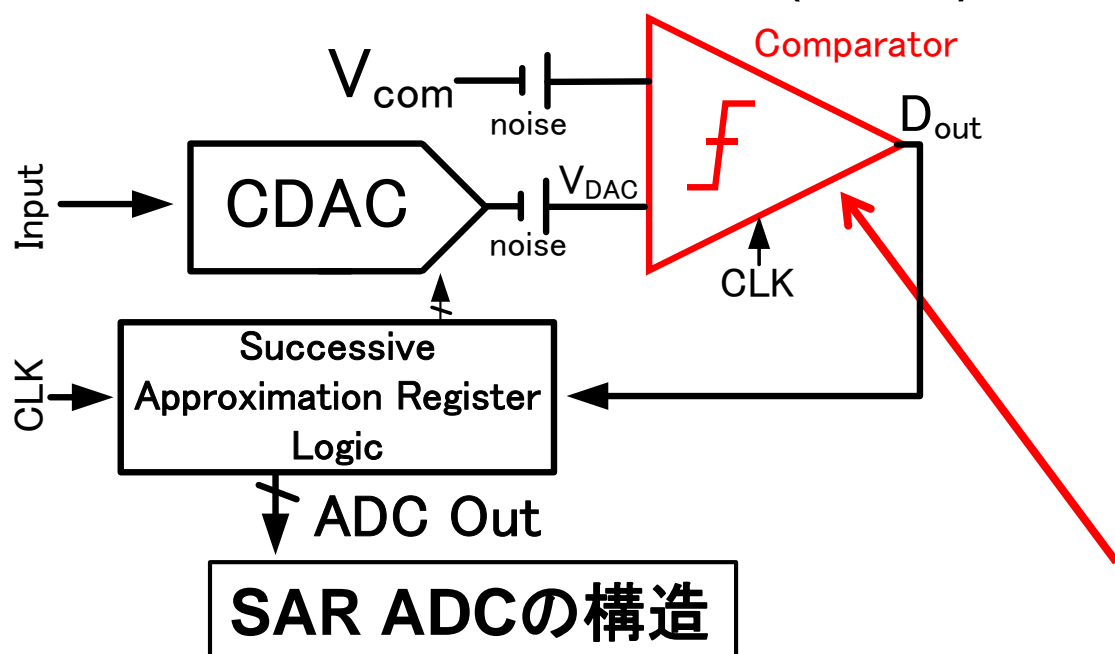
東京工業大学大学院理工学研究科
電子物理工学専攻

- 12bit構成の低消費電力であるSAR ADCに搭載することを目的とした新構造の低雑音比較器を提案する。
- 従来の比較器にp-MOSスイッチをダイナミックアンプの出力先と負荷容量の間に追加することにより、判定確定後の放電をなくすことが可能になり、消費電力が19%削減された。また、後段のラッチにより多くの電流を引きこむことが可能になり変換時間が15%短くなった。

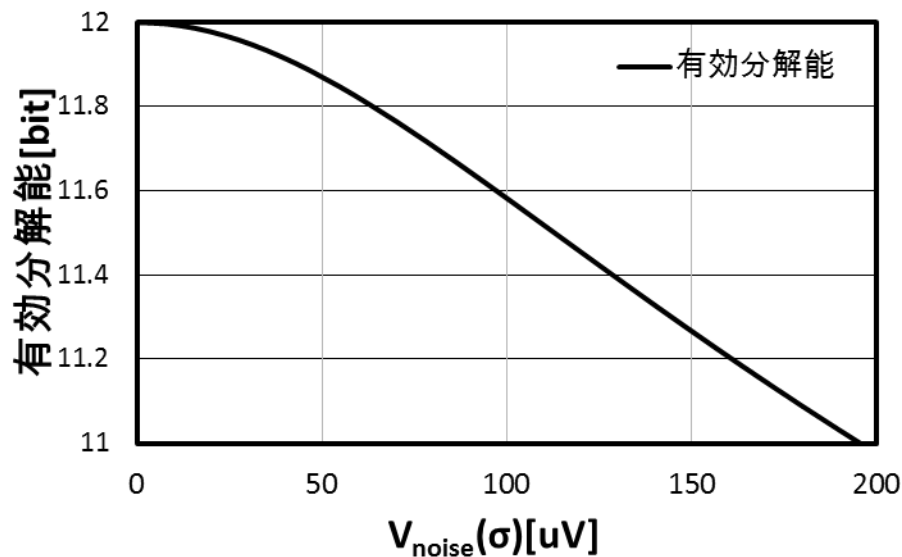
- センサーアプリケーションの需要の高まりにしたがいセンサーの読み出し回路としてADCが必要とされている



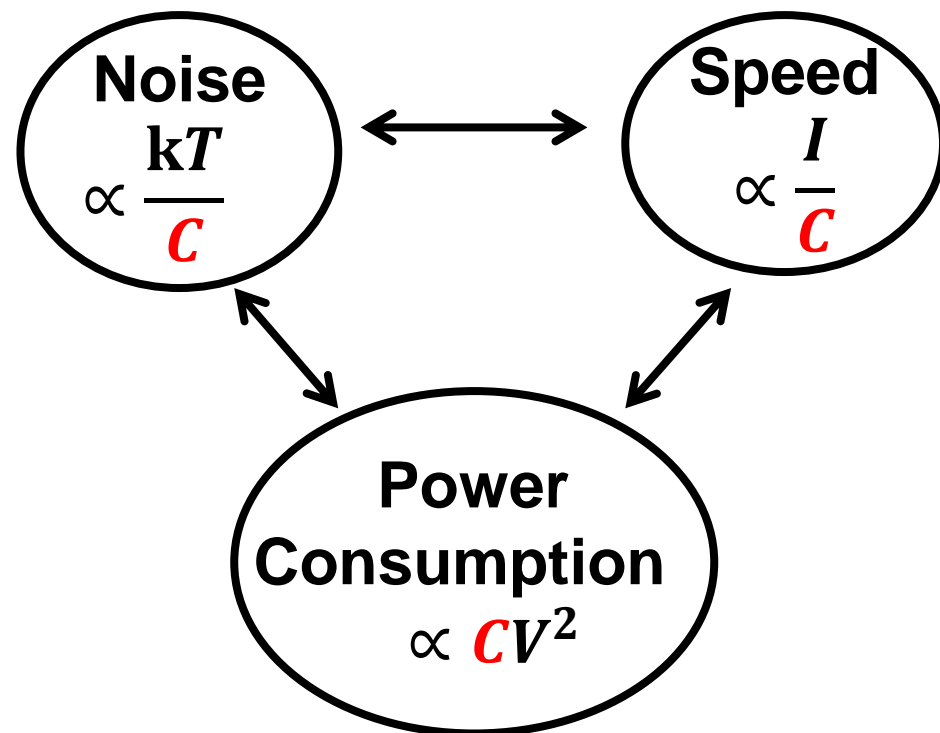
- センサーネットワークでは、低消費電力である逐次比較型(SAR) ADCが適している



- 比較器の雑音がADC全体の雑音に寄与するので低雑音でなければならない

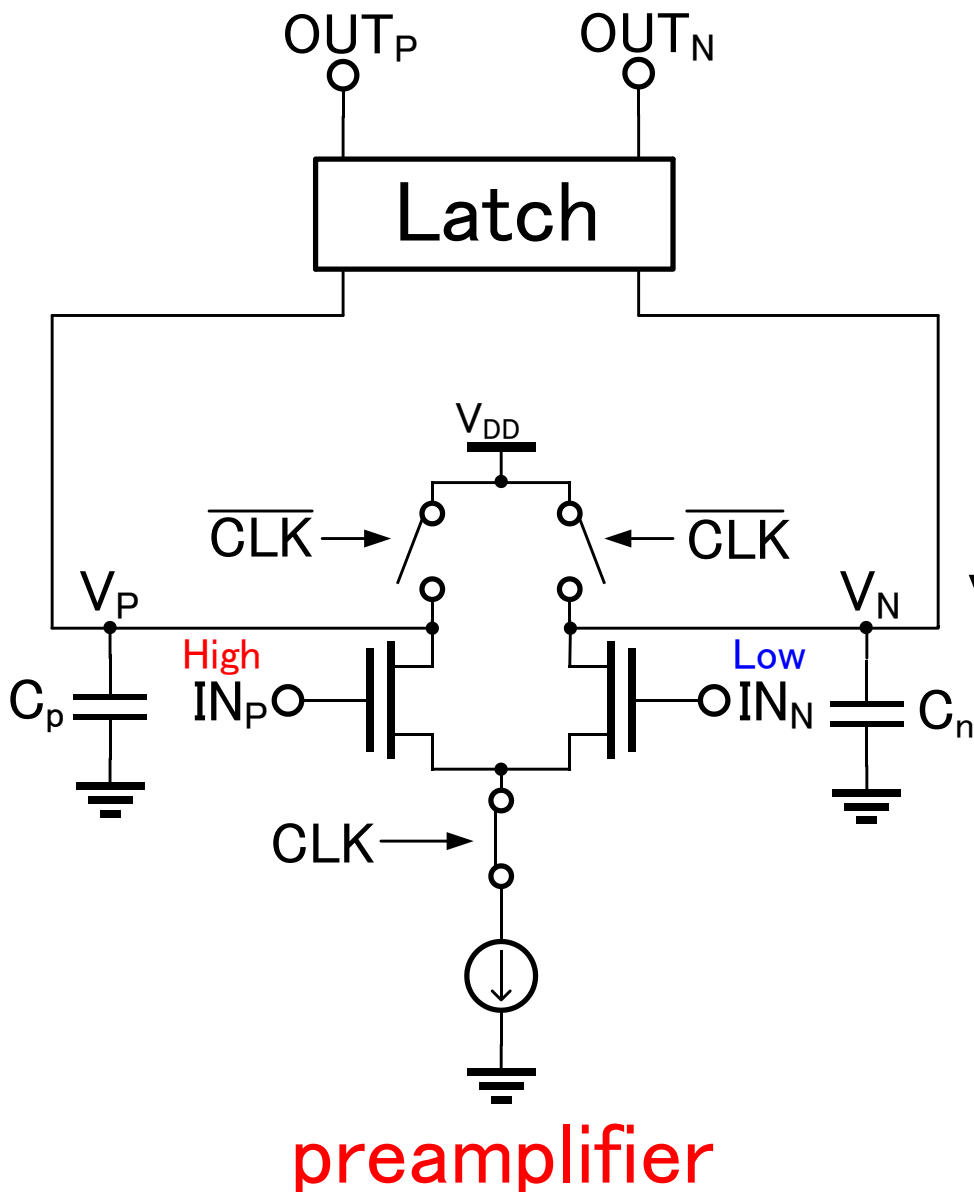


分解能12bit $V_{p-p}=1.6$ [V]



C は比較器の負荷容量

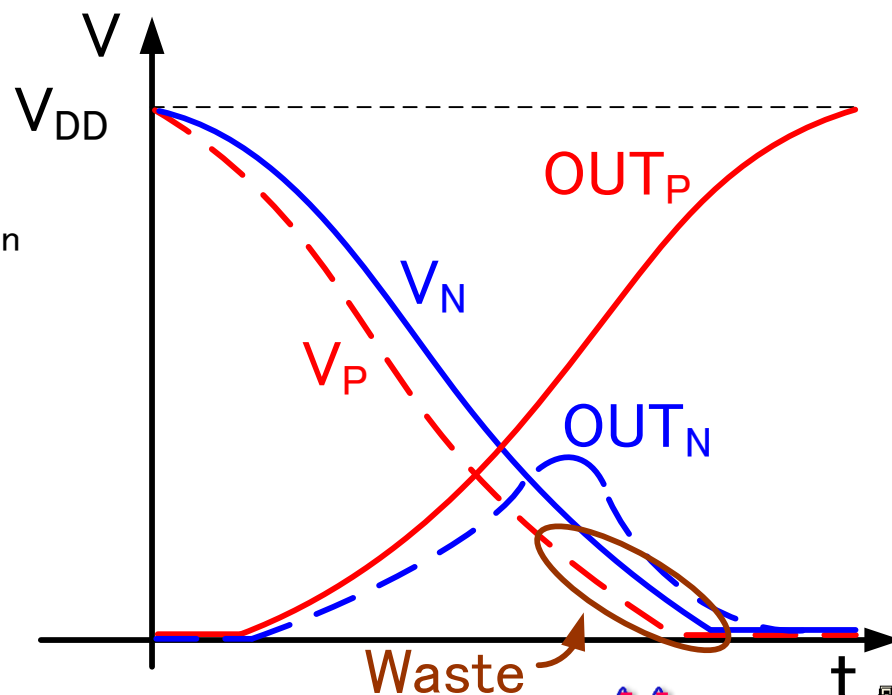
- 低雑音比較器の高速・低消費電力化が目的

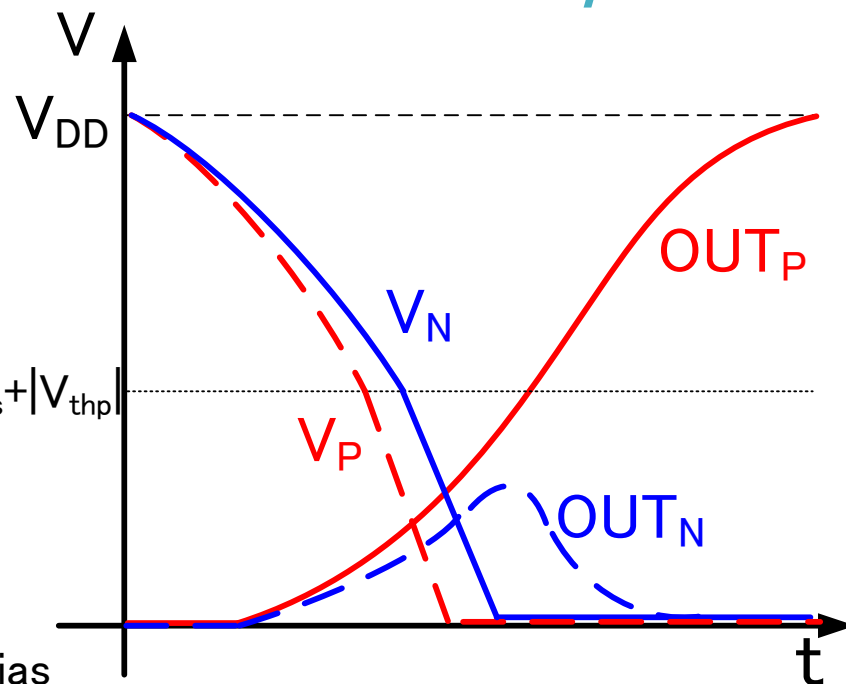
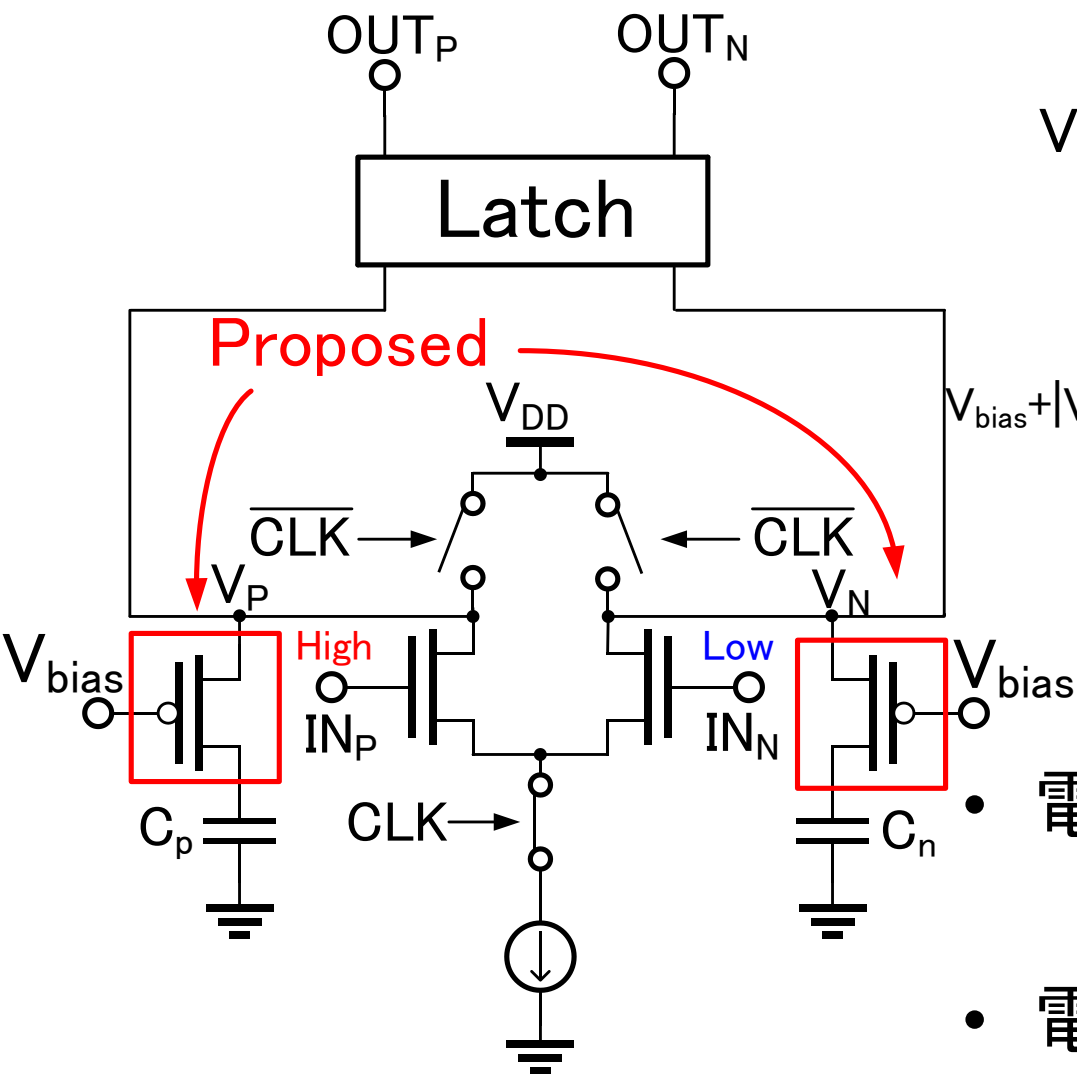


- 雑音低減のため
負荷容量を大きくする

☹消費電力が増大

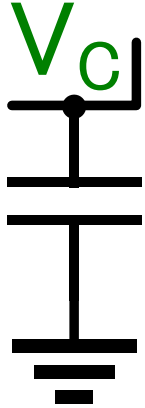
☹変換時間が増大





- 電圧降下の速度が上がる
😊 比較器の速度が向上
- 電圧降下レートが変化する
😊 差動利得が向上

従来回路



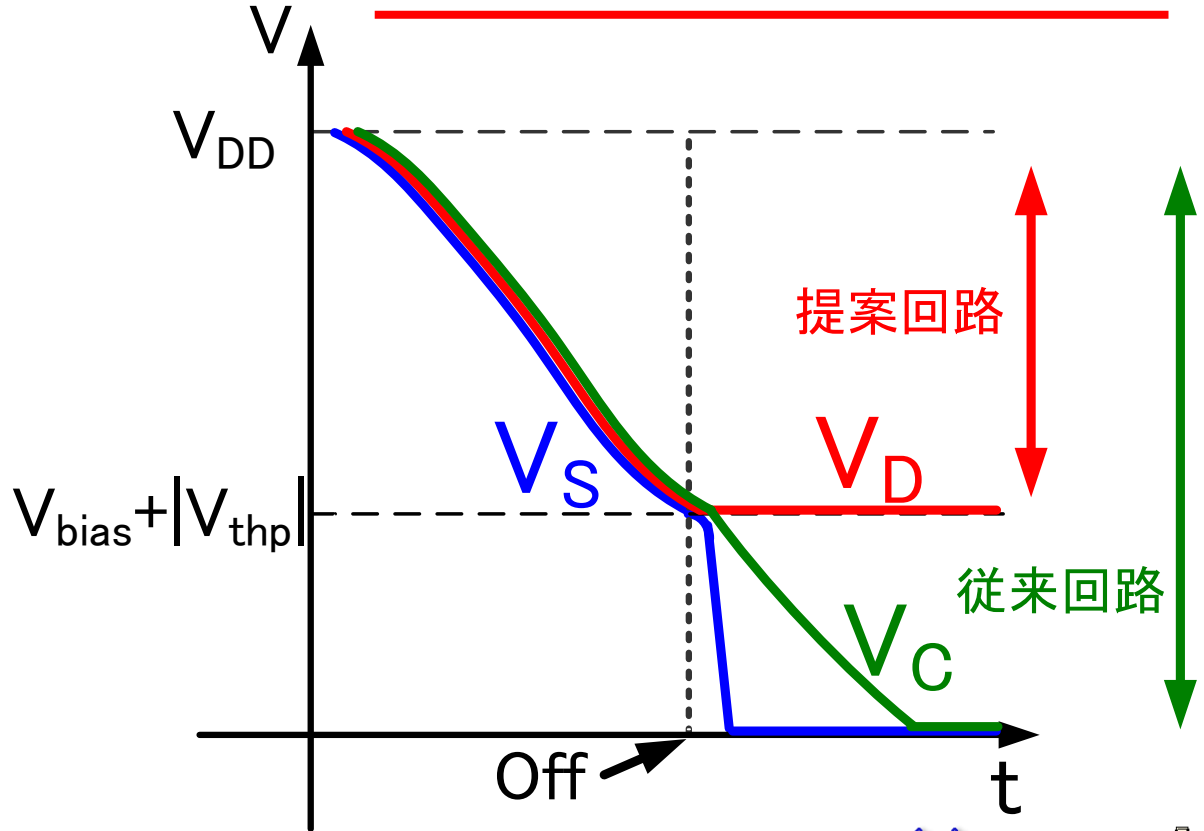
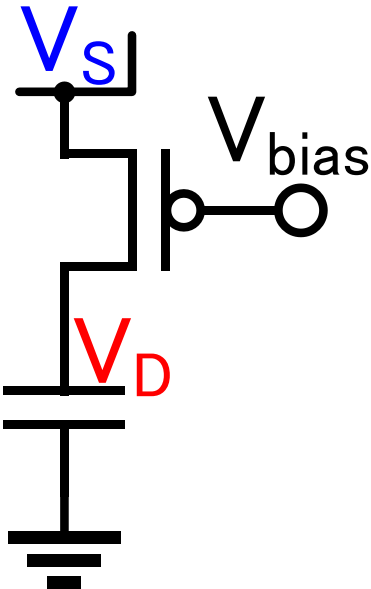
- 従来回路

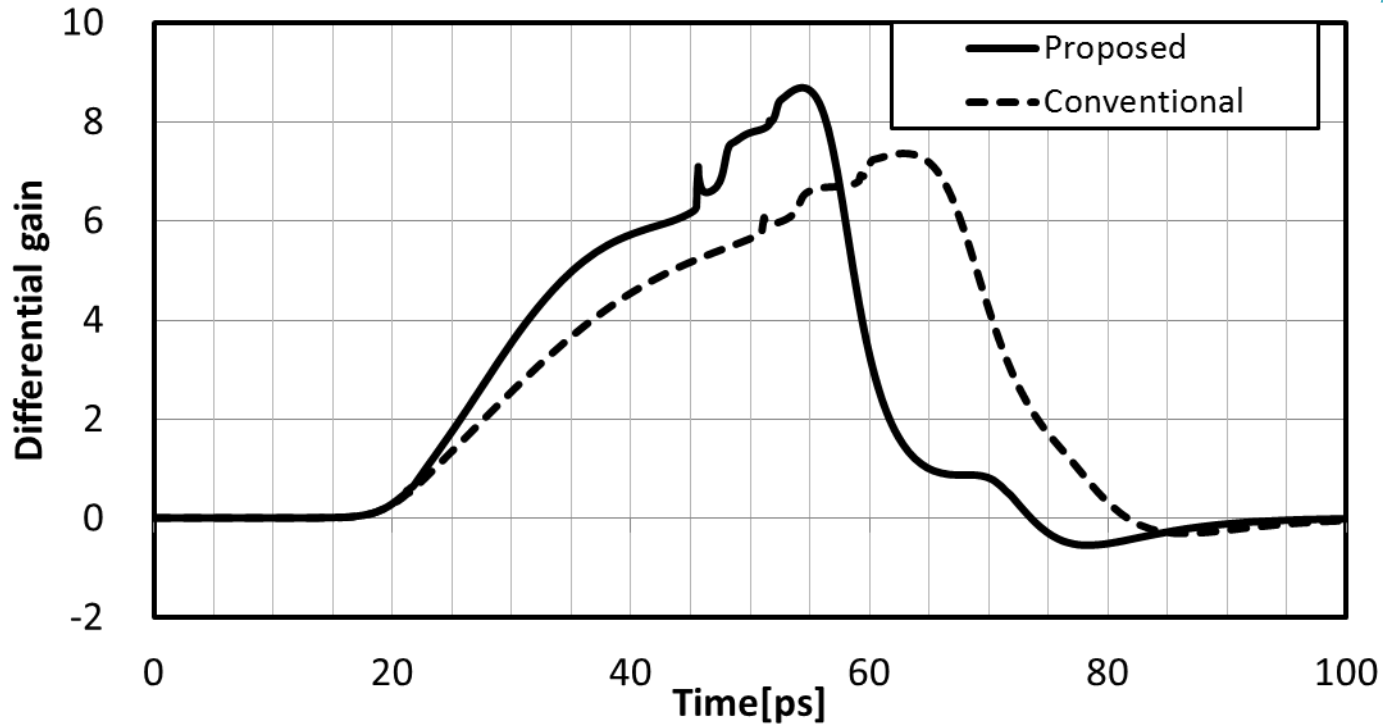
$$\frac{C}{2} V_{DD}^2$$


- 提案回路

$$\frac{C}{2} \{V_{DD} - (V_{bias} + |V_{thp}|)\}^2$$

提案回路

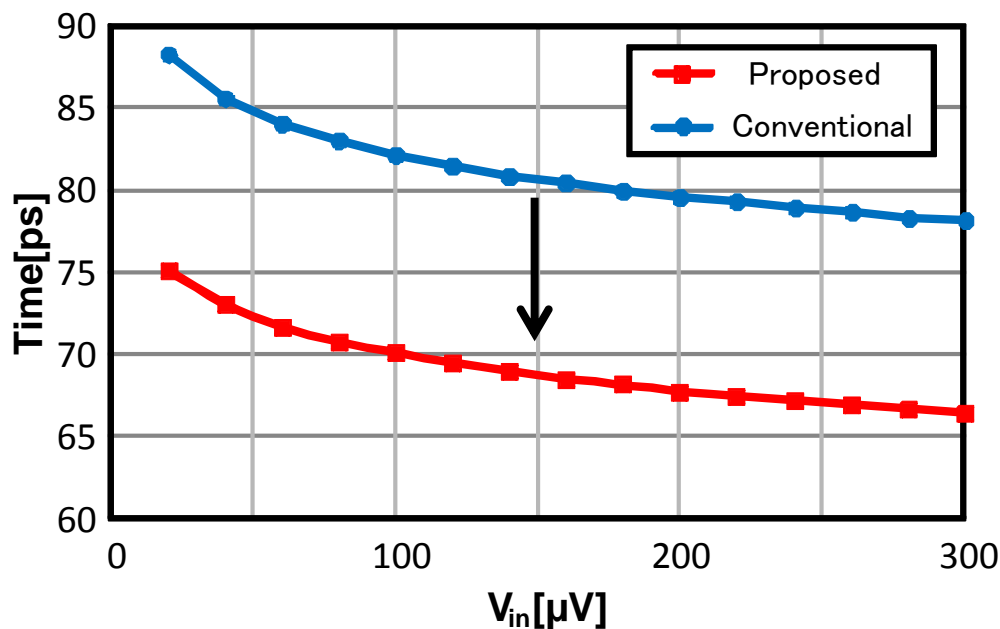




- 差動ゲインの最大値が向上
 - ゲインの立ち上がりが向上
- 
- 比較器の高速化
 - 後段のノイズの影響を軽減

- シミュレーション条件
 - 従来回路と提案回路の雑音レベルをそろえて比較

$$V_{\text{noise}} = 88 \mu\text{V}$$



	Power consumption [mW]
Proposed	1.22
Conventional	1.51

@1.2GHz動作時

😊 変換時間が約15%短縮

😊 消費電力が約19%削減

結論

- 従来回路にスイッチを入れた新しい構造の比較器を提案した。
- 雑音レベルをそのままに消費電力が19%削減され、変換時間が15%短くなった。

今後の課題

- 実際にレイアウトを行い、チップに乗せて特性を測る必要がある。その上で、実用性があるのかを評価しなければならない。

ご清聴ありがとうございました