

CMOS入力高線形アンプの検討

○金子 徹, 宮原 正也, 松澤 昭

東京工業大学大学院理工学研究科
電子物理工学専攻

高速無線通信用の高分解能・高速ADC

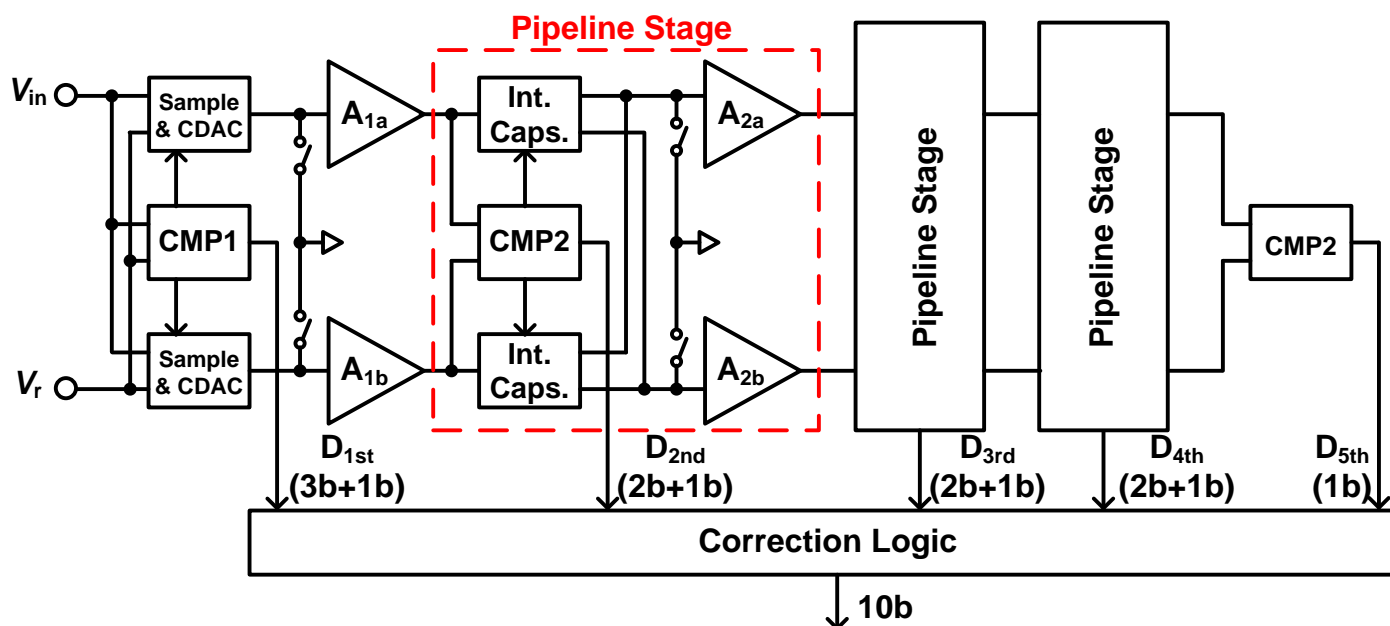
- パイプラインADC

 - ☹ 高利得なオペアンプを用いた負帰還増幅器

- 補間パイプラインADC^[1]

 - ☺ 正確な利得不要、オープンループアンプが使用可能

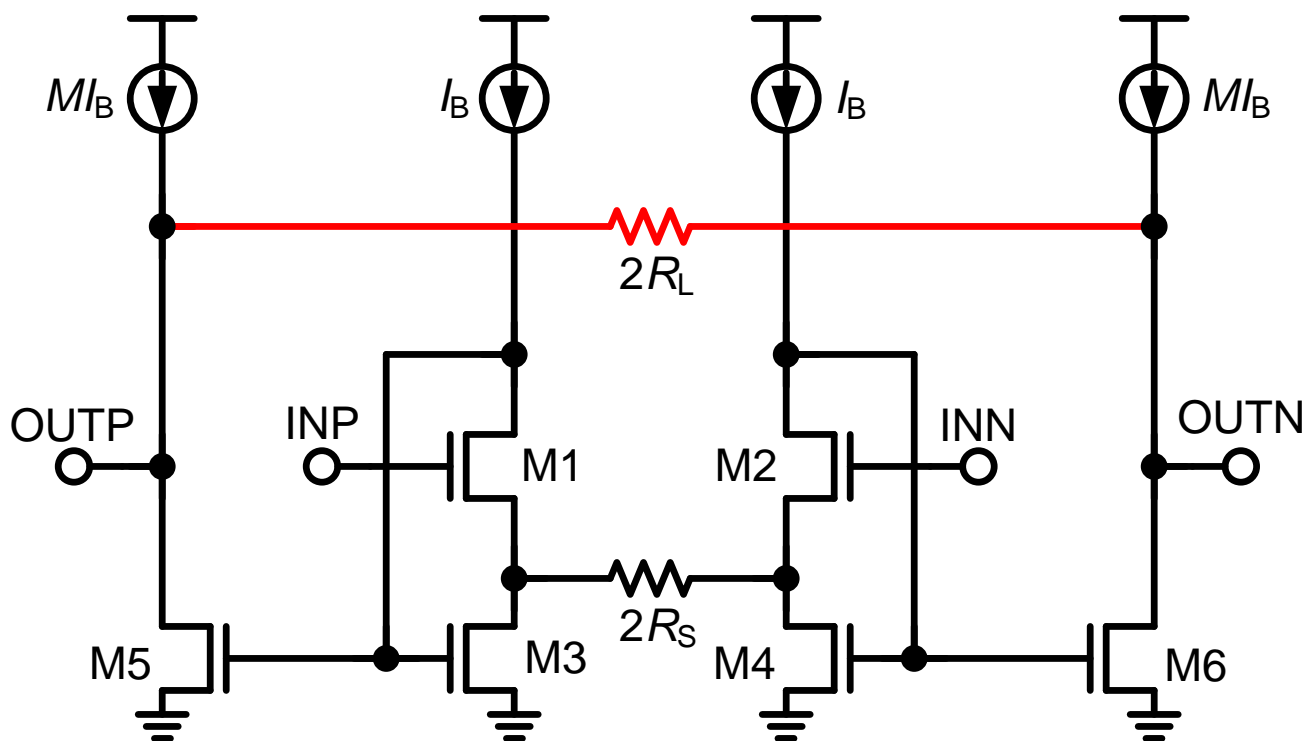
 - ☹ アンプの非線形性で性能劣化



高線形アンプ
低消費電力化

[1] Masaya Miyahara, *et al.*, "A 10b 320 MS/s 40 mW Open-Loop Interpolated Pipeline ADC," VLSI, 2011.

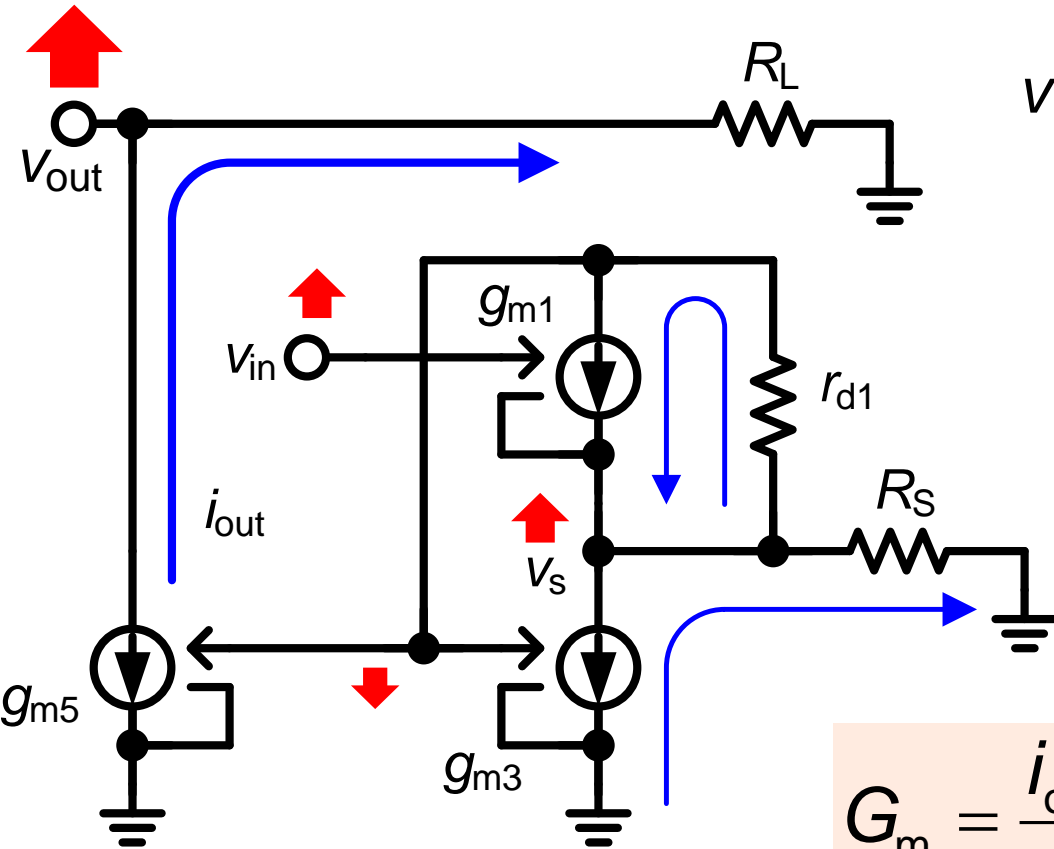
- 高線形Gmセルを使用したアンプ
 - Gmセルの出力端子間に抵抗 R_L を挟んでアンプとして使用
 - 2段アンプ構成



高線形Gmセル[2]

[2] Tien-Yu Lo, Chung-Chin Hung, "1V CMOS Gm-C Filters," Springer, 2009.

従来回路の動作



$$V_s = \frac{1}{1 + \frac{1}{g_{m1} r_{d1}} \left(1 + \frac{1}{g_{m3} R_S} \right)} V_{in}$$

$$\approx V_{in}$$

M3とM5のカレントミラー

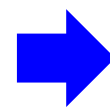
$$i_{out} \approx \frac{g_{m5}}{g_{m3}} \frac{V_s}{R_S} = \frac{M}{R_S} V_s$$

$$G_m = \frac{i_{out}}{V_{in}} \approx \frac{M}{R_S}$$

$$A_V \approx M \frac{R_L}{R_S}$$

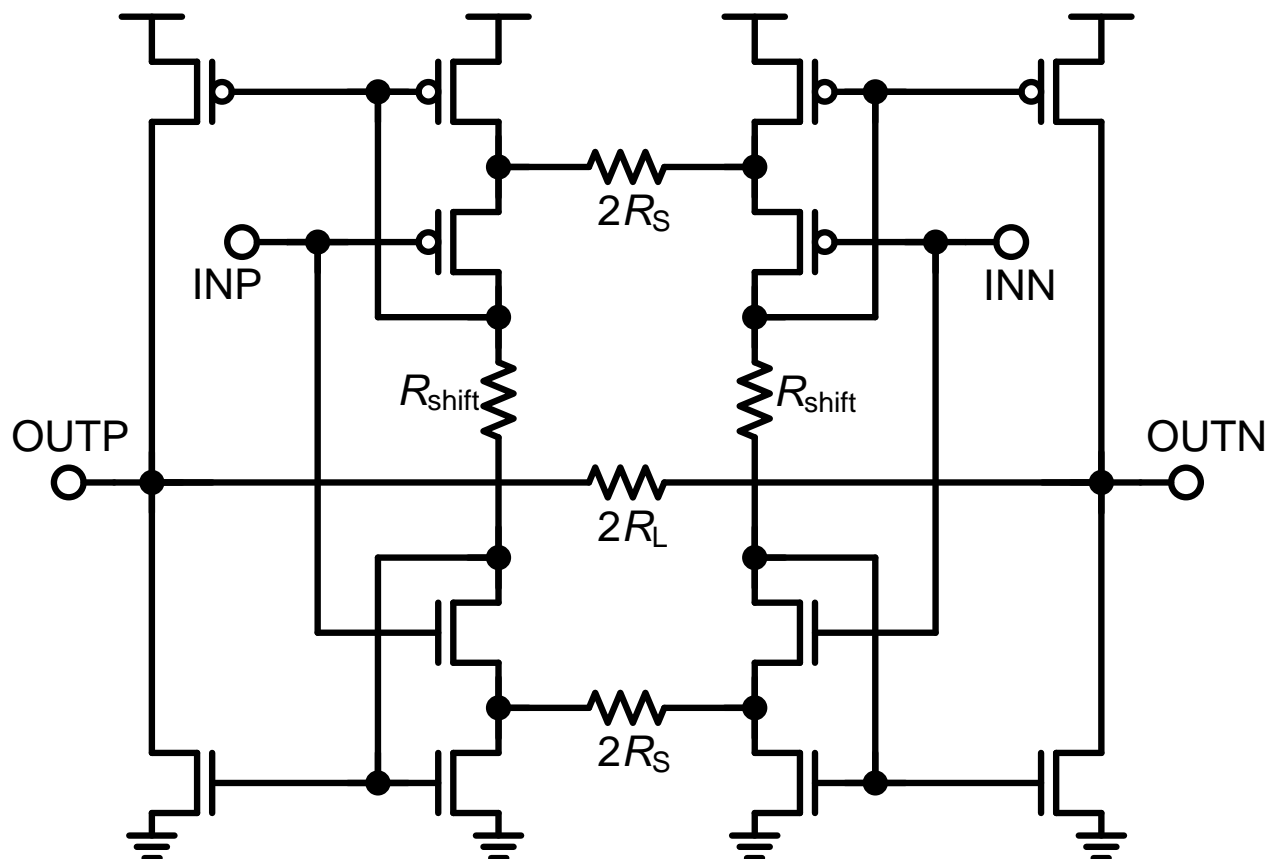
GB積を大きくする

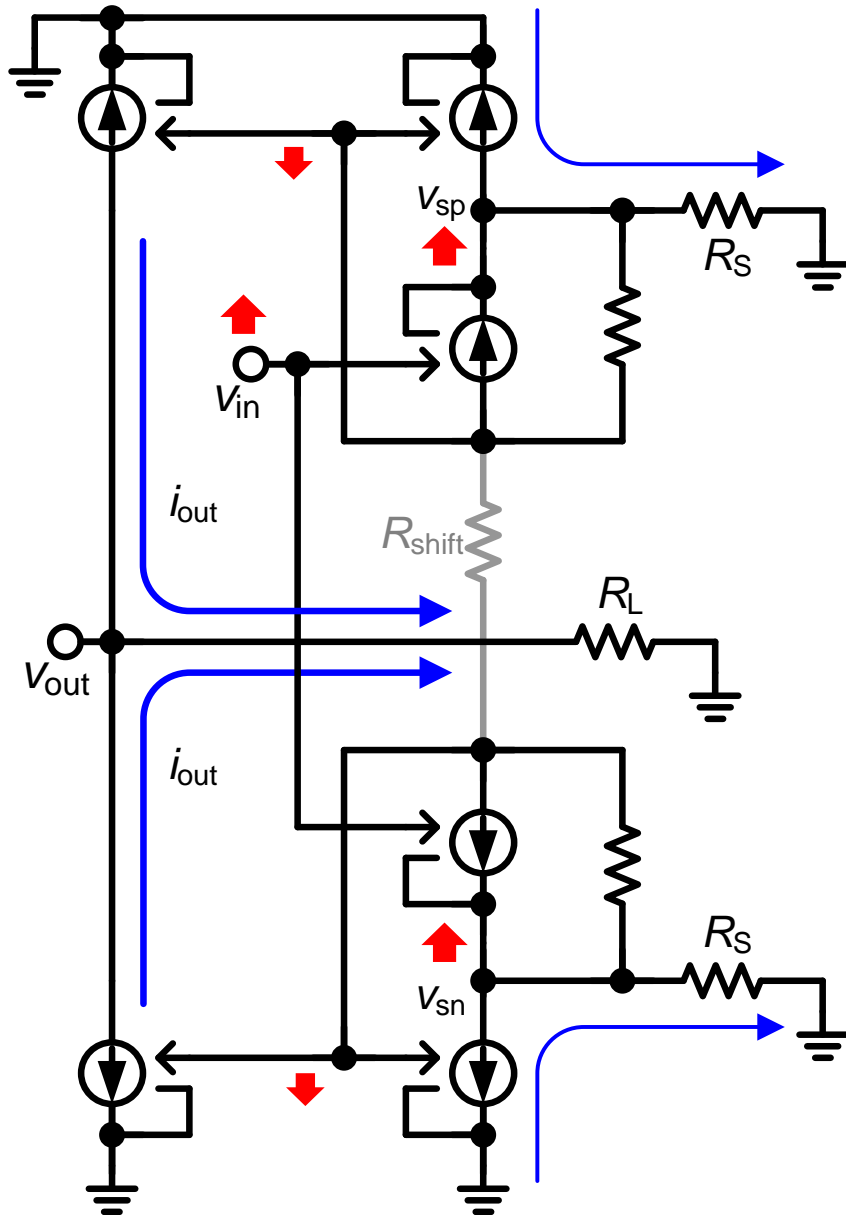
- 抵抗 R_S を小さく ☹️線形性
- ミラー比 M 大きく ☹️消費電力



トレードオフにより
低消費電力化困難

- 従来回路をComplementary入力化
- バイアス回路が不要なセルフバイアス型
 - 有効ゲート電圧 V_{eff} は R_{shift} でコントロールする





PMOS側とNMOS側が
完全にバランスしている場合



R_{shift} に小信号電流が流れず、
従来回路と同じ状況になる

差動電流のみ二倍

$$G_m = 2 \frac{i_{out}}{V_{in}} \approx 2 \frac{M}{R_s}$$

$$A_v \approx 2M \frac{R_L}{R_s}$$

😊 ミラー比半分で動作

CMOS 65nmプロセス、電源電圧1.2 Vでシミュレーション
負荷容量は1 pF、有効bit(ENOB)の劣化は理想ADC(12bit)を仮定

	従来回路	提案回路
DC利得	4.02	4.04
帯域 [MHz]	446.2	449.7
非線形性によるENOBの劣化 [bit]	0.52	0.43
入力換算ノイズ [μ Vrms]	150.5	92.0
消費電力 [mW]	5.94	3.83

- 提案回路は従来回路に対しミラー比を半分にすることで
ノイズ特性と消費電力を同時に改善

結論

- 高線形なオープンループアンプとして高線形Gmセルを用いたアンプをComplementary入力化した新規回路を提案した
- CMOS 65nmプロセスでのシミュレーションにおいて、提案回路は従来回路に対し線形性を損なうことなく消費電力を約35%削減し、入力換算ノイズが40%程度低減することを確認した

今後の課題

- 補間パイプラインADCへの実装
- 設計の最適化

ご清聴ありがとうございました