

Class-C 型電圧制御発振器における適応バイアス回路の低雑音化の検討

A Consideration of Bias Circuit to Reduce Noise for Class-C Voltage Control Oscillator

中田 憲吾 木村 健将 竹内 康揚 岡田 健一 松澤 昭
Kengo Nakata Kento Kimura Yasuaki Takeuchi Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

Class-C 型電圧制御発振器は、クロスカップルトランジスタのゲートバイアス V_{bias} をトランジスタのしきい値電圧 V_{th} よりも低く設定することで、トランジスタが導通する時間が通常の VCO よりも短くなり、位相雑音性能 (Phase Noise : PN) が改善される [1]。しかし発振開始時は電圧振幅が小さいため、 V_{bias} が低い場合、クロスカップルトランジスタが上手く動作せず、安定した発振が得られないという問題点も存在する。そこでクロスカップルトランジスタのソース電位を検出し、 V_{bias} を制御することで発振開始後に V_{bias} の値を低くしていく回路が検討されている [2]。

本研究ではクロスカップルトランジスタのソース電位検出回路として比較器と制御回路 (Control Logic)、デジタルアナログ変換器 (DAC) を組み合わせた回路構成を提案し、シミュレーションにより従来のオペアンプを用いた回路に比べ、小面積かつ低位相雑音性能が実現できることを確認した。

2 回路構成

図 1 に、従来および今回提案するソース電位検出回路を備えた Class-C 型 VCO を示す。 V_{ref} には VCO の発振が安定した状態での V_{cm} に相当する電圧を与えておき、オペアンプを用いて V_{cm} との比較を行う。発振が開始すると、テール電流源に I_{bias} が流れ、 V_{cm} の値は上昇し、 V_{ref} に近づいていく。オペアンプの比較結果を V_{bias} とすることで、発振開始後、 V_{ref} と V_{cm} の差が小さくなるにつれ、 V_{bias} の値を小さくしていくことができる。

提案回路では比較結果に応じて、制御回路の出力を変化させ、その値を DAC を通し、 V_{bias} として出力することで制御している。DAC を挿入していることで V_{bias} のノードにオペアンプのような定常電流を流すトランジスタが存在せず、従来回路よりもノイズを低減し、位相雑音性能を改善することができる。

3 シミュレーション結果

本研究ではソース電位検出回路に制御回路および DAC を用いることで、位相雑音性能の改善を図った。従来回路の場合、オペアンプの出力ノードに現れるノイズを RC フィルタを用いて遮断することにより、位相雑音性能を改善する必要がある。提案回路と従来回路で同等の低位相雑音性能 $PN(1\text{MHz Offset})@20\text{GHz} = -106.3[\text{dBc/Hz}]$ を実現する場合、ソース電位検出回路の面積は表 1 のようになる。従来回路では RC フィルタに $R_{BW}=10\text{M}\Omega, C_{BW} = 10\text{pF}$ の R,C が必要であるのに対し、提案回路では DAC を用いていることにより、表 1 のように VCO Core に占める回路面積の割合を 20 %削減できていることがわかる。

この提案回路の面積 $0.004[\text{mm}^2]$ で従来回路を再現した場合の位相雑音性能 $PN(1\text{MHz Offset})@20\text{GHz}$ を表 2 に示す。ここで RC フィルタの値は回路面積が $0.004[\text{mm}^2]$ となるように $R_{BW}=4.2\text{M}\Omega, C_{BW}=1\text{pF}$ としている。表 2 からわかるように提案回路の面積 $0.004[\text{mm}^2]$ で従来回路を再現した場合、位相雑音は 7.33dBc/Hz 劣化してしまうことがわかる。

4 まとめ

ソース電位検出回路に制御回路および DAC を用いることで提案回路では従来回路に比べ、低位相雑音性能 $PN(1\text{MHz Offset})@20\text{GHz} = -106.3[\text{dBc/Hz}]$ を実現するための回路面積を $0.014[\text{mm}^2]$ 減少、すなわち VCO Core に占める回路面積の割合を、20 %削減できることがシミュレーションにより確認された。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、キャノン財団、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

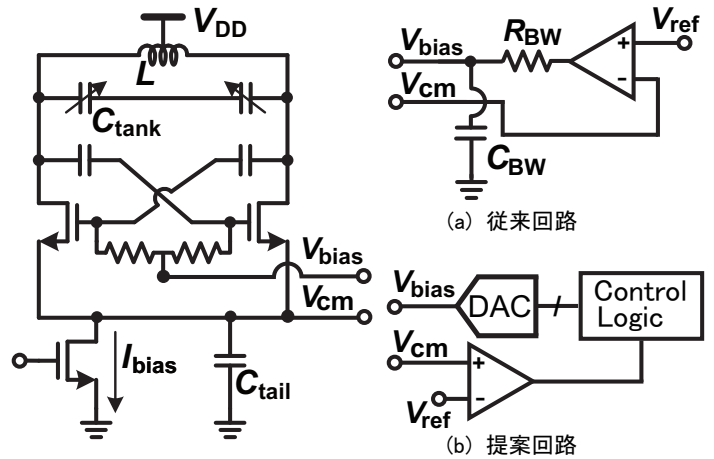


図 1 ソース電位検出回路を備えた Class-C 型 VCO

表 1 低位相雑音性能におけるソース電位検出回路の面積

$PN_{1M} = -106.3[\text{dBc/Hz}]$	Proposed	Conventional
Area $[\text{mm}^2]$	0.004	0.018
A Ratio to VCO Core [%]	5.7	25.7

表 2 同面積における位相雑音性能

Area = $0.004[\text{mm}^2]$	Proposed	Conventional
$PN_{1M}@20\text{GHz}[\text{dBc/Hz}]$	-106.3	-98.97

参考文献

- [1] Andrea Mazzanti, *et al.*, "Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise" *IEEE J. Solid-State Circuits*, vol.43,no.12,pp.2716-2729,Dec.2008.
- [2] Luca Fanori, *et al.*, "Highly Efficient Class-C CMOS VCOs, Including a Comparison With Class-B VCOs" *IEEE J. Solid-State Circuits*, vol.48,no.7,pp.1-10,Jul.2013.