

低雑音ダイナミック比較器の低消費電力化の検討

Study of low power consumption in a low noise dynamic comparator

川嶋 理史
Satoshi Kawashima

宮原 正也
Masaya Miyahara

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、センサーアプリケーションの需要の高まりにしたがい、センサーの読み出し回路としてのADCが必要とされている。センサーネットワークでは、低消費電力である逐次比較型(SAR)ADCが適している。SAR ADCでは、比較器のノイズがADC全体のノイズに寄与するので、比較器のノイズ低減のためにプリアンプの出力端に大きな容量を必要とする。しかし、比較動作のために負荷容量に蓄えられている電荷を充放電しなければならず、消費電力が増大してしまう。本研究では、スイッチの働きをするp-MOSトランジスタを挿入した比較器を提案することで比較器の低消費電力化を図った。

2 回路構成

従来用いられている比較器の回路図を図1に示す。比較器はプリアンプとラッチから構成されており、ラッチがプリアンプで増幅された差電圧を検知して判定を行う[1]。このとき、後段のラッチが比較結果を出しているにもかかわらず、前段のプリアンプの容量からの電荷の放電が続いている。この放電は消費電力の増大を招くのでこの放電をなくすために図2に示すようにp-MOSトランジスタ(M₆、M₇)の挿入を提案する。そのときの応答波形を図3に示す。

3 シミュレーション結果

従来の比較器と提案する比較器の比較を行った。今回、比較器を周波数1.2GHzで動作させて、そのときの応答と消費電力のシミュレーションを行った。比較のため従来の比較器と提案する比較器のノイズ電力を同じにしている。図3より、従来の比較器では、容量に蓄えられた電荷の放電がすべて行われているのに対して、新たに提案する比較器の放電は、 $V_{bias}-V_{thp}$ でM₆、M₇のトランジスタがオフされて止まっているのがわかる。これによって、ラッチがかかったあとの放電を低減することができる。その結果、従来の比較器の消費電力が1.51mWであったのに対して提案する比較器の消費電力は、1.22mWとなった。また、途中でプリアンプの出力から見える負荷容量が減少するので出力の電圧降下が速くなり、ラッチにより多くの電流を引き込むことができ、高速動作が可能になる。シミュレーションでは、15%の速度の向上が確認できた。また、速く電圧降下がおきるノードでは、M₆、M₇のトランジスタがさらに速く電圧降下が起きるように作用するので図4に示すように、差動利得が向上する。プリアンプの差動利得が向上することで、後段のノイズの影響を小さくすることができる。

4 まとめ

従来の比較器にスイッチの働きをするp-MOSトランジスタを挿入することで電荷の余分な放出を削減した。この結果、消費電力を19%削減し、速度を15%向上させることができた。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。またAFSプラットフォームをご提供いただいたBerkeley Design Automation社に感謝する。

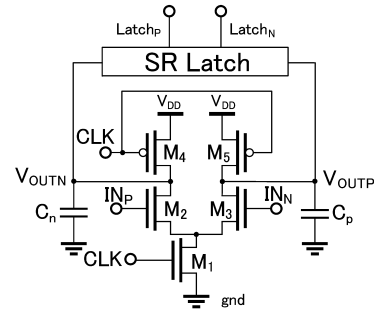


図1 従来の比較器の回路図

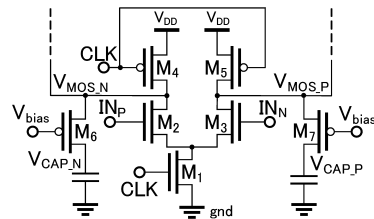


図2 提案する比較器の回路図

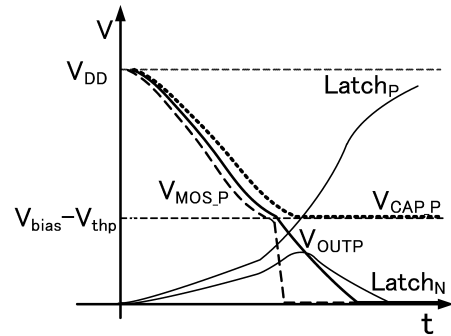


図3 応答波形

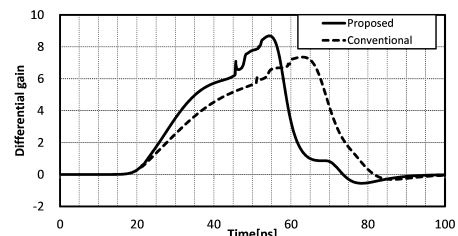


図4 差動利得

参考文献

[1] M. Masaya, et al., "A low-noise self-calibrating dynamic comparator for high-speed ADCs," A-SSCC Papers, pp.269-272, Nov. 2008.