

電圧制御型発振器における電源電圧変動耐性向上のための電源ダンピングの検討

A study of supply-dumping to increase tolerance for supply-voltage variation

木村 健将 竹内 康楊 岡田 健一 松澤 昭
Kentō Kimura Yasuaki Takeuchi Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

発振器が所望周波数で発振することは定められた通信規格により送受信を行う上で必要不可欠であるが、電源電圧の変動によって発振周波数は大きな影響を受ける。本稿では電源電圧変動に対して感度の高い回路箇所を解析し、変動の影響を最小限にする手法として電源ダンピングについて検討した。

2 プッシング

今回検討した電圧制御発振器 (VCO) の回路構成を図 1 に示す。LC タンク部の容量成分が VCO の発振周波数を決定し、この容量を可変にすることで発振周波数を変化させる。しかし送受切替時などに電源電圧が変動し、発振周波数が意図せず変化してしまうサブライプッシングという現象が知られている。発振周波数の小さな変化であれば PLL で補償が可能であるが、サブライプッシングで大きな変化が起きた場合補償が間にあわず、送受信切替動作が遅延する原因となる。

3 スイッチトキャパシタ

LC タンク内の容量は主にスイッチトキャパシタ (図 2(a)) とバラクタにより構成される。スイッチトキャパシタは、スイッチと左右のキャパシタによって容量成分を構成する。オフ時の意図せぬスイッチの導通を防ぐため、スイッチトランジスタのソースドレインをオフ時には電源電圧に、オン時にはグランドに下げるため、抵抗を介してインバータで電圧を切り替えている。スイッチがオンの時は導通状態のため、スイッチの寄生容量はほとんど影響しないが、オフ時は寄生容量が無視できない。シミュレーションによる解析の結果、オフ時にインバータの出力電圧が電源電圧の変動に連動して変化し、その揺れがスイッチトランジスタの空乏層の厚みを変化させ、寄生容量を変化させる影響が大きいことがわかった。そこで寄生容量の変化を抑える方法について検討した。

4 提案手法

本稿ではインバータとその駆動電源間に抵抗を挿入しダンピングすることにより、サブライプッシングの影響を緩和する方法を試みた (図 2(b))。サブライプッシングをステップ入力と仮定し、RC フィルタの出力の伝達関数は以下ようになる。

$$|H(j\omega)| = \frac{1}{\omega RC} \frac{1}{\sqrt{1 + (\omega RC)^2}} \quad (1)$$

この RC フィルタはサブライプッシングの急激な変化を緩やかにするため、大きな周波数の変化を防ぐことができる。そのため PLL がロック状態を外すことなく周波数補償が可能になる。

ただし抵抗値を上げすぎると、駆動電流が下がり切り替え時間の増大が無視できなくなるため、導通時の電圧降下が大きくなりすぎない範囲で、効果的に周波数の急激な変化を抑えるのは、抵抗値が $R = 10^4 \Omega$ 、時定数が $RC = 10^{-8} \text{sec}$ の時であった。この比較結果を図 3 に示す。ダンピングした時はしていない時と比べて絶対値で 1.1 MHz、相対値で 50% の周波数変動を抑えることに成功した。

5 結論

本稿ではサブライプッシングによる周波数変動の原因と解決策として RC ダンピングによる手法を検討した。時定数が $RC = 10^{-8} \text{sec}$ のとき最も周波数変動に対応できた。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、キャノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

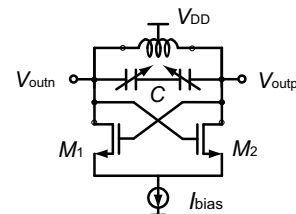


図 1 VCO

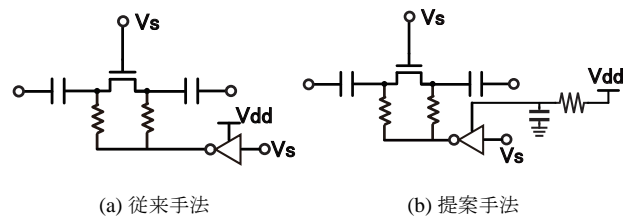


図 2 スイッチトキャパシタ

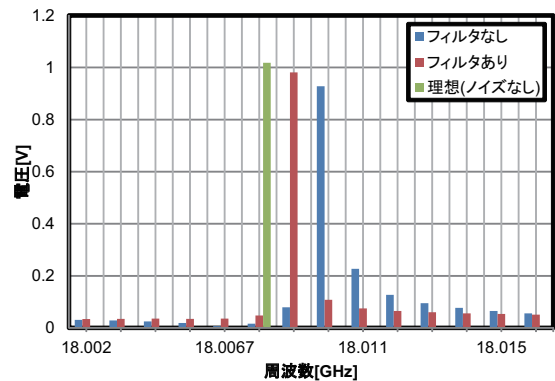


図 3 比較図

参考文献

- [1] S. Doshō, N. Yanagisawa, and M. Toyama, "A Design of Compact PLL with Adaptive Active Loop Filter Circuits" Symp. VLSI Circuits Dig. 14-3, 2003.