

CMOS 入力演算増幅器の高利得化の検討

Enhancing DC Gain of Op-Amp with Complementary Input

金子 徹
Tohru Kaneko

宮原 正也
Masaya Miyahara

松澤 昭
Akira Matsuzawa

東京工業大学大学院 理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、Si CMOS 技術の微細化と低電圧化により、演算増幅器で高い電圧利得を得るのが困難になってきている。演算増幅器は一定以上の電圧利得が無いと、適用した回路系に様々な性能低下を引き起こしてしまう。例えば、オフセット電圧の増加、直線性の劣化などである。本発表では、従来の CMOS 入力演算増幅器を改良した回路を提案し、利得の向上に関して検討を行う。

2 演算増幅器の電圧利得

演算増幅器の電圧利得 G_V は、トランスコンダクタンス g_m とドレインコンダクタンス g_d との間に、次の関係を持つ。

$$G_V \propto \left(\frac{g_m}{g_d} \right)^n$$

ここで n は増幅段数である。 g_m 及び g_d はそれぞれバイアス状態でのドレイン電流に比例する。したがって、 g_d を決めるトランジスタのドレイン電流のみを小さく出来れば、利得を向上することができる。

図 1 に従来の CMOS 入力演算増幅器を示す。従来の回路では、バイアス状態で g_m を決めるトランジスタ M1 のドレイン電流 I_{D1} が g_d を決めるトランジスタにも流れる。そのため、 I_{D3} を小さくすることによる利得向上は見込めなかった。

図 2 に提案回路を示す。入力差動電圧は M1 によって差動電流に変換され、ゲート接地回路を介してカスコード回路に注入される。この回路ではバイアス状態において、 g_m を決めるトランジスタ M1 と g_d を決めるトランジスタの間に電流は流れず、それぞれのドレイン電流を別々に設定することが可能となっている。したがって、 I_{D3} 及び I_{D4} を小さくすることで、 g_d を決めるトランジスタのみの電流が小さくなり、利得の向上が期待できる。更に、入力部の NMOS トランジスタ M1n のドレイン電流は PMOS トランジスタ M1p のドレイン電流として再利用されているため、消費電流が小さいという特長も有す。

3 シミュレーション結果

図 3 に 65nm CMOS プロセスでのシミュレーション結果を示す。電流比は、従来回路では I_{D1}/I_{D3} を、提案回路では $I_{D1}/(I_{D3} + I_{D4})$ を用いた。従来回路では電流比によって利得を大きく変化させることはできないが、提案回路では約 10 dB の利得向上が可能となる。

4 まとめ

新規な CMOS 入力演算増幅器を提案し、性能の検討を行った。提案回路では、バイアス状態でのドレイン電流比を調整することにより、従来回路に対して 10 dB 程度の利得向上を実現した。

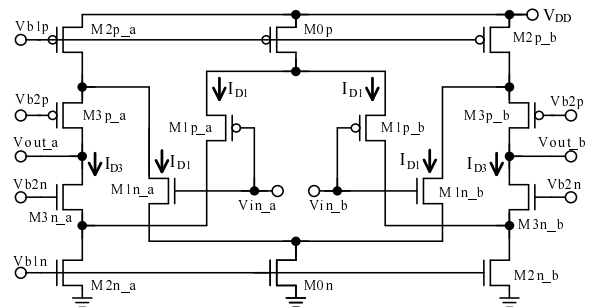


図 1. 従来の CMOS 入力演算増幅器

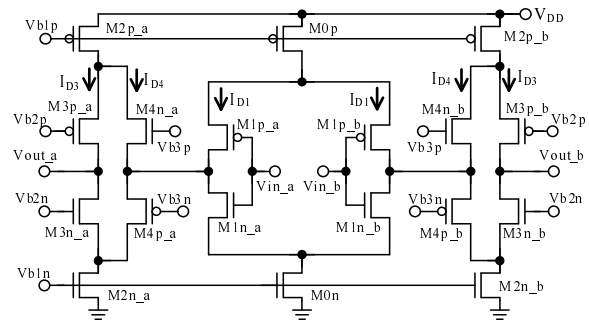


図 2. 提案回路

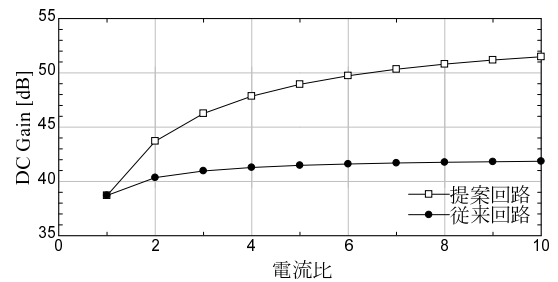


図 3. 電流比と利得

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームをご提供いただいた Berkeley Design Automation 社に感謝する。

参考文献

- [1] Ron. Hogervorst, et al., "A Compact Power-Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," *IEEE Journal of Solid-state Circuits*, vol. 29, pp. 1505-1513, Dec. 1994.