

アナログ技術の発展に向けて

松澤 昭

東京工業大学
大学院理工学研究科

- ・TV, VTRのデジタル化とアナログ技術
- ・今日のアナログ技術の開発
 - 松澤・岡田研究室の紹介
 - ・60GHz CMOSトランシーバの開発
 - ・ADC, アナログ回路開発の今後
- ・今後の発展に必要なもの
- ・まとめ

- これまでの40年間日本の民生機器メーカーが行ってきたことは電子機器のデジタル化, 小型化
- デジタル化に伴い, ADCなどのアナログ技術も発展
- デジタル化が終了した今日, 新たな発展ストーリーが必要
- アナログ技術が差別化技術として重要
- アナログ技術の方向性
 - 60GHz CMOSなど技術困難度が高いものへの挑戦
 - プログラマブルアナログ技術による設計効率の革新
- 今後の発展に必要なもの
 - 卓越性の追求
 - 失敗を許容する仕組み, 大学の活用
 - 新たな技術教育

TV, VTRのデジタル化とアナログ技術

(私の仕事史)

デジタルビデオ技術の開発開始

4

TOKYO TECH
Pursuing Excellence

78年に松下電器に入社し、79年に中央研究所に配属された。
78年に松下電器は総力を結集し6時間録画のVHSビデオの開発に成功。
以後ビデオ関連の売り上げは1兆円規模に達し、大黒柱に成長。

ビデオ機器はアナログ技術の粋と言うべきものであったが、
次のデジタルビデオ・TVの開発に向けての研究が開始された。



1979, 中央研究所の配属同期と



Panasonic VHS Video NV-6000, 1979

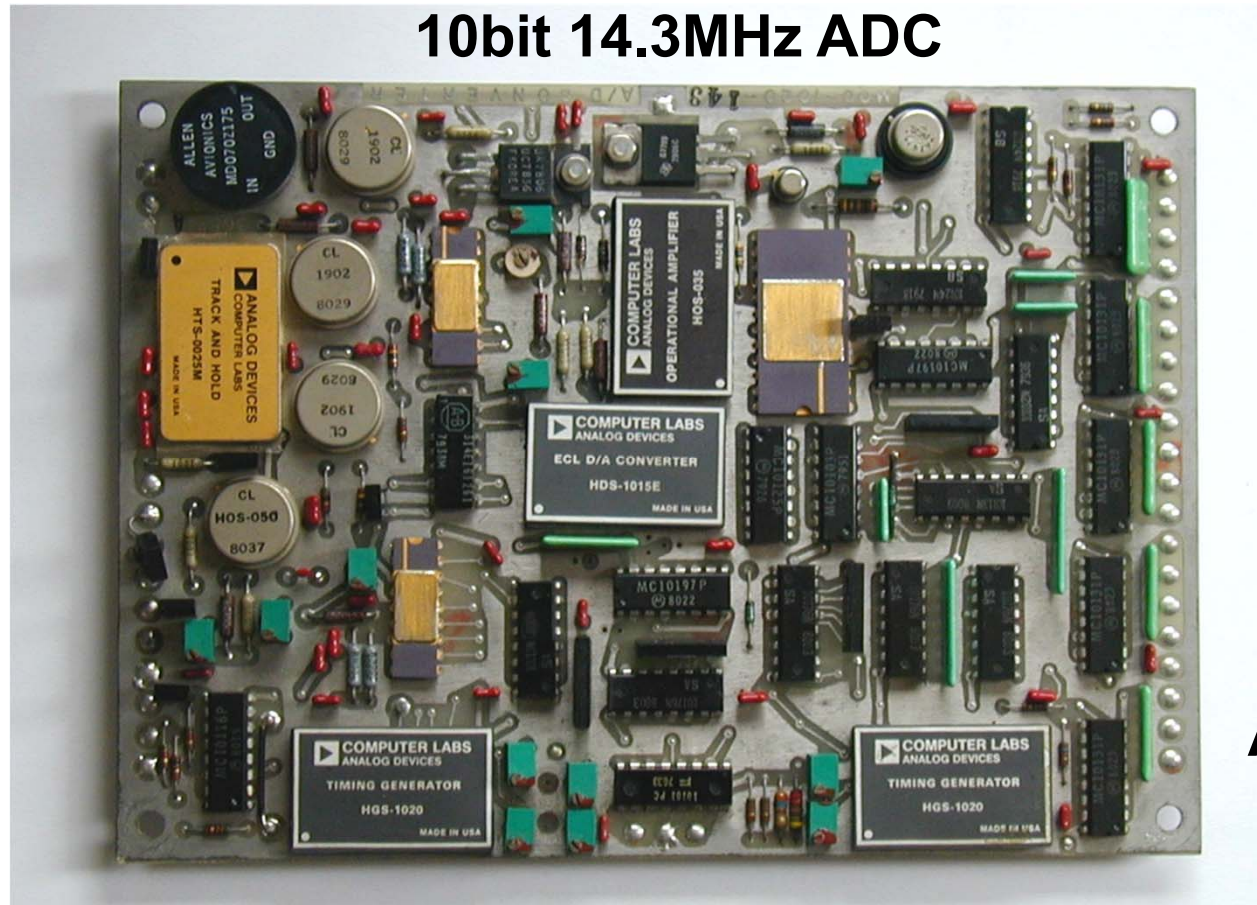
当時のビデオ用A/D変換器

5

TOKYO TECH
Pursuing Excellence

ビデオ・TVのデジタル化の大きな課題の一つはA/D変換器であった。
当時のビデオ用10bit A/D変換器は非常に高価で消費電力が大きく。
民生品はおろか、業務用にも使用できないものであった。
私の使命はADCを開発し、各種デジタルAV機器を実現することであった。

10bit 14.3MHz ADC



100万円 !!
20W

Analog Devices Inc.

世界初のビデオ用 10b ADC ICの開発

1981年バイポーラ技術を用いて高精度比較器を集積し、世界初の集積化されたビデオ用10b ADCを実現した。

Bipolar (3um)
10b, 20MS/s, 2W
\$ 800

世界初のデジタルビデオスイッチャー
256QAM無線伝送
ソウル五輪のハイビジョン中継などに使用

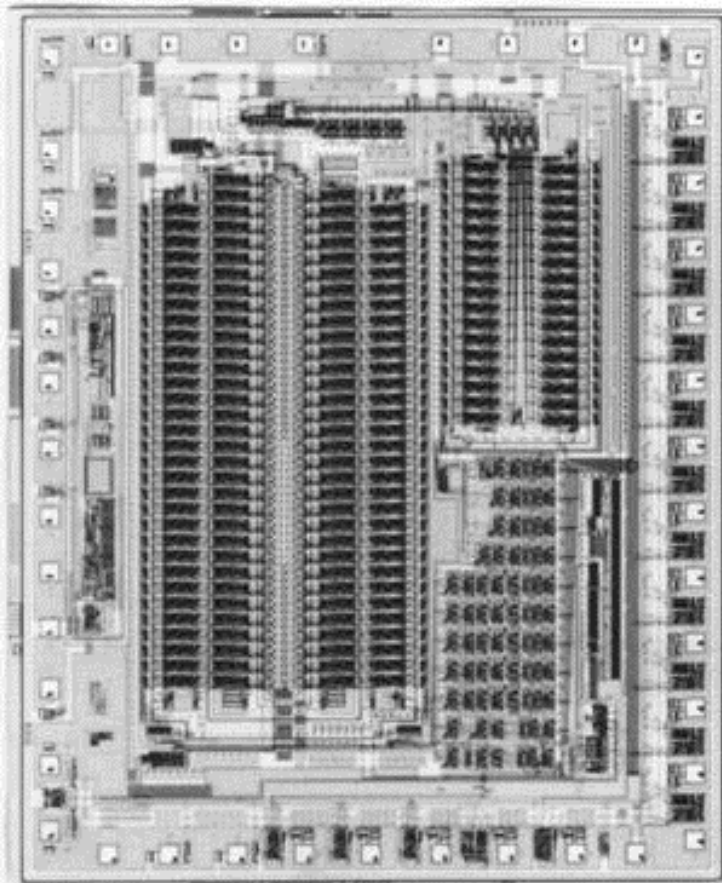
T. Takemoto and A. Matsuzawa,
JSC, pp.1133-1138, 1982.

日経エレクトロニクスの表紙を飾る



1990年，低電力10bit ADCなどを開発。テレビ放送のデジタル化のはしりである，MUSE方式のハイビジョンTV受像機を開発。

A. Matsuzawa, ISSCC 1990.



チップ写真

ハイビジョン受像器用ボード

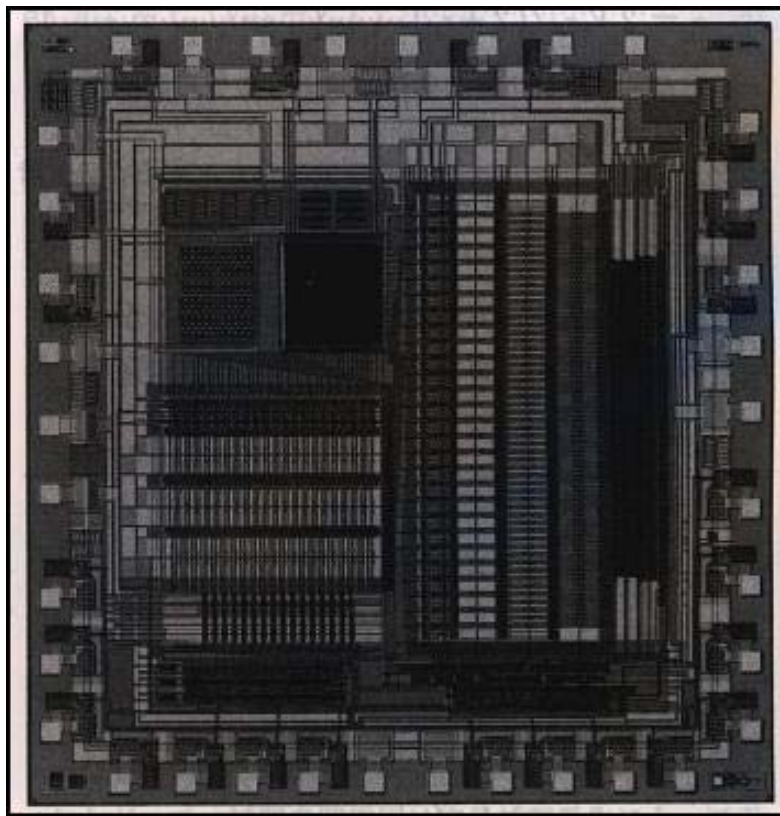


超低電力 CMOS 10b ADCの開発

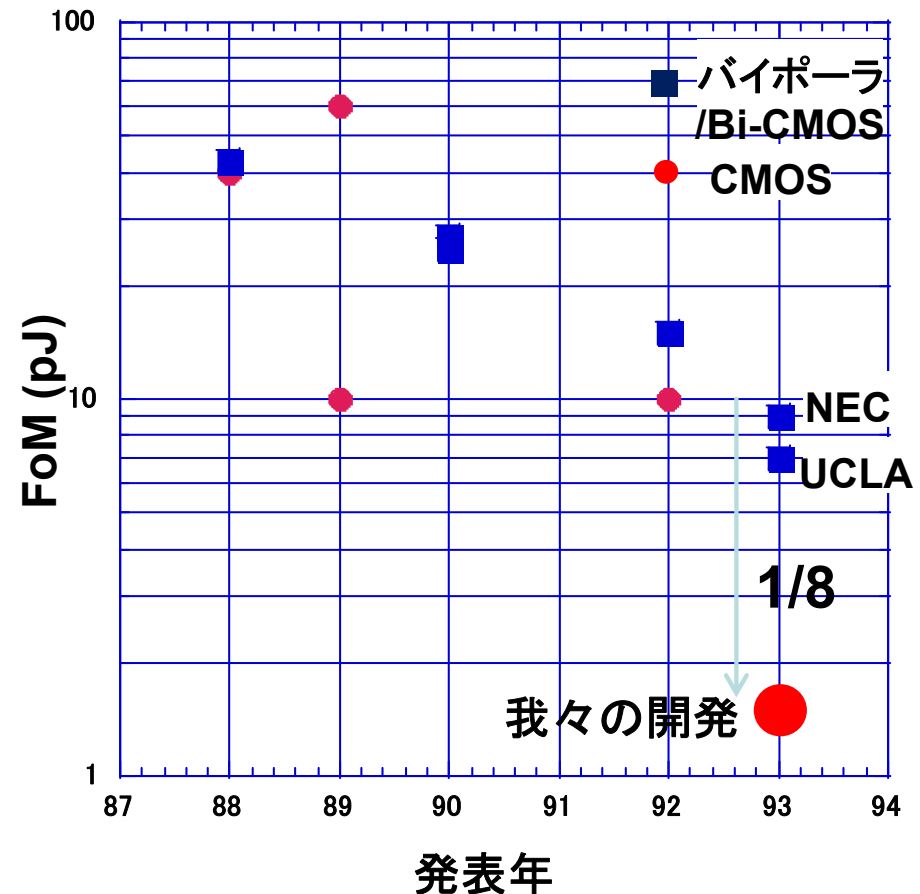
携帯用ビデオ機器に使用できる低電力、低コストADCの開発

他のADCに比べ1/8の低消費エネルギー。これ以後、ADCのCMOS化が加速
ADCのFoMはこの開発の意義を示すために考案されたと言われている

K. Kusumoto, A. Matsuzawa
ISSCC '93, JSC 1993.



CMOS 10b, 20MS/s, 30mW



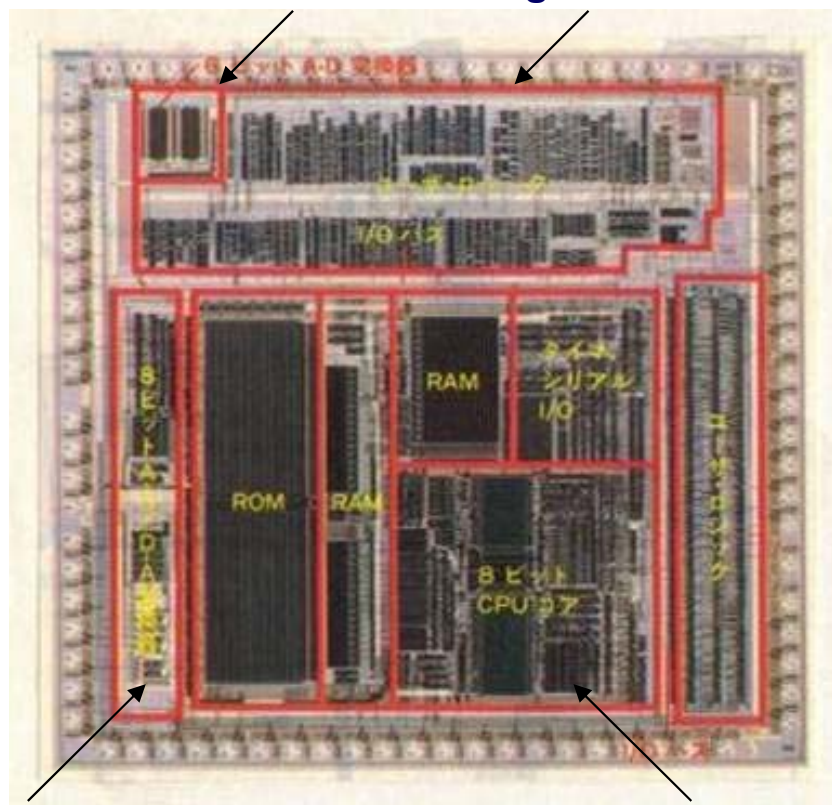
ポータブルAV機器の開発

低電力 CMOS ADCとアナデジ混載CMOS LSIの開発により
ビデオカメラのデジタル化が進展, ポータブルAV機器が発展

A. Matsuzawa, IEEE, JSC, pp.470-480, 1994.

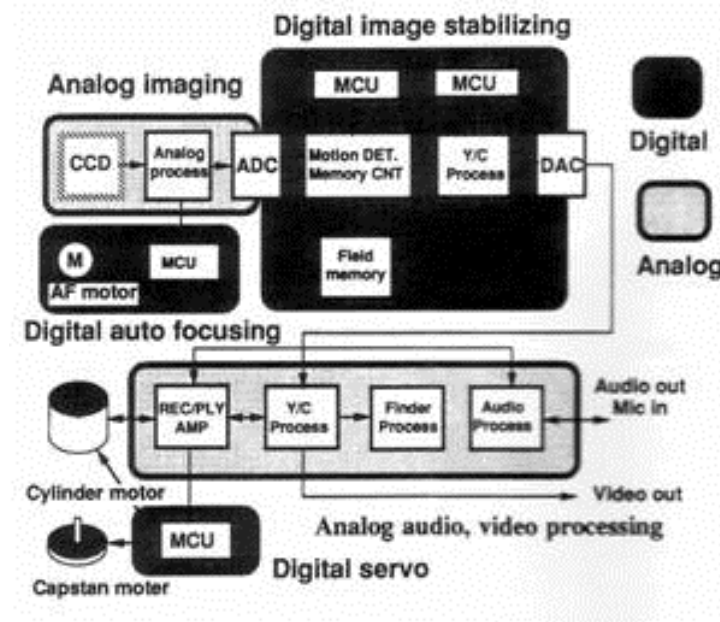
初期のアナデジ混載CMOS LSI

6b Video ADC Digital Video filter

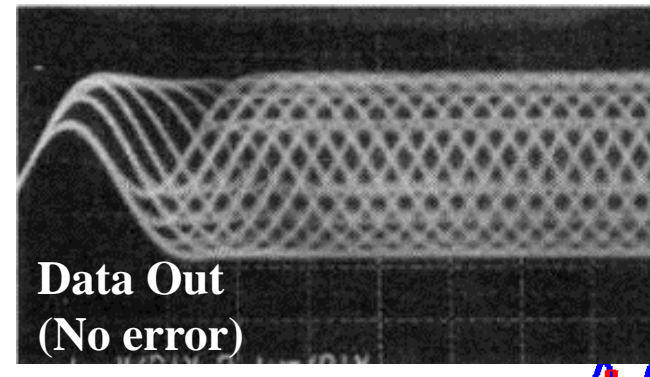
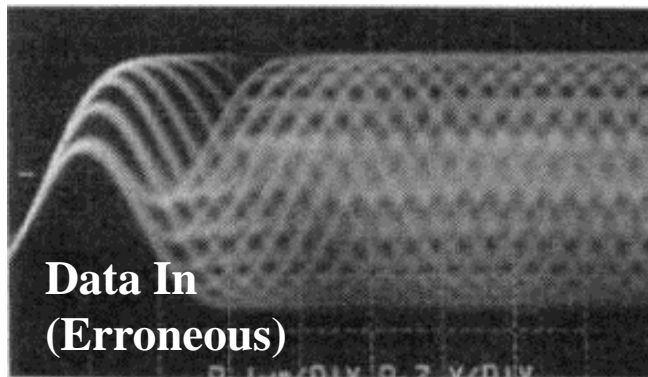
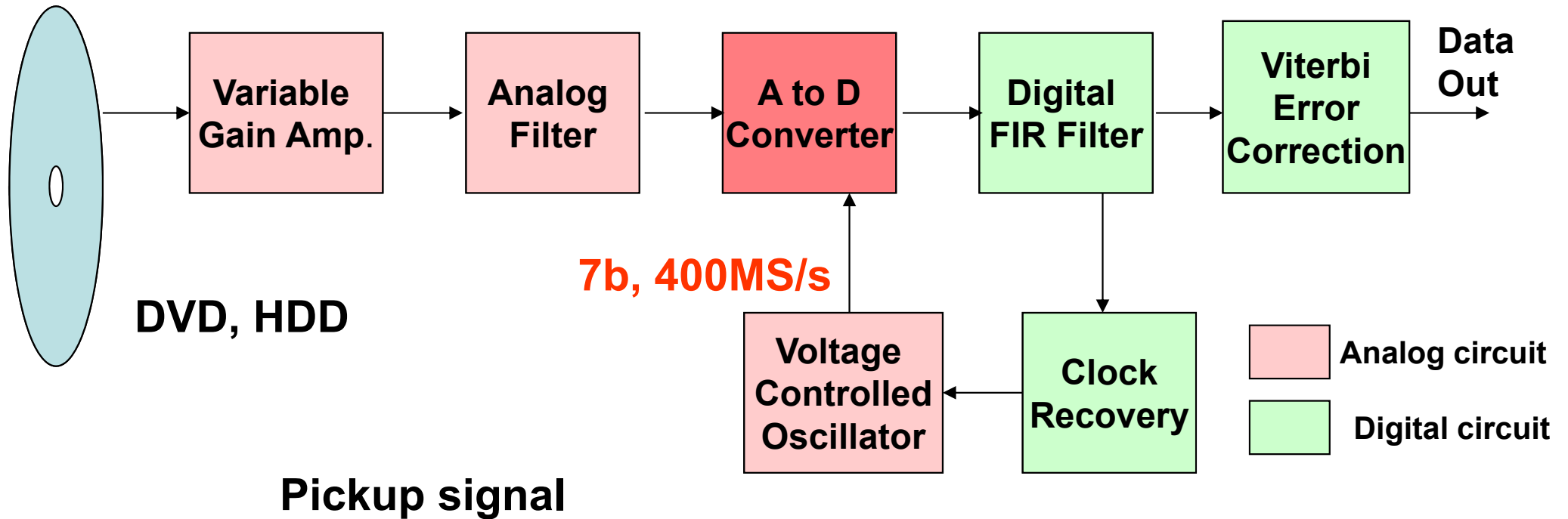


8b low speed ADC; DAC

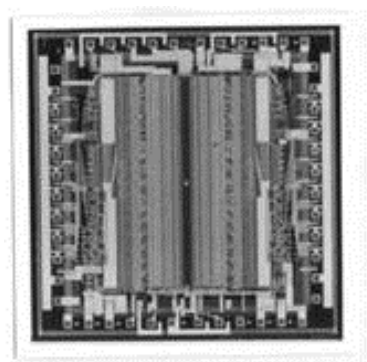
8b CPU



DVDレコーダーはSNRが低く、誤り率が高い、そこで波形等価やエラー訂正などのデジタル信号処理を使用したかったが、7b, 400MHzという計測器なみのADCを必要とした。



超高速ADCの民生機器応用にはCMOS化と低電力・低コスト化が不可欠

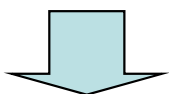


91年当時、世界最高速の6b ADC

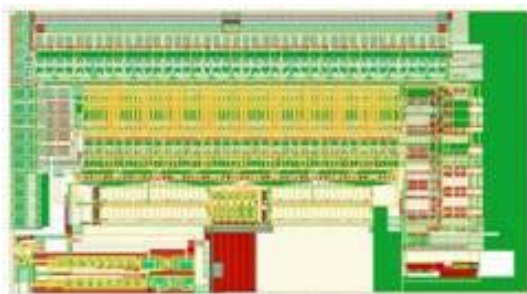
6b, 1GHz ADC
2W,
1.5um Bipolar

A. Matsuzawa, SSCC 1991

当時、世界最高速のCMOS ADC

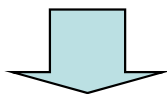


K. Sushihara and A. Matsuzawa, ISSCC 2000.



6b, 800MHz ADC
400mW, 2mm²
0.25um CMOS

高速性を維持し、電力を1/8に下げた

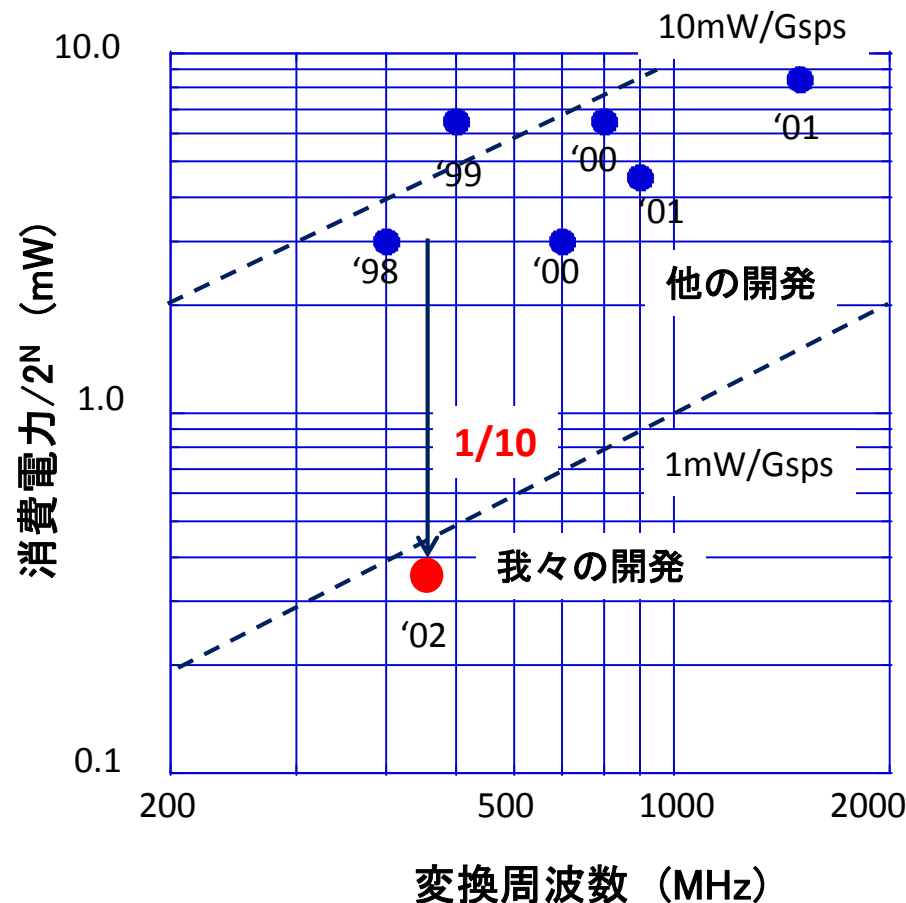


K. Sushihara and A. Matsuzawa, ISSCC 2002.



7b, 400MHz ADC
50mW, 0.3mm²
0.18um CMOS

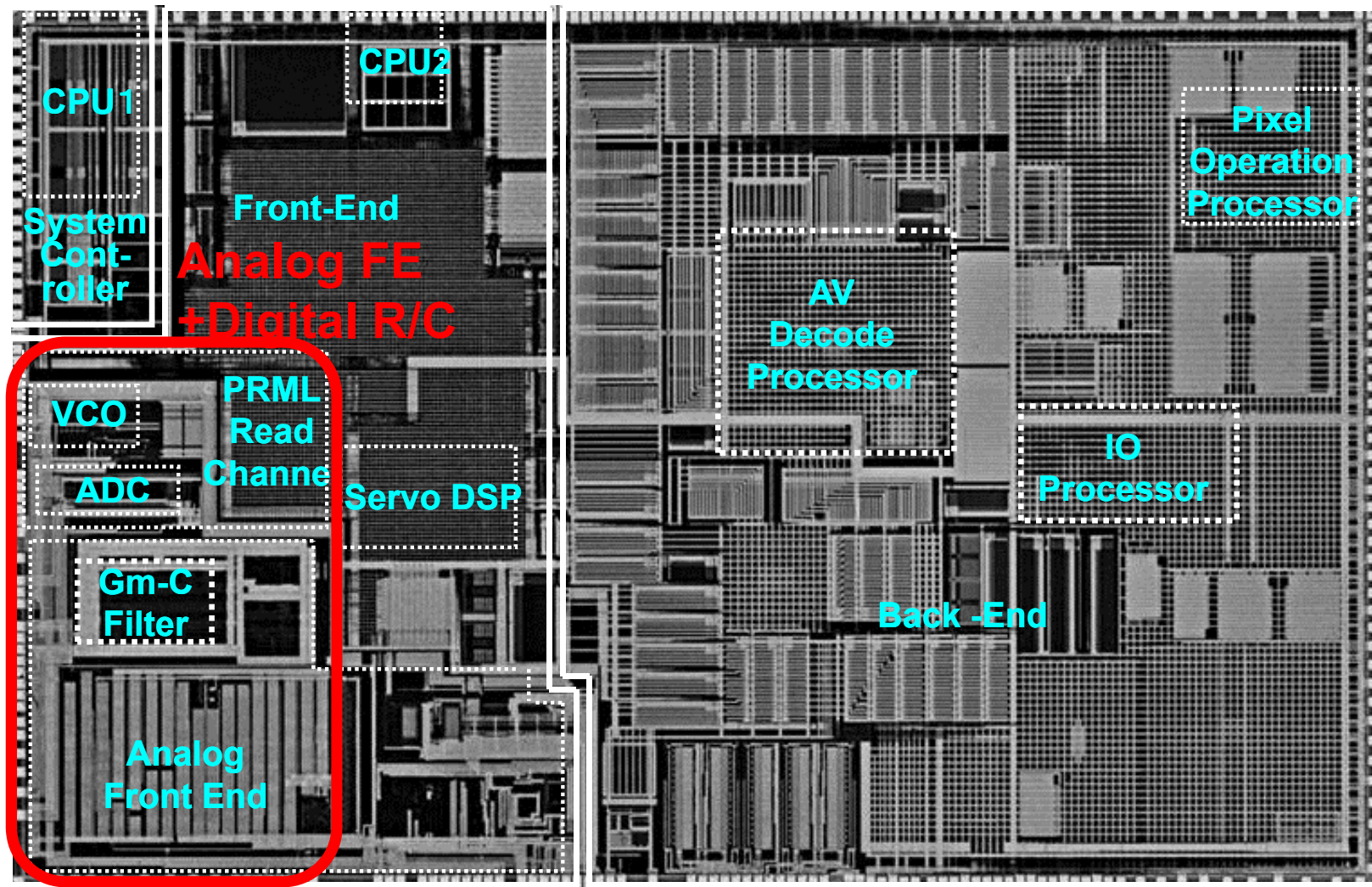
Technology : 0.18um CMOS(3AL1P5)
Area : 0.88mm X 0.34mm



DVD 用完全ワンチップアナ・デジ混載SoCの実現 / 12

システムを完全にワンチップ化したアナ・デジ混載SoCが実現

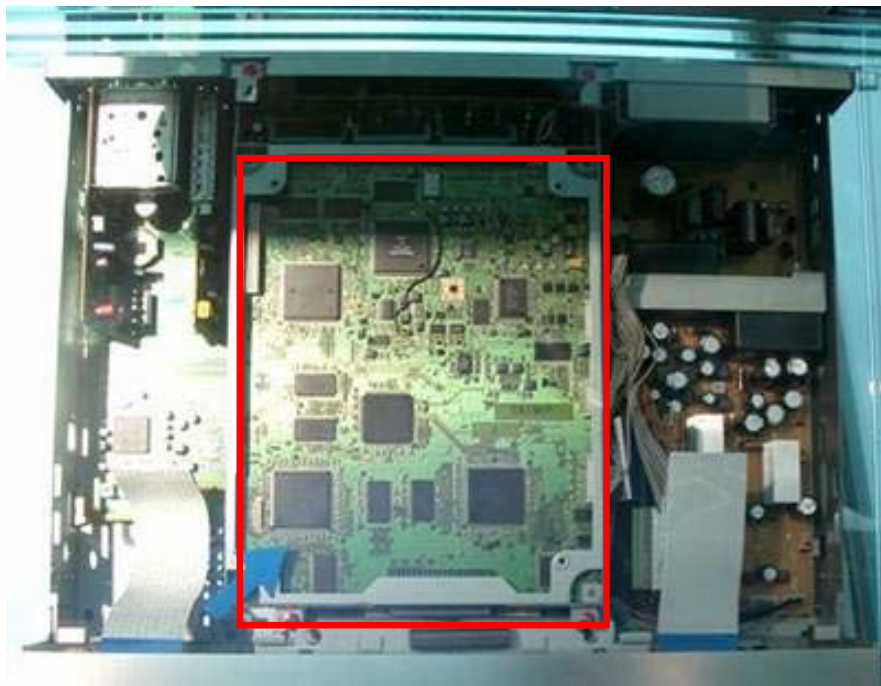
Okamoto, ..., A. Matsuzawa., ISSCC 2003, JSC 2003.



システム集積が可能なアナ・デジ混載SoCは機器の高性能化、簡素化、低コスト化に大いに寄与した。

DVD Recorderの例

'2000 Model



'2003 Model



- ADCの開発などを通じてTV, VTRのデジタル化を推進
デジタル化に伴い, ADCなどのアナログ技術が進展
- NHKや日本のメーカーが開発を主導, 2011年で完成
- デジタル化は大きな市場を創造したが, 収益性は悪化
- 民生用電子機器の開発=デジタル化
 - CD, デジカメ, ビデオカメラ, DTV, DVD, 携帯電話
- デジタル時代の覇者
 - 個別製品のメーカーではなく, 市場全体に供給する,
 - プラットホーム: OS, マイクロソフト, アップル, グーグル
 - レファレンスデザイン: インテル, クアルコム, ARM
 - ファウンダリー: TSMC, ホンハイ

VTR, (VHS, Beta)はアナログ技術の頂点の製品と言えるだろう。
精度の高いメカや加工技術(シリンダーやヘッド), 高度な塗布技術(テープ)
高精度な回路技術(アナログIC)を必要とし, 製造を含め容易には模倣できない。
したがって, 急激な価格下落は起こらなかった。
どこかに職人芸, 技が入らないとハードの利益は出ない。

当時のアナログICの利益率:40%!!



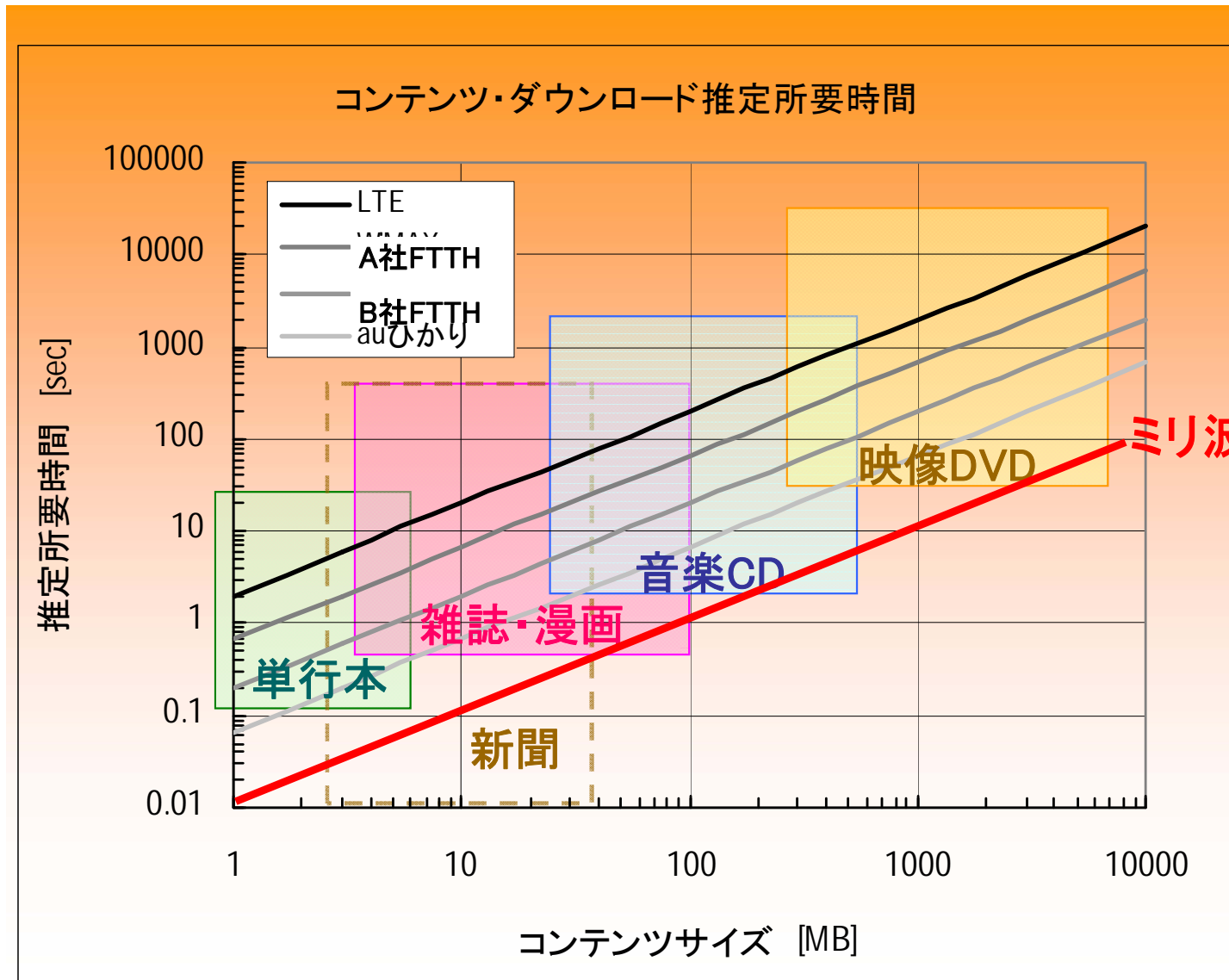
Panasonic VHS Video NV-6000, 1979

今日のアナログ技術の開発

松澤・岡田研究室の紹介

60GHz CMOS トランシーバの開発

ミリ波を用いれば無線でも約10秒でDVDのコンテンツが転送可能

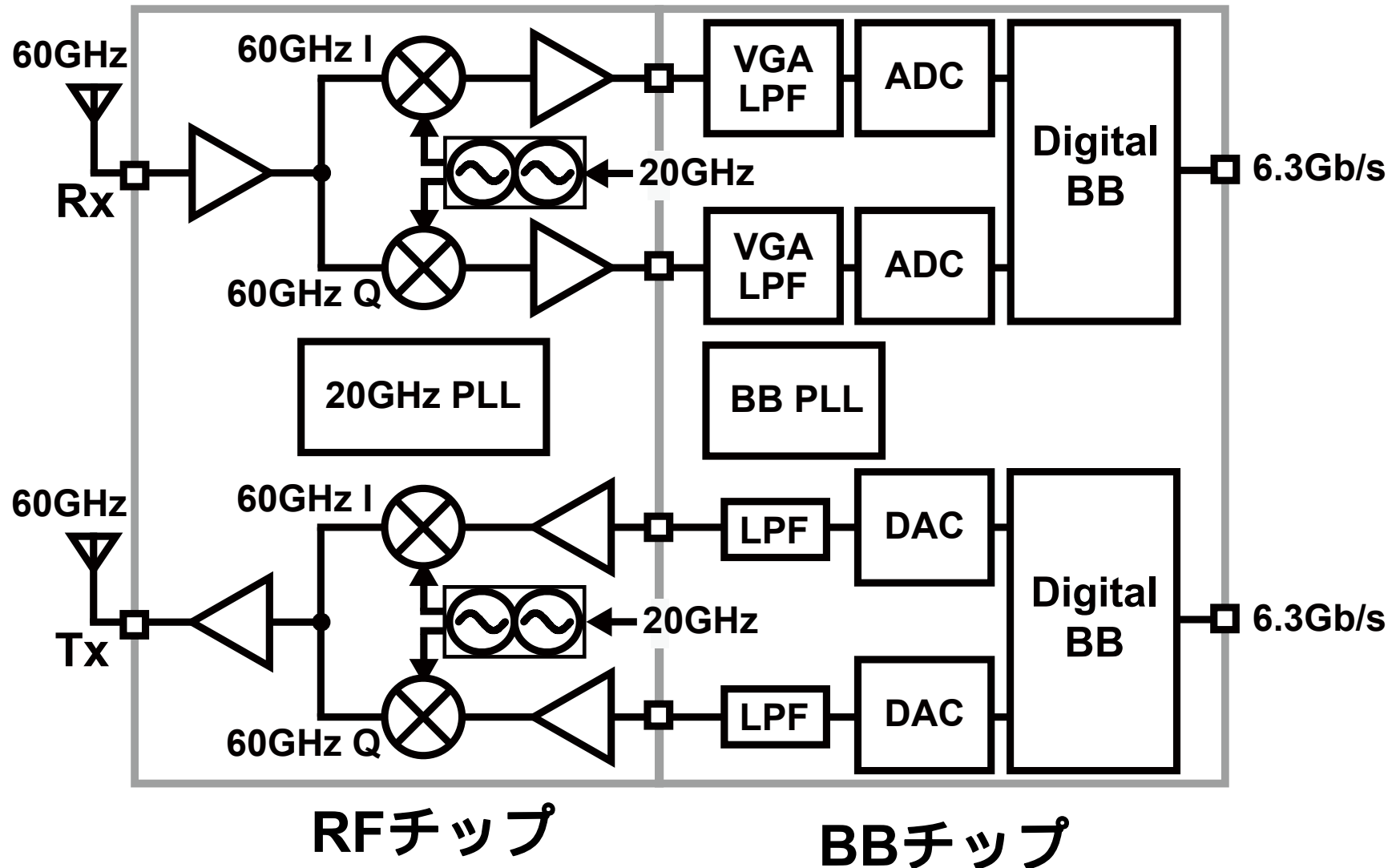


2011年1月現在の
実測データからみた
平均的実効伝送レート

WiMAX	12Mbps
LTE	4Mbps
A社FTTH	40Mbps
B社FTTH	120Mbps

ミリ波 3~6Gbps

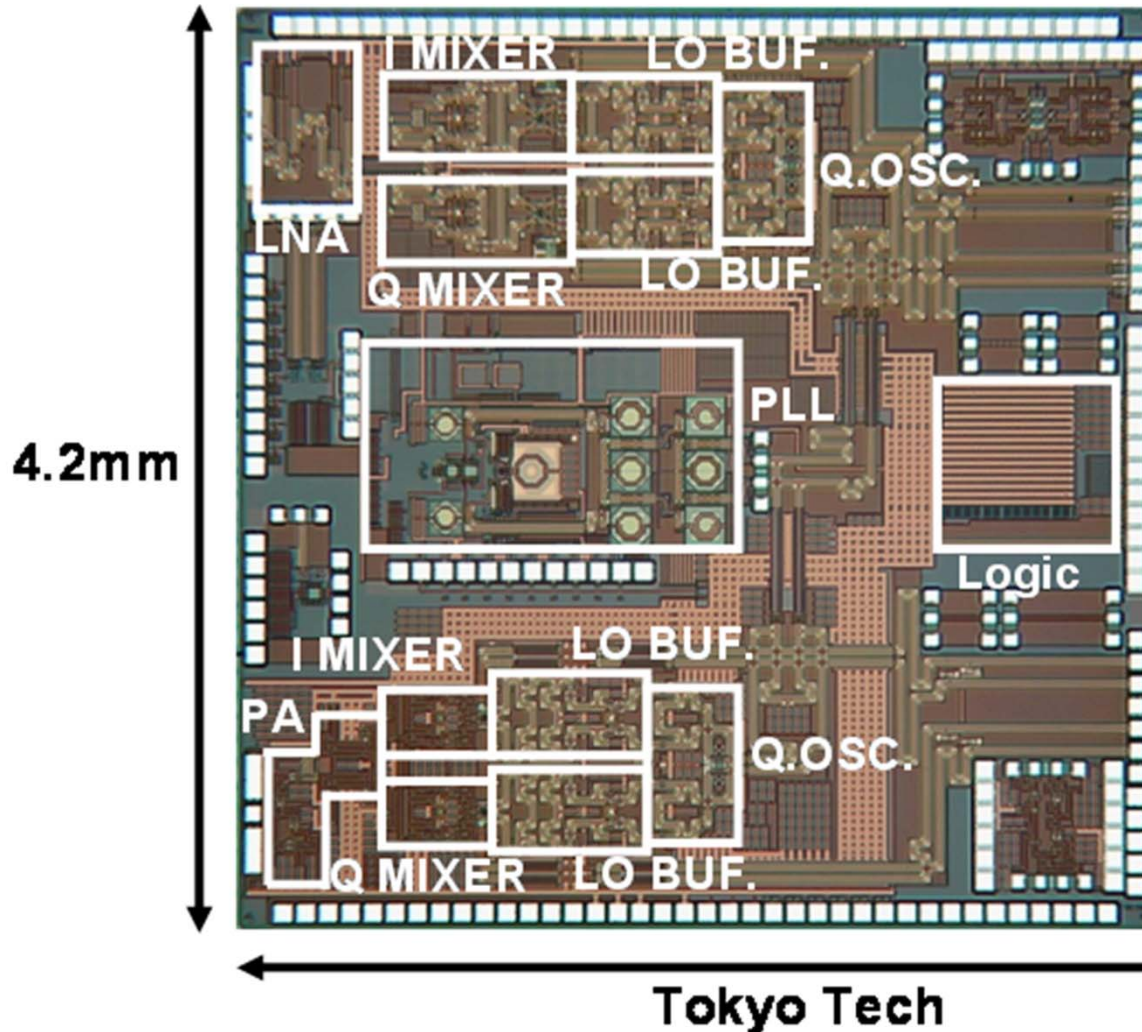
- ダイレクトコンバージョンによる小型・低消費電力化
- 低消費電力ADC, DAC



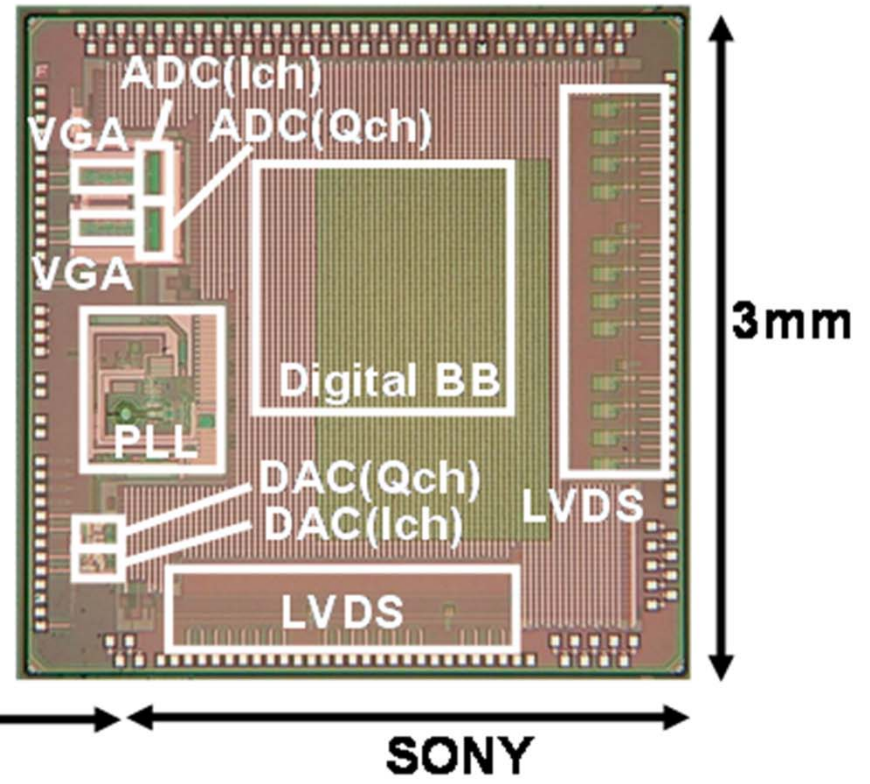
RFチップとベースバンドチップのVGA, ADC, DAC回路を開発

RFチップ

K. Okada and A. Matsuzawa, et al.,
ISSCC 2012

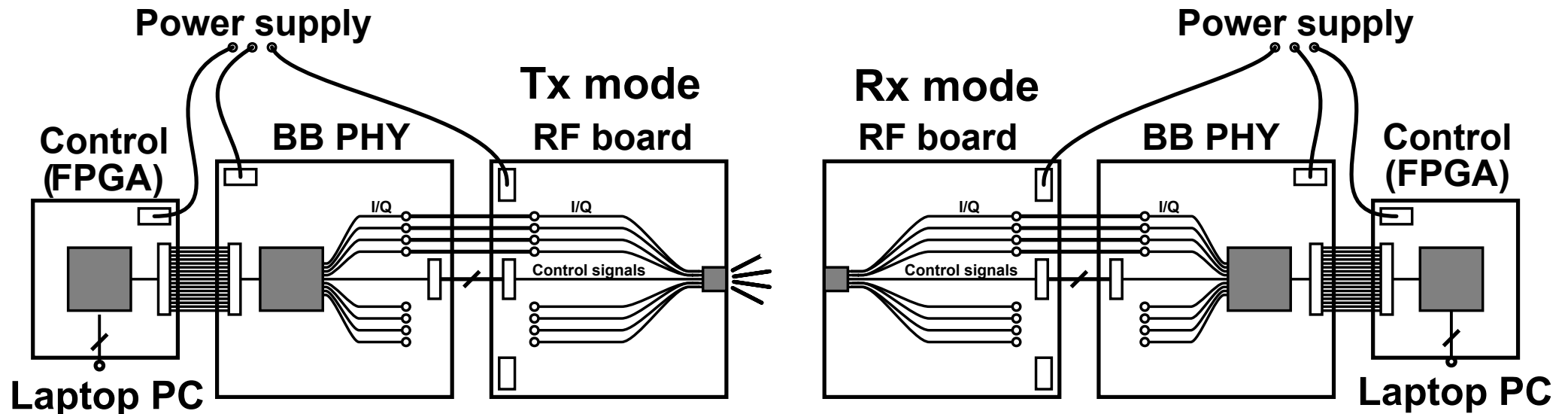
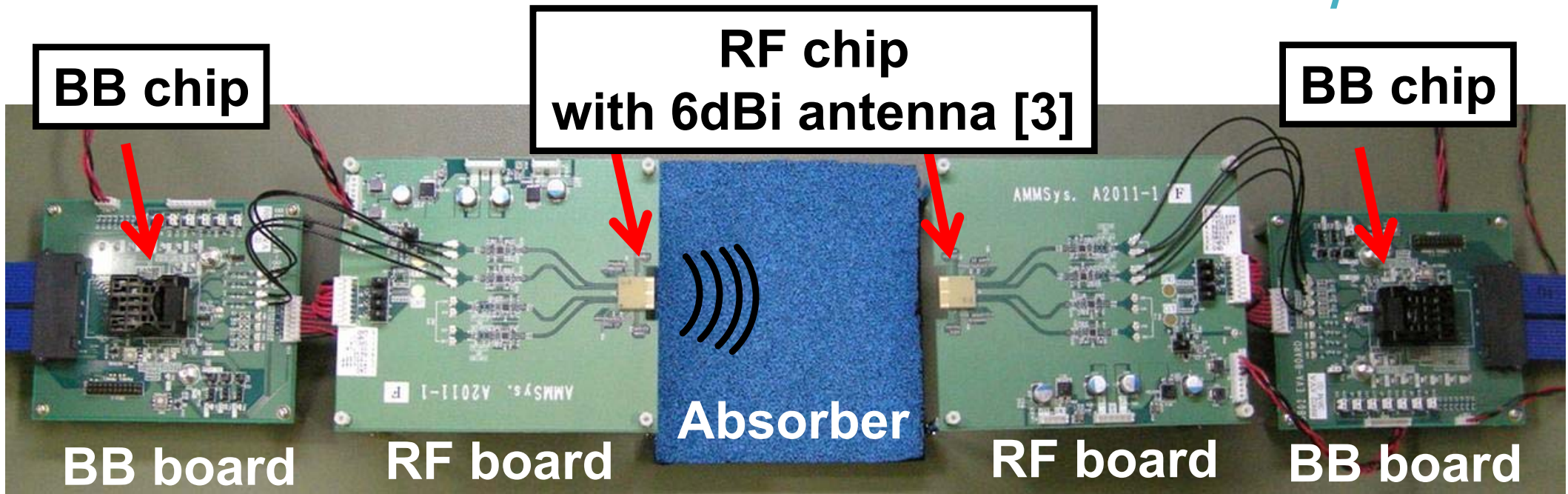


BBチップ

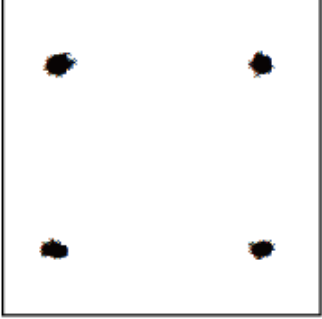
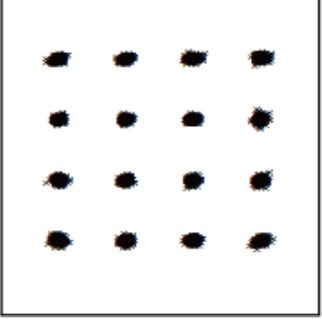
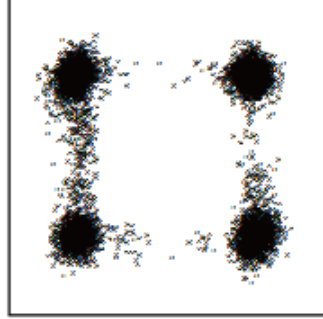
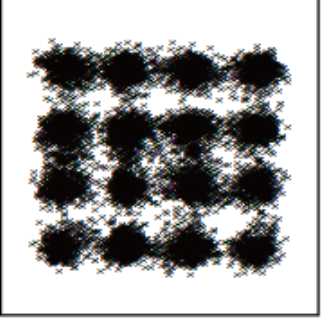


65nm CMOS

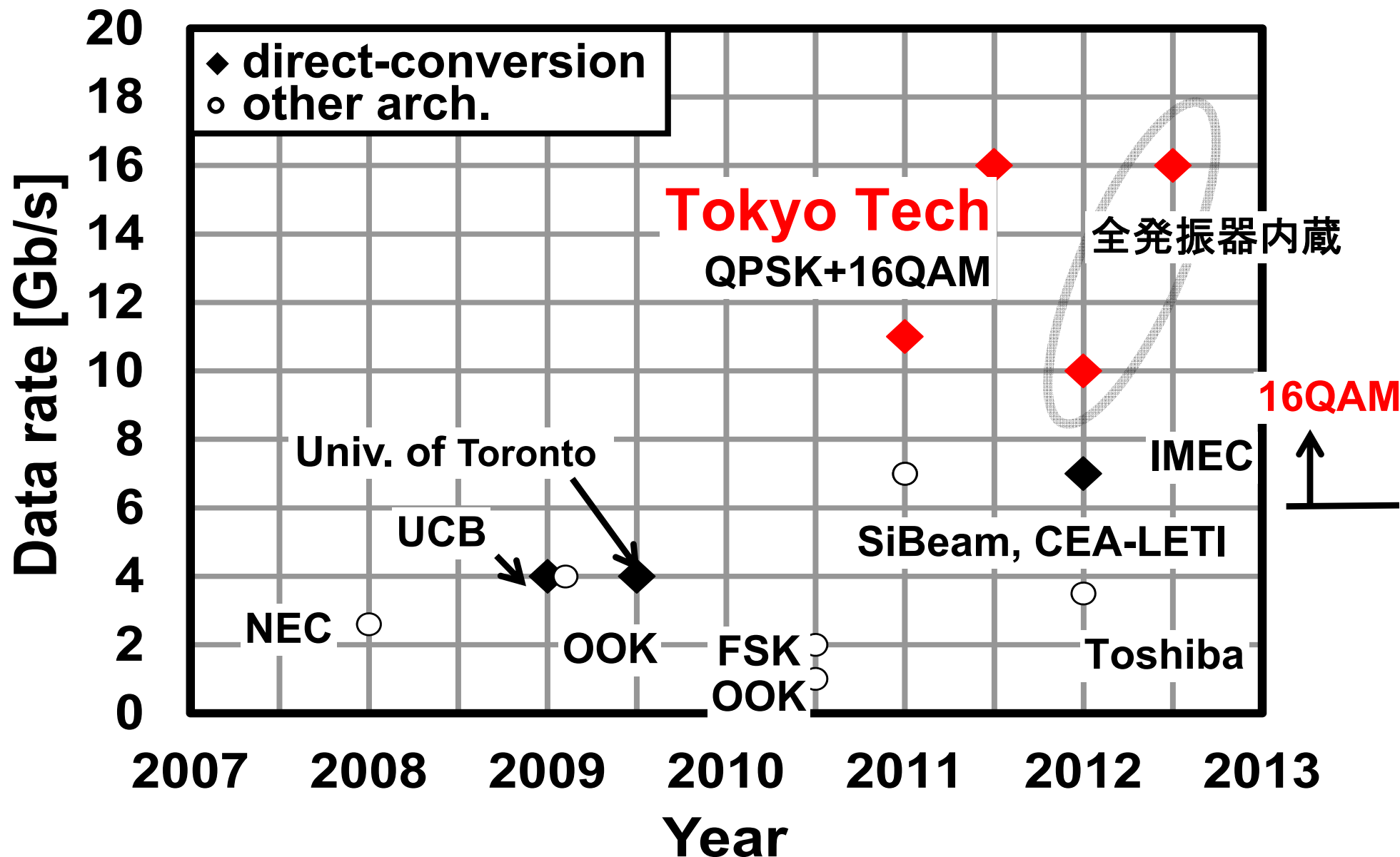
40nm CMOS



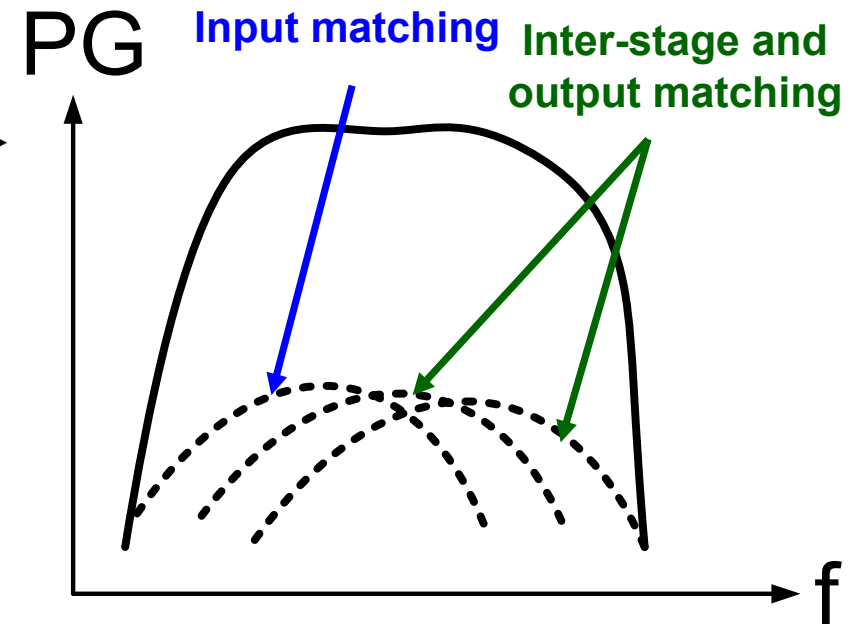
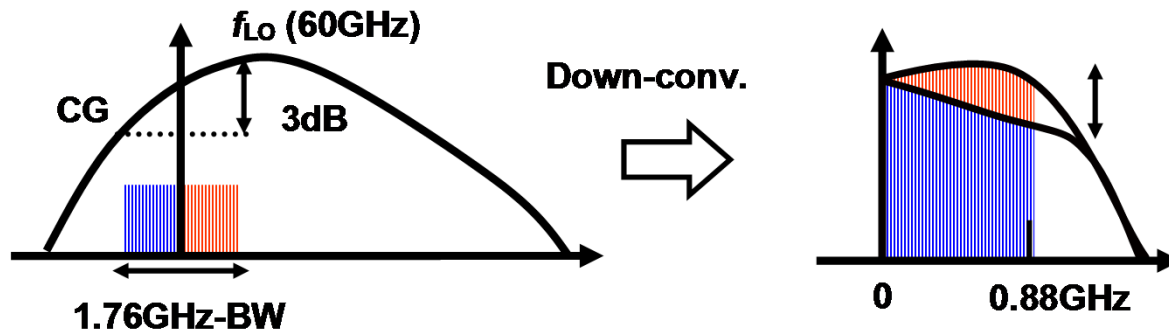
世界最高のデータレート(16Gbps)を実現。

Constellation	 9506 points	 19912 points	 13502 points	 42024 points
Modulation	QPSK	16QAM	QPSK	16QAM
Symbol rate	1.76GS/s	1.76GS/s	5.0GS/s	4.0GS/s
Data rate	3.52Gb/s	7.04Gb/s	10.0Gb/s	16.0Gb/s
EVM (withDFE)	-30.5dB	-28.2dB	-15.2dB	-16.1dB

世界最高速の通信速度を達成



信号帯域内の周波数特性の偏差があると16QAM信号にISIを生じ、ビット誤り率が低下する。→整合回路を調整して周波数偏差を抑える。



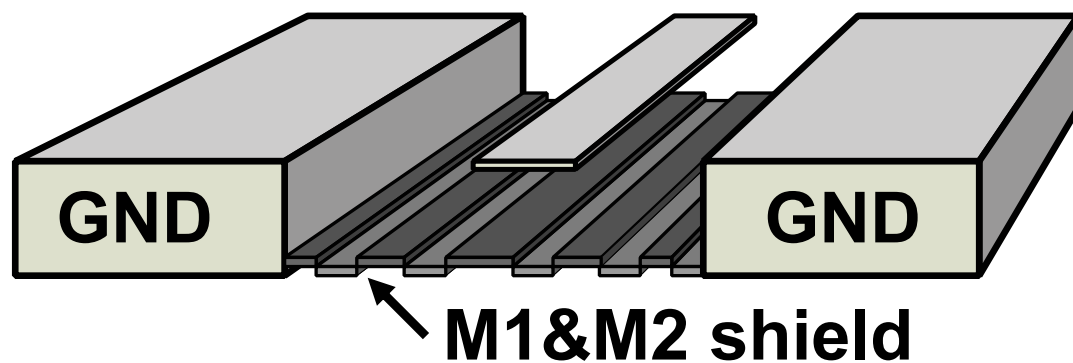
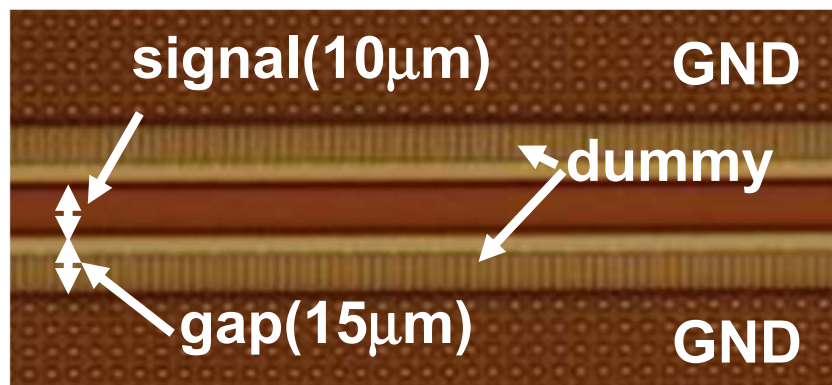
Gain Flatness	0dB	2dB	3dB
BER	~0	1.3e-5	3e-3
Constellation			

トランスミッションライン技術をベースにした、インピーダンス整合回路、トランス、バルン、デカップリング容量を開発した

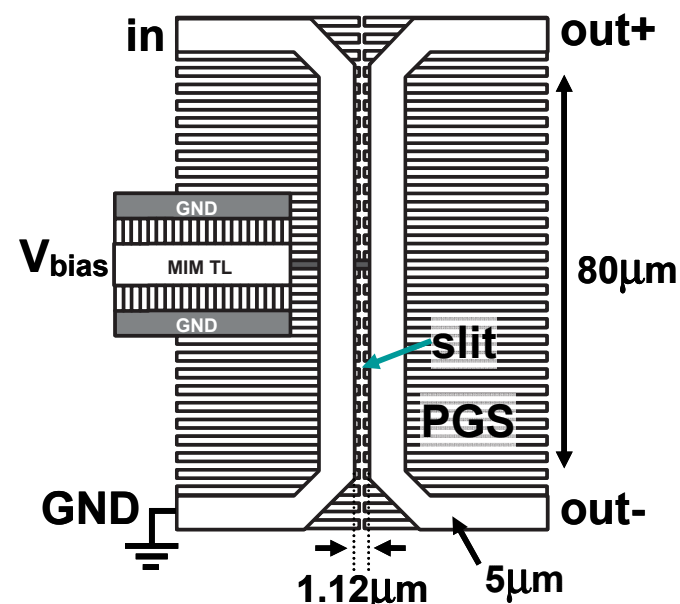
Transmission line

0.8dB/mm

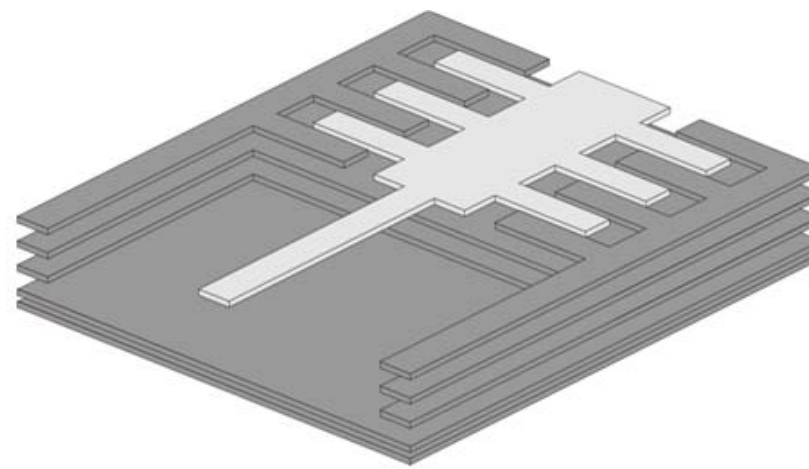
Manually-placed dummy metal



Transformer



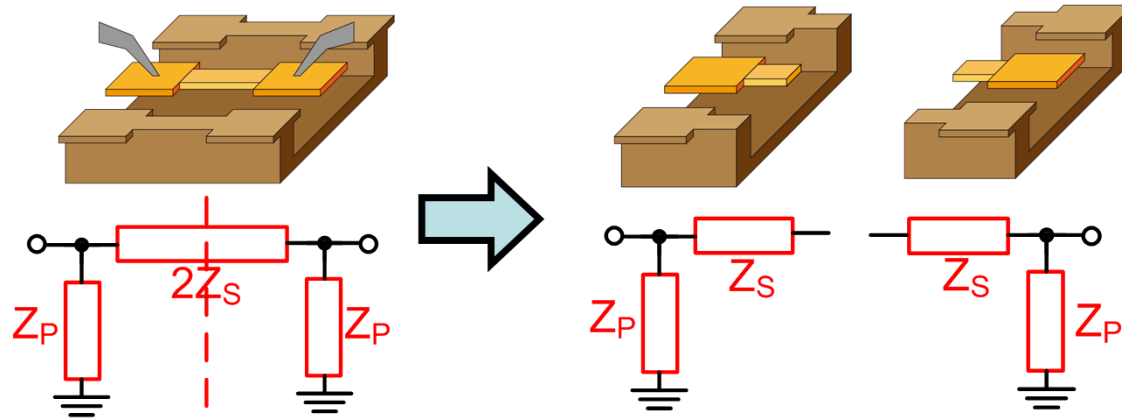
Decoupling capacitor



スルーオンリー法

パッドと付きだし部分を測定

プローブ間干渉により不正確



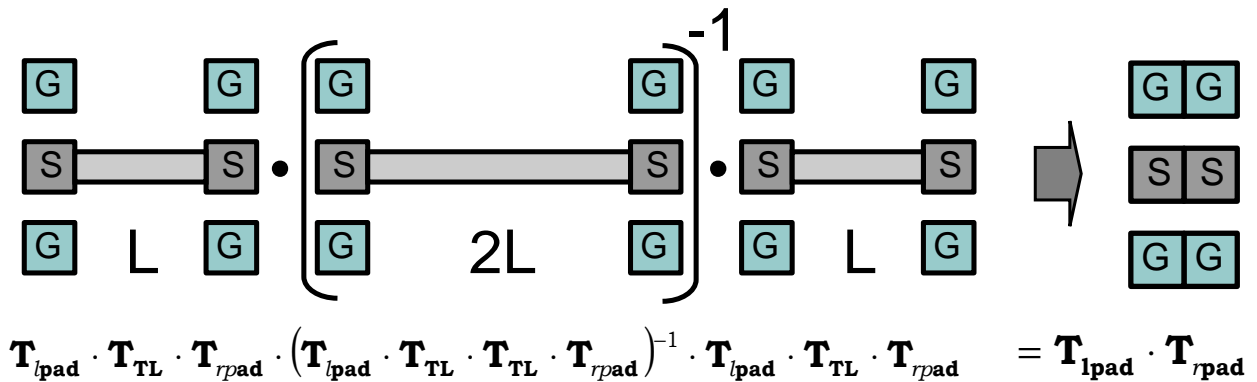
Thru (short line) structure

Pad model

L-2L 法

L (200um)と2L (400um)の伝送線路で測定

パッドのみの等価回路を
導出

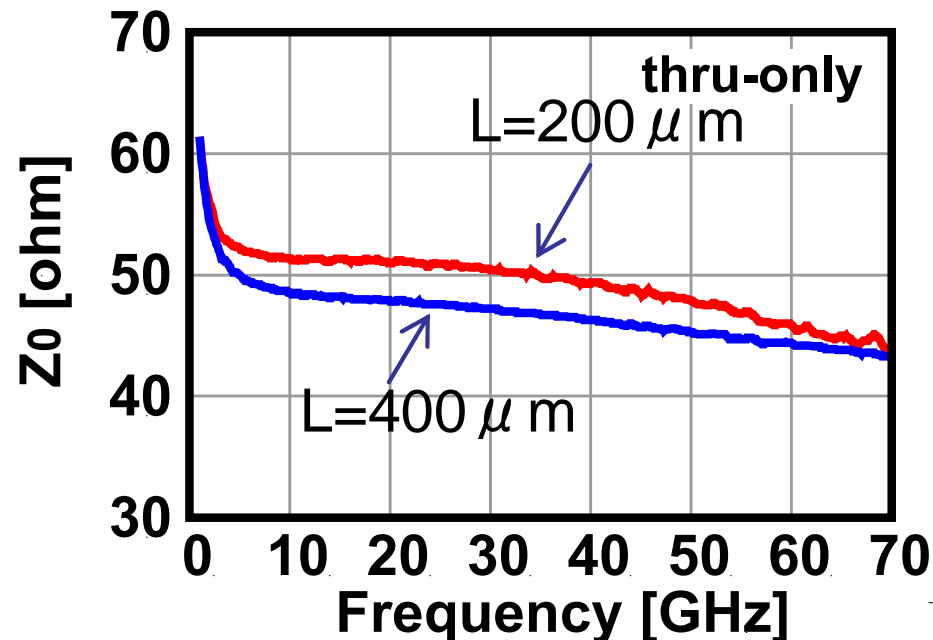


A. M. Mangan, et al., IEEE Trans. on Electron Devices, vol. 53, no. 2, pp.235-241, Feb. 2006

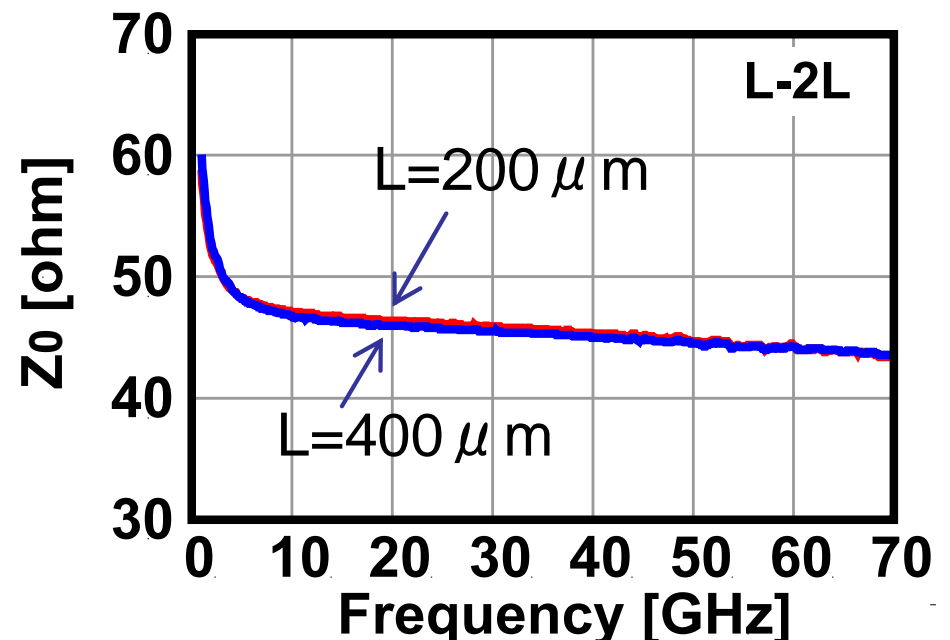
N. Takayama, et al., IEEE Asia-Pacific Microwave Conference (APMC), Singapore, Dec. 2009.

伝送線路の特性インピーダンスを2つの方法で評価
スルーオンリー法では本来線路長に依らない特性インピーダンスが
線路長により異なっている。L-2L法では一致している。→ L-2L法が精度が高い

スルーオンリー法



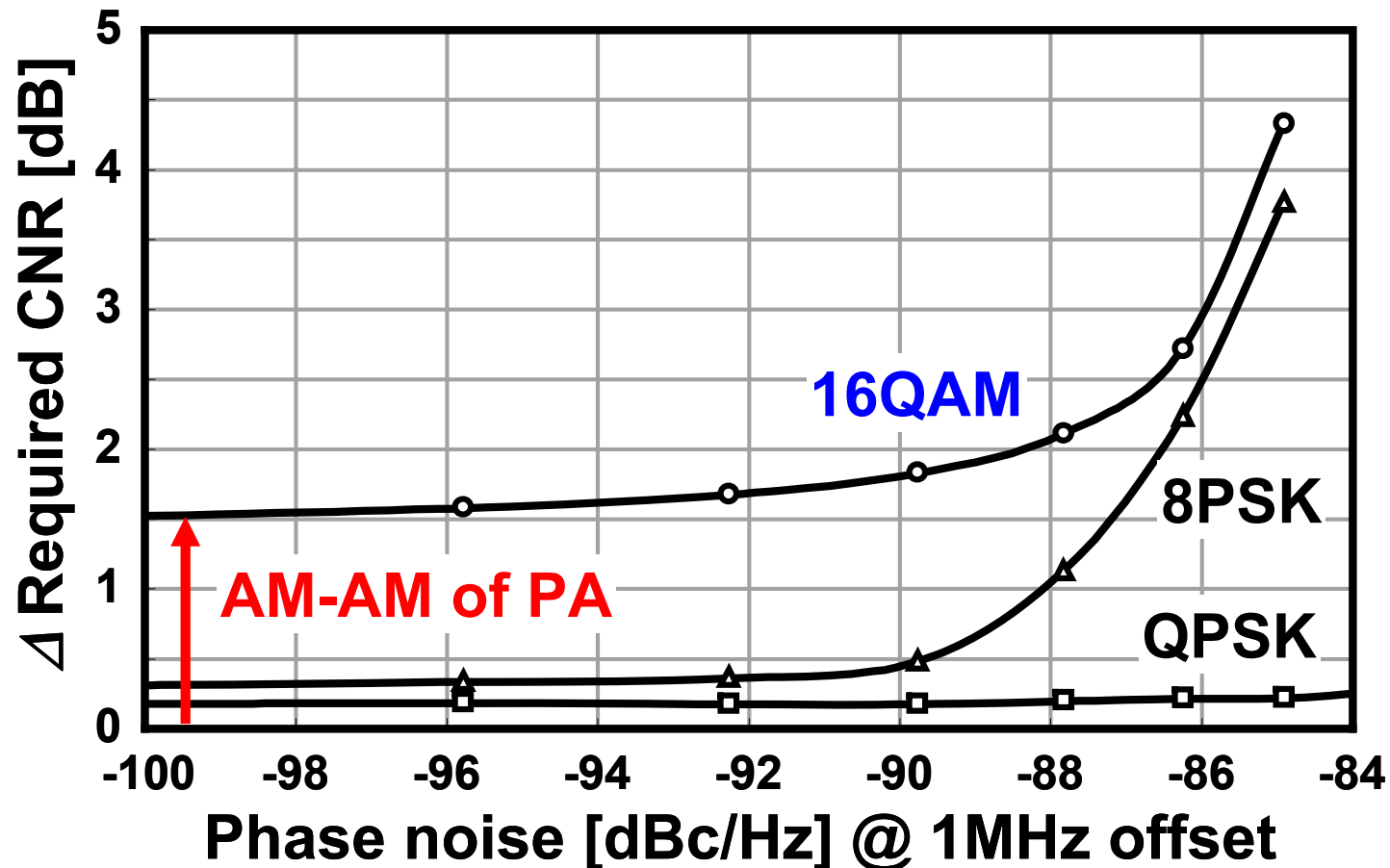
L-2L 法



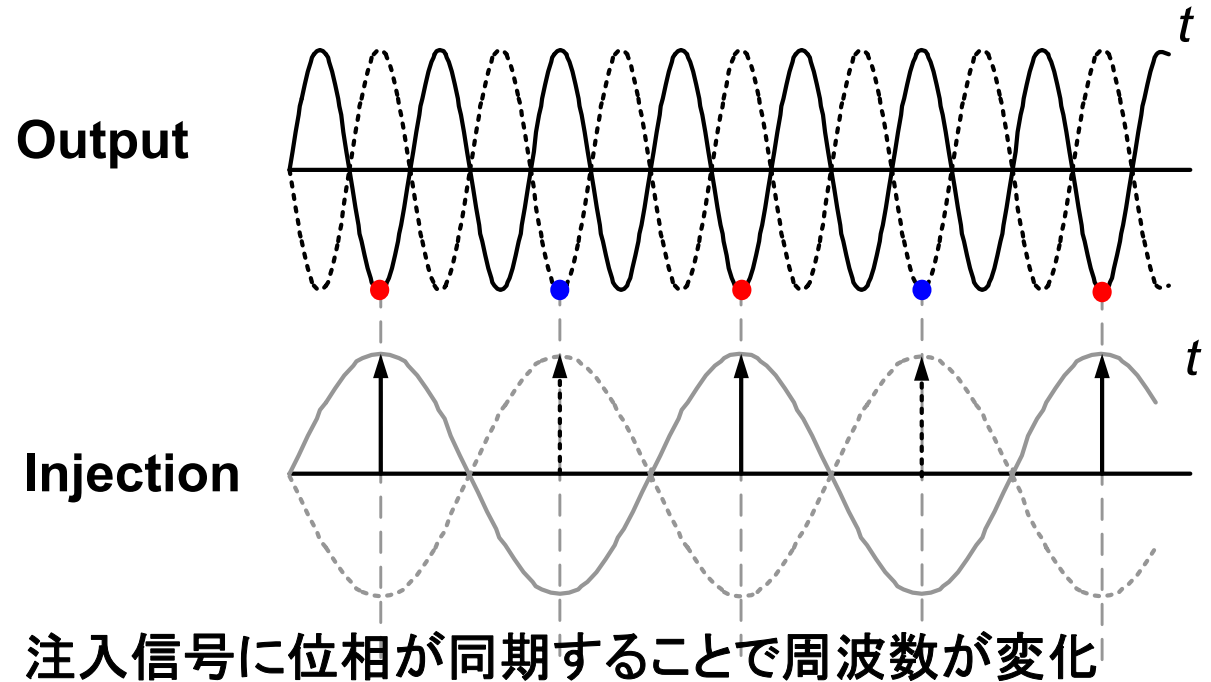
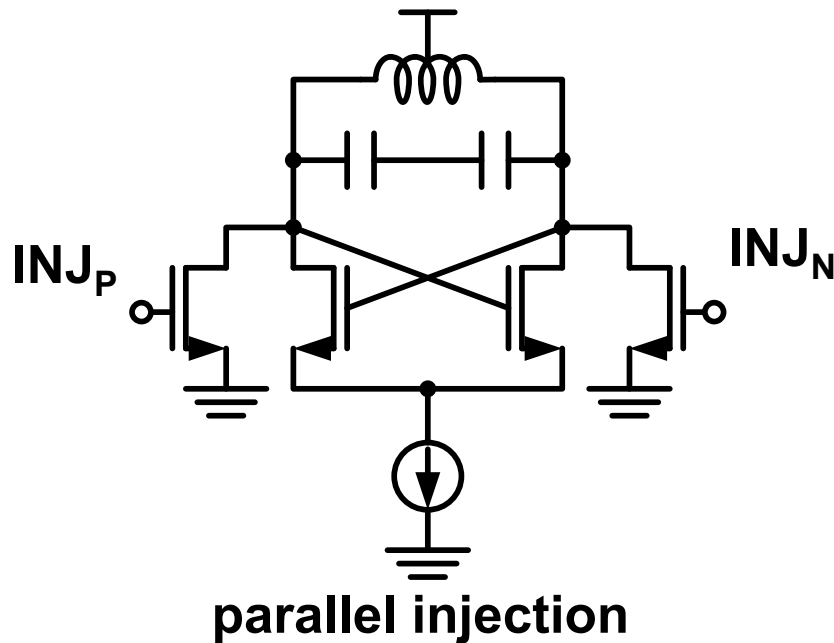
16QAMの実現には $-90\text{dBc/Hz}@1\text{MHz}$ 以下の位相ノイズが必要

それまでの60GHz帯直交発振器は $-76\text{dBc/Hz}@1\text{MHz}$ 程度

K. Scheir, et al., ISSCC, pp. 494-495, Feb. 2009.



注入同期により高い周波数の発振器の位相を、より低い発振器で制御することができる。

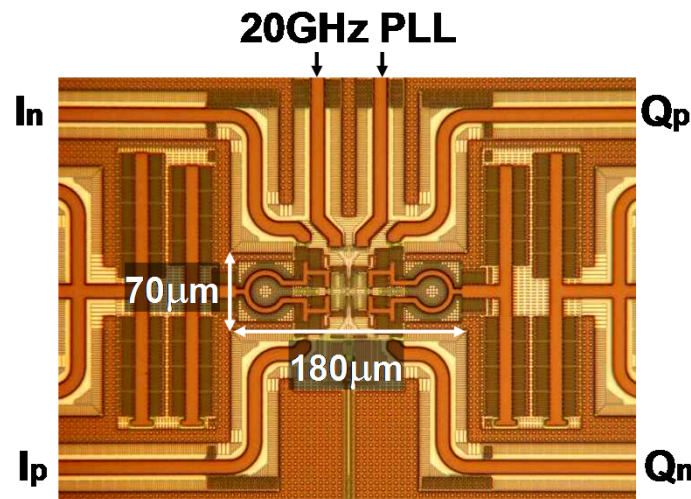
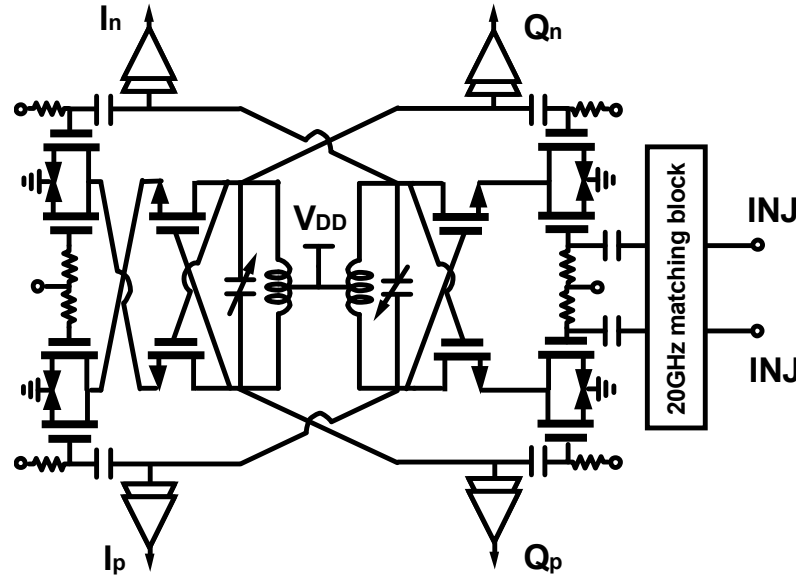


- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きく見える

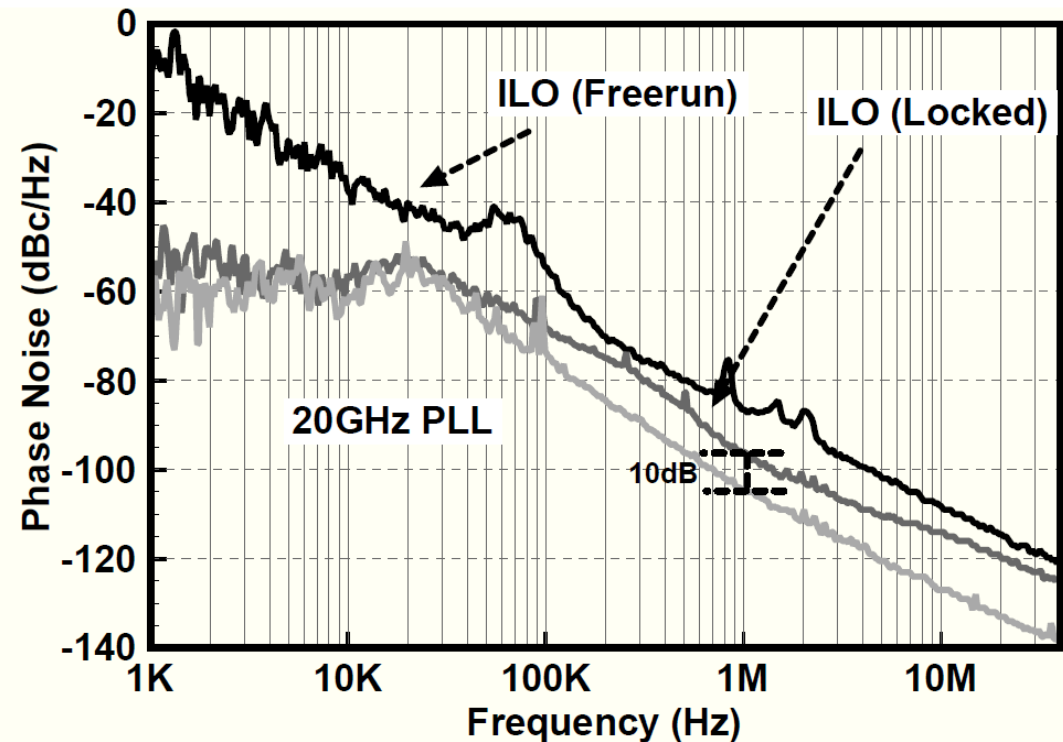
逡倍器の位相雑音 $PN_{ILO} = PN_{INJ} + 20 \log(N)$ N :逡倍数

ロックレンジ $\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{OSC}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{OSC}^2}}}$ $N=3$ のとき 9.5dB

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。
ダイレクトコンバージョンや16QAMが可能となった。

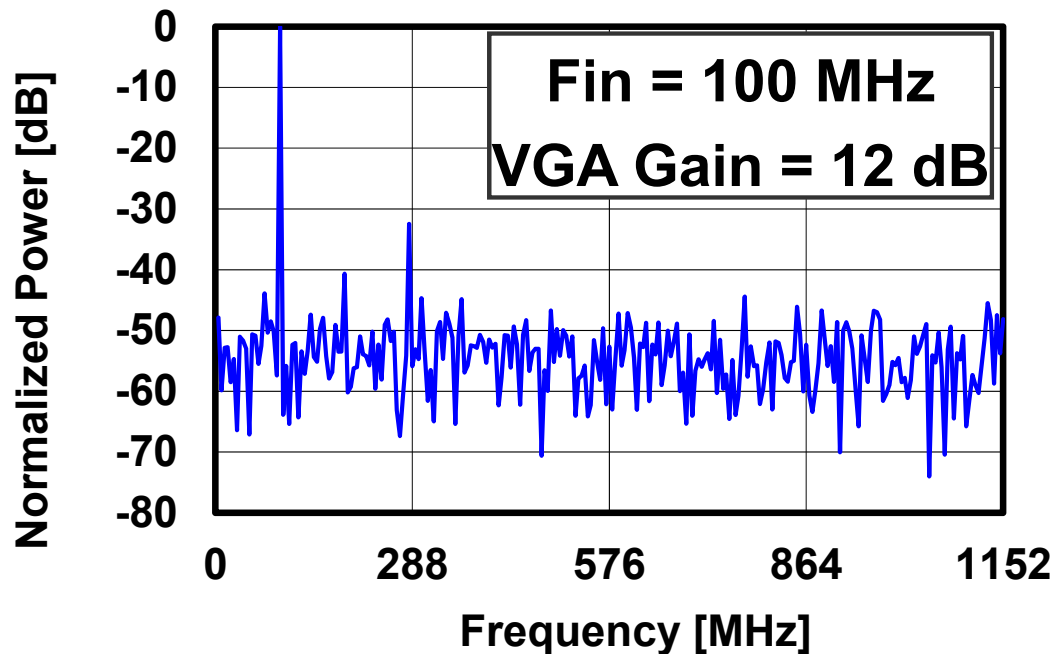
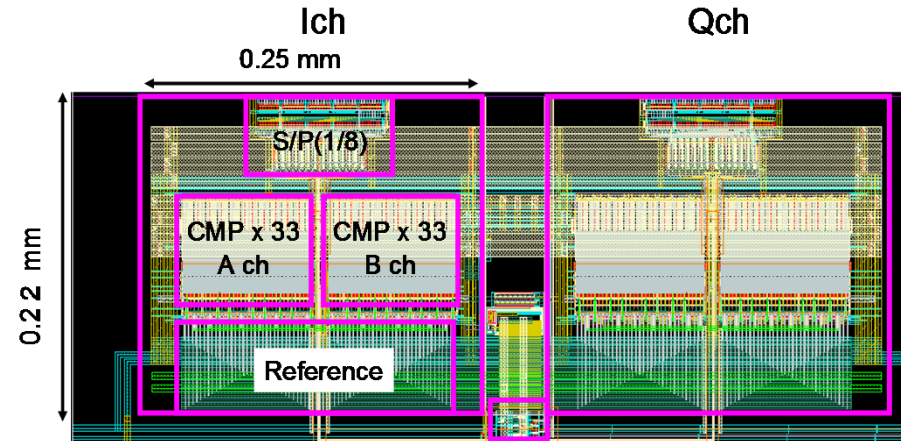
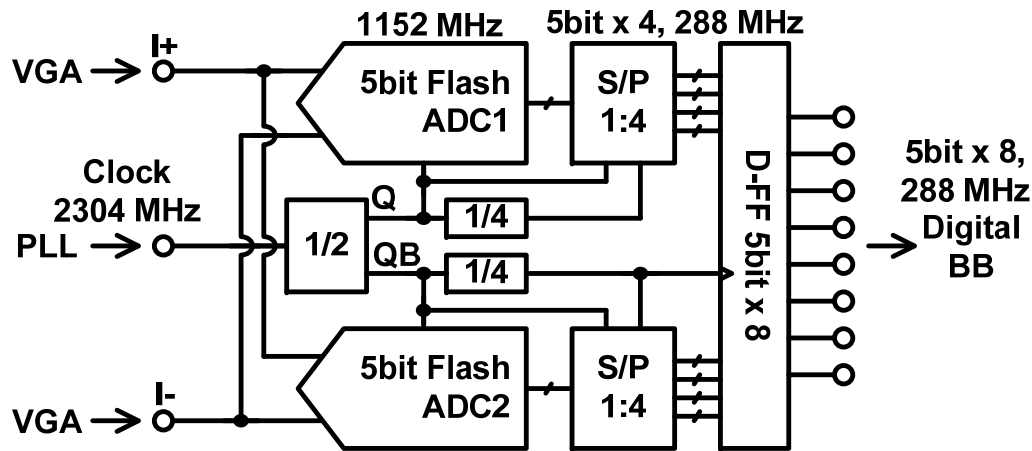


それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, in A-SSCC
Dig. Tech. Papers, pp. 101–102, Nov. 2010.

M. Miyahara and A. Matsuzawa, et al.,
RFIC 2012.



VGA Gain range	0-40 dB
ADC Resolution	5 bit
Sampling rate	2304 MS/s
Power Consumption	VGA : 9 mW ADC : 12 mW*
DNL, INL	< 0.8 LSB
SNDR	26.1 dB
FoM of ADC	316 fJ/conv.-s

*single channel inc. S/P

60GHz トランシーバ用として世界最小レベルの消費電力とコア面積を達成

	Architecture	Cal.	fs [GS/s]	SNDR [dB]	Power [mW]	FoM [fJ/-c.s.]	Process [nm]	Area [mm ²]
[1]	Flash	-	3.5	31.2	98	946	90	0.149
[2]	SAR	Internal	2.5	34.0	50	489	45	1
[3]	Folding	Internal	2.7	33.6	50	474	90	0.36
[4]	Pipeline, Folding	External	2.2	31.1	2.6	40	40	0.03
[5]	Flash	Internal	2.88	27.8	36	600	65	0.25
This work	Flash	Internal	2.3	26.1	12	316	40	0.06

- [1] K. Deguchi, *et al.*, *VLSI Circuits* 2007 [2] E. Alpman, *et al.*, *ISSCC* 2009
 [3] Y. Nakajima, *et al.*, *VLSI Circuits* 2007 [4] B. Verbruggen, *et al.*, *ISSCC* 2010
 [5] T. Ito, *et al.*, *A-SSCC* 2010

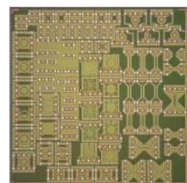
110GHzまでの最新の高周波評価装置が揃っている



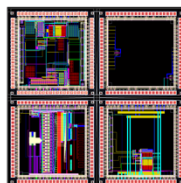
5年間の60GHz RFチップの開発経緯

5年にわたる設計・評価・修正で特性世界トップまで向上
アナログ回路技術の開発には継続的研究が不可欠

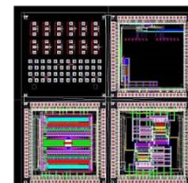
2007



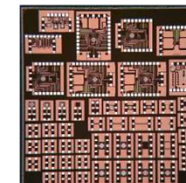
2007/9 (180nm)



2007/9 (90nm)



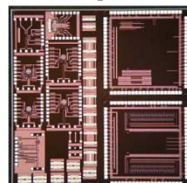
2007/12 (90nm)



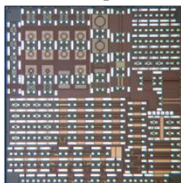
2007/12 (90nm)

modeling
& feedback

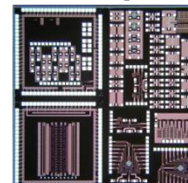
2008



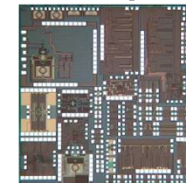
2008/5 (90nm)



2008/7 (65nm)



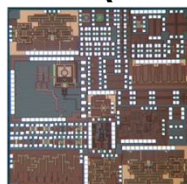
2008/11 (90nm)



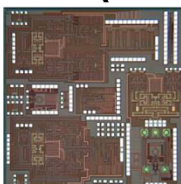
2008/11 (65nm)

ISSCC2011

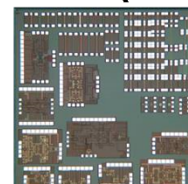
2009



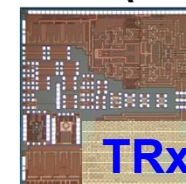
2009/5 (65nm)



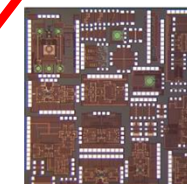
2009/7 (65nm)



2009/8 (65nm)



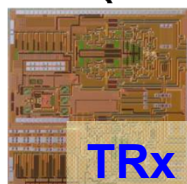
2009/11 (65nm)



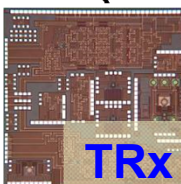
2009/12 (65nm)

A-SSCC2011

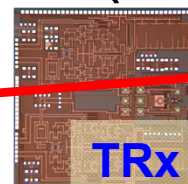
2010



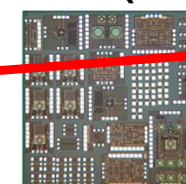
2010/6 (65nm)



2010/8 (65nm)

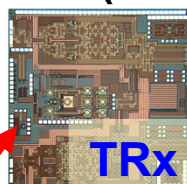


2010/10 (65nm)

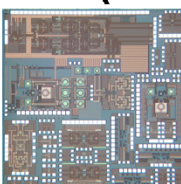


2010/12 (65nm)

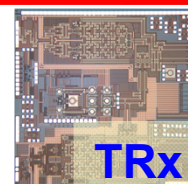
2011



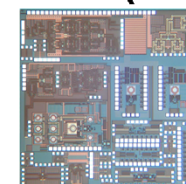
2011/4 (65nm)



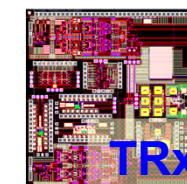
2011/6 (65nm)



2011/8 (65nm)



2011/10 (65nm)



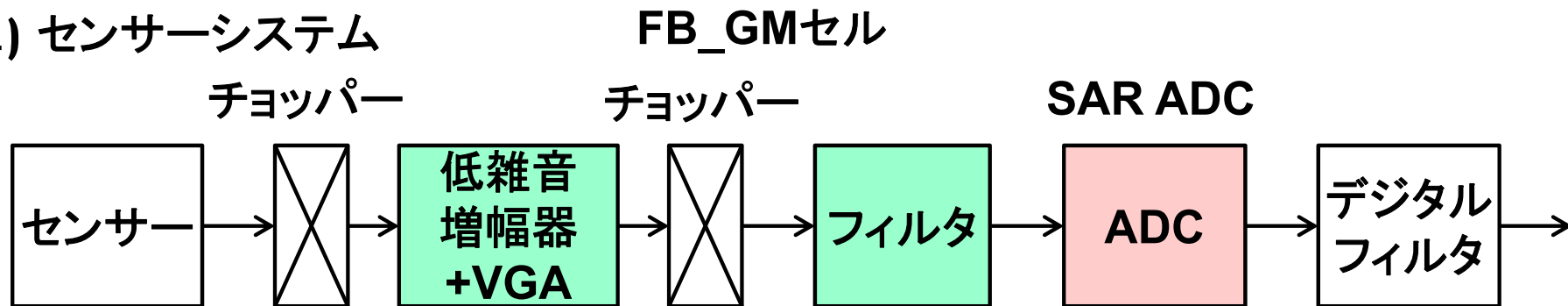
2011/11 (65nm)

ISSCC2012

ADC・アナログ回路開発の今後

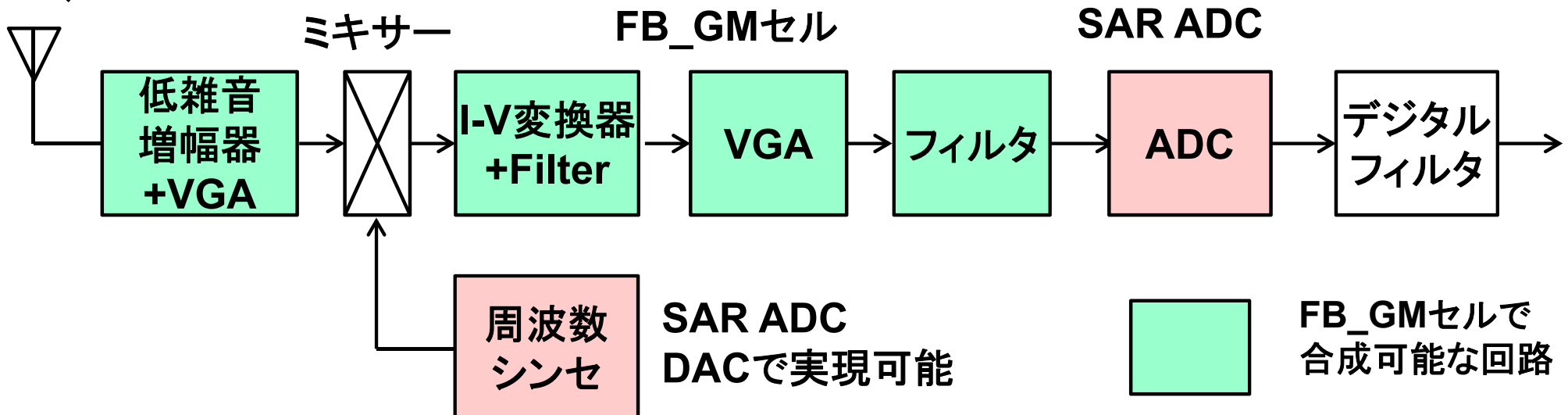
デジタル時代のアナログはフロントエンドに集約される
少ない回路要素でたいていのアナログフロントエンドは合成可能。

1) センサーシステム



アナログマルチプレクサが必要な場合もある

2) 受信システム



- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
 - 微細化・低電圧化により設計難易度が上昇
 - 設計人材の減少(事業選択・集中, リストラ)
 - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
 - コア回路の種類をできるだけ絞る
 - 微細化・低電圧化に耐えうる回路のみを選抜
 - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
 - レイアウトを含め設計の大半を自動化する
 - テスト容易化設計も併せて行う

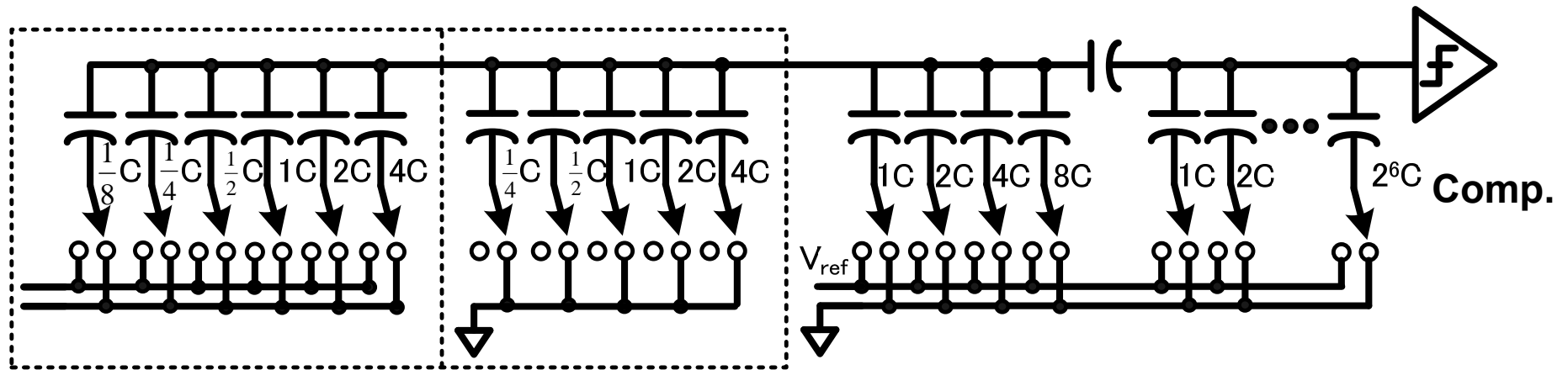
SAR ADC : 汎用ADC

38

TOKYO TECH
Pursuing Excellence

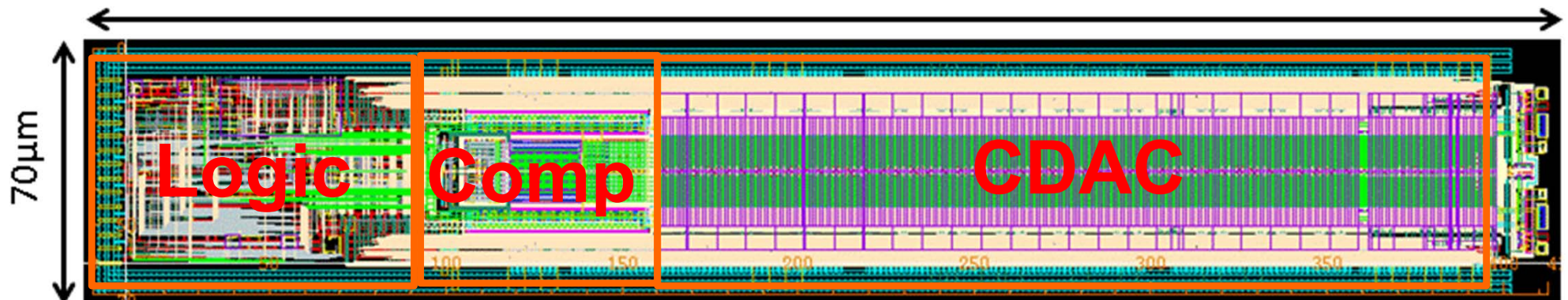
SAR ADCは最も低いエネルギーで動作するADCである。
このSARを汎用ADCとして用いたい。

容量ミスマッチや寄生容量によるリニアリティ劣化はデジタル的に補償する



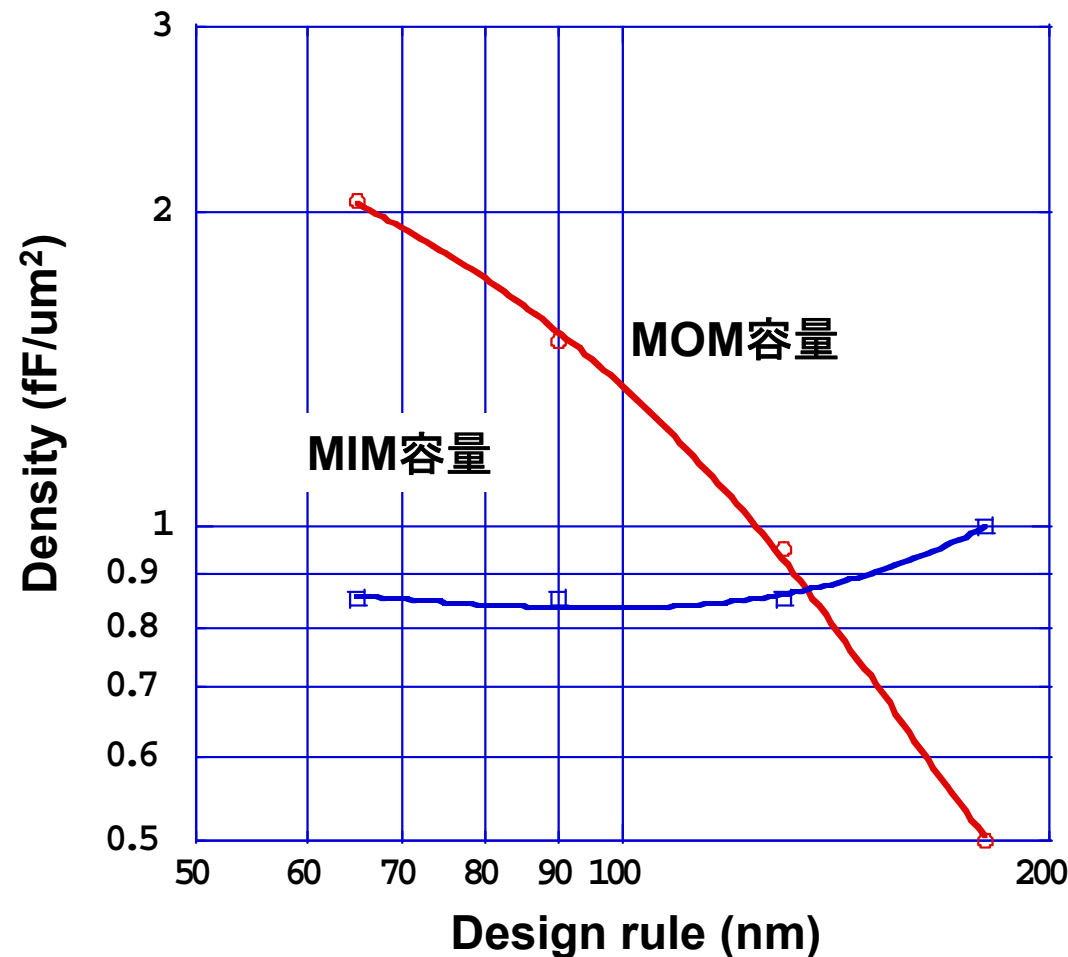
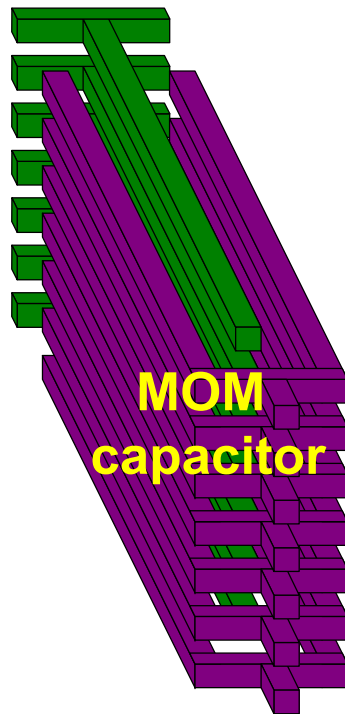
12bit, 65nmCMOS, 0.03mm²
420μm

S. Lee, A. Matsuzawa
SSDM 2013

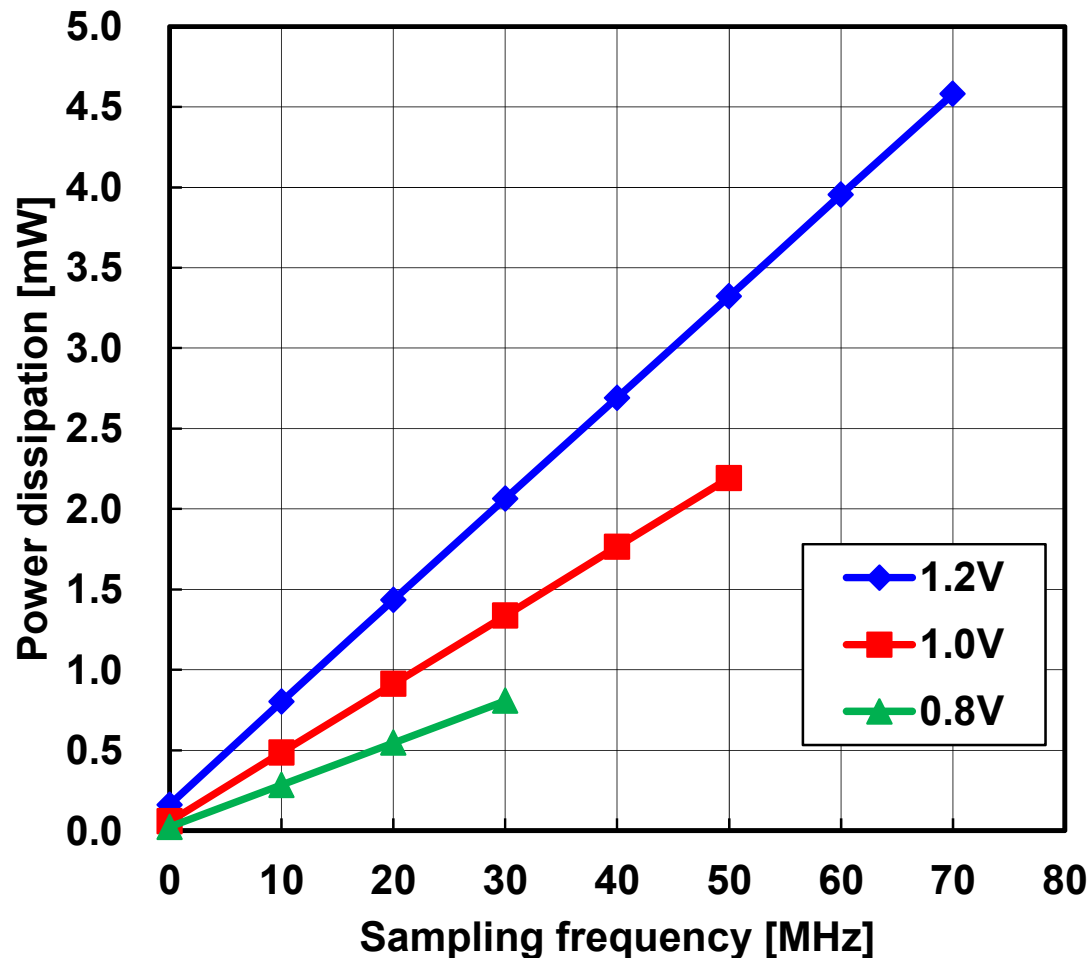


MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により微細化とともに容量部の面積縮小が可能である



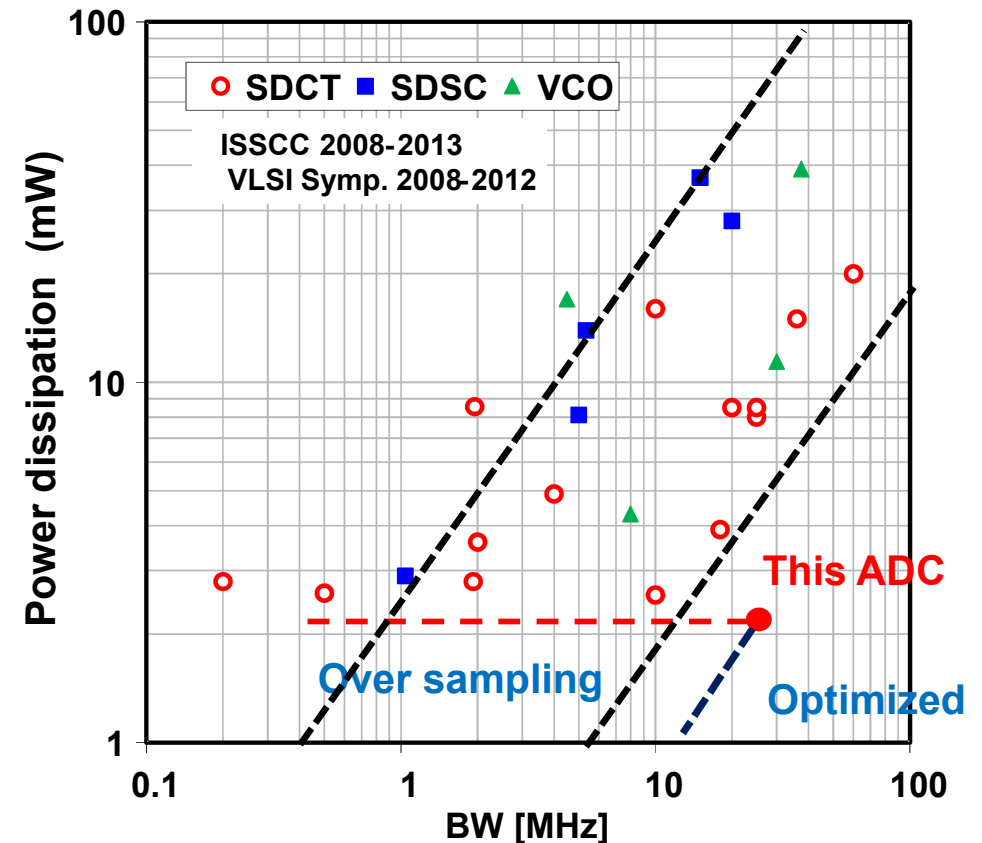
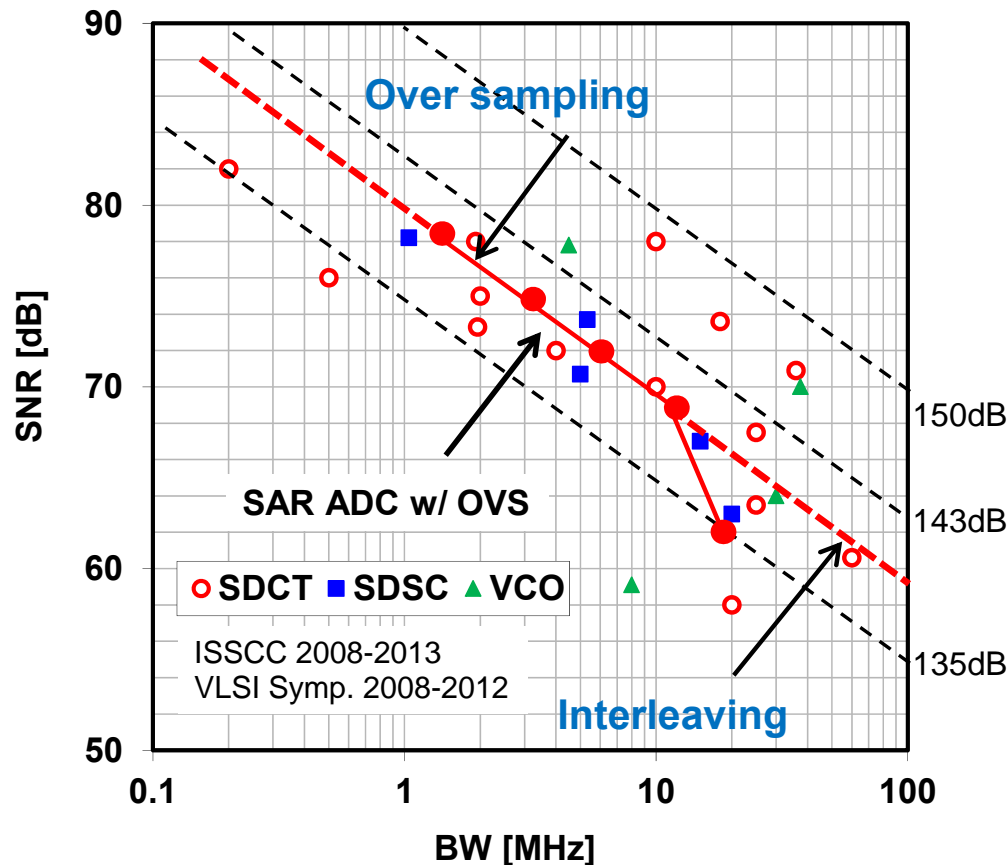
完全なダイナミック動作により、ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。低い変換周波数では低電圧動作により、より低電力化が可能である。70MSpsの高速動作を実現。



50MSps: 2mW
5MSps: 200uW
500KSps: 20uW
50KSps: 2uW

SNRは信号帯域が20MHzで62dB，デジタルフィルタで信号帯域を制限することでSNRを向上できる。高い信号帯域に対してはインターリーブで対応。消費電力はこれまでの通信用ADCに比べ最少。

1V, 50MSps Operation



- 最高変換速度: 70MSps
- 最小動作電圧: 0.8V
- 最小消費電力: 2.2mW at 50MSps
- 最小FoM: 28fJ
- 最小面積: 0.03mm²

12bit SAR ADCs

	This work			[3]	[4]
Resolution (bit)	12			12	12
V _{DD} (V)	0.8	1	1.2	1.2	1.2
f _{sample} (MHz)	30	50	70	45	50
P _d (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm ²)	0.03			0.06	0.1

[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.

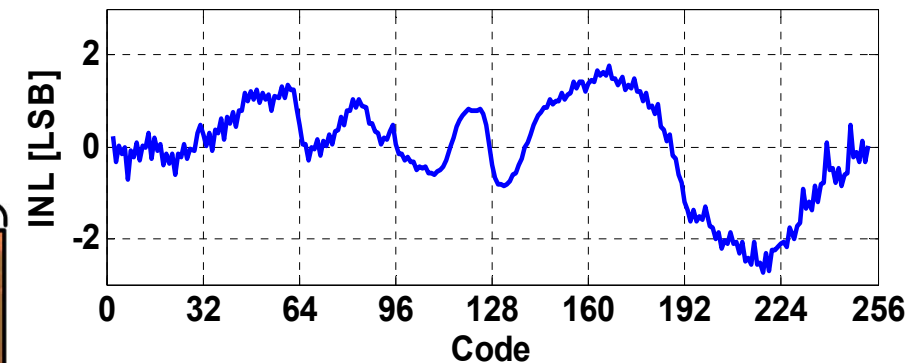
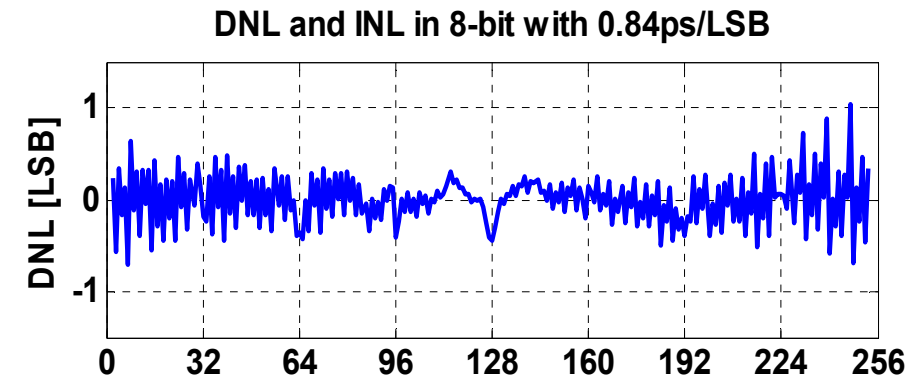
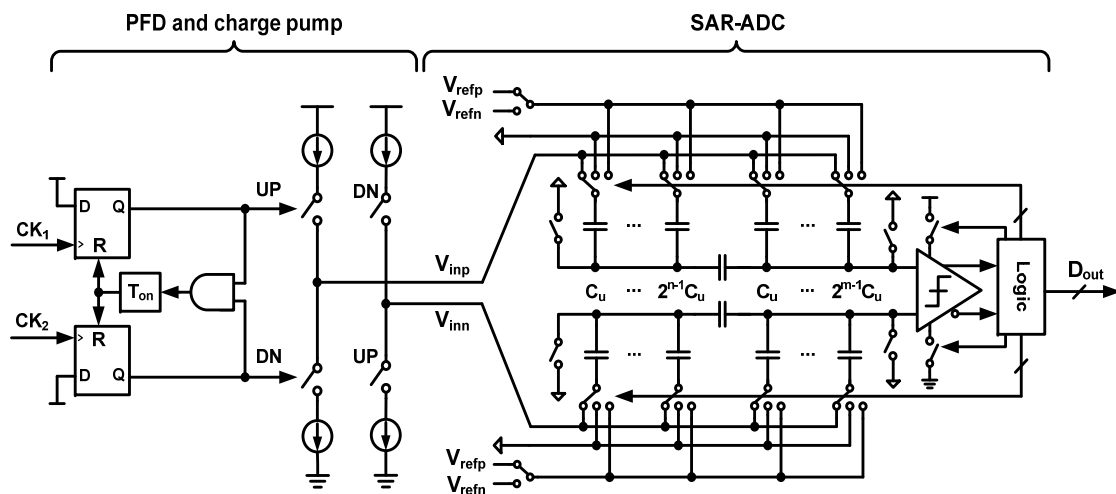
チャージポンプとSAR ADCを用いたTDC 低ノイズデジタルPLLなどに使用予定

これまでのTDCはインバータ遅延を用いていたため10ps以下の分解能は困難

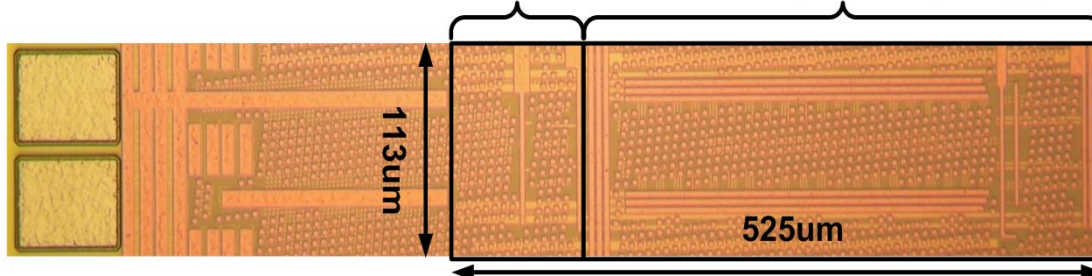
開発中のTDC

0.8ps, 10bit, 100MSPS, 4mW, 0.02mm²

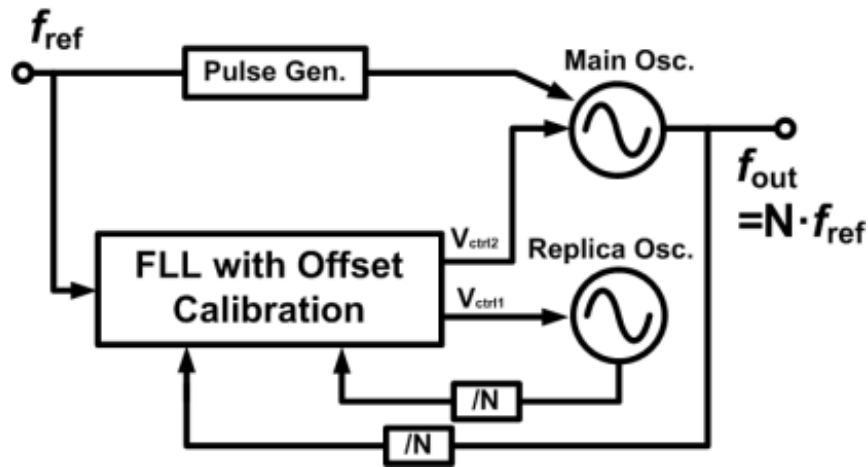
時間分解能: 0.8ps, 8bit, 40MSPS, 2.5mW



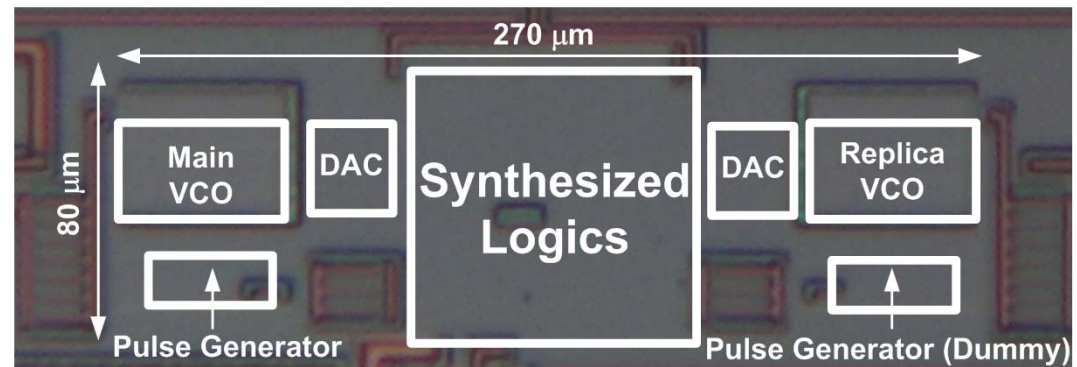
PFD and charge pump SAR-ADC (12-bit topology)



LSIのシステムクロック発生用低ジッタ, 低電力, 小面積 IL VCO
Tj=1.8ps, 1mW, 0.02mm²



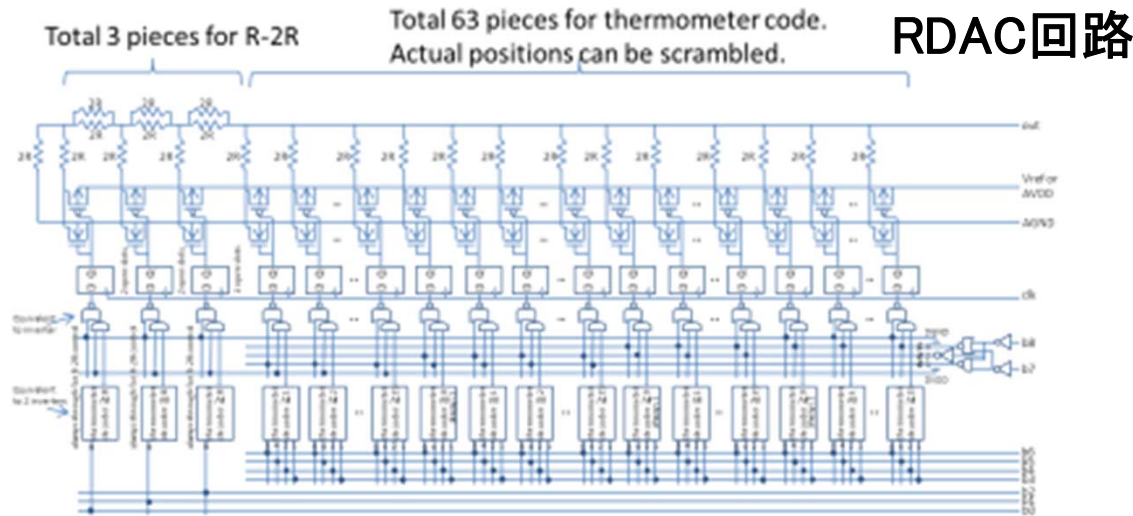
従来のPLLに代わるクロック発生器
今後はレイアウト合成が可能に



IL VCO 性能比較

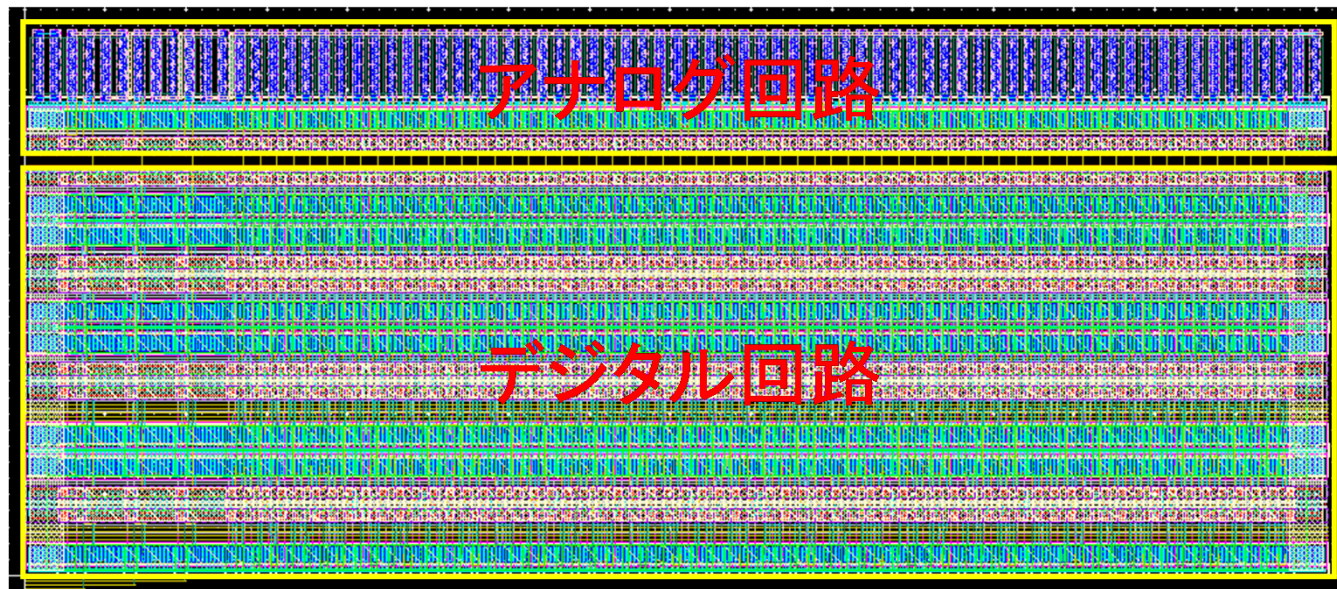
	This work	[1]		[2]	[5]
	IL-PLL	DMDLL	DPLL	MDLL	IL-PLL
Freq. [GHz]	1.2 (0.5-1.6)	1.5 (0.8-1.8)	1.5 (0.8-1.8)	1.6	0.216
Ref. [MHz]	300 (40-300)	375	375	50	27
Power [mW]	0.97	0.89	1.35	12	6.9
Area [mm ²]	0.022	0.25	0.25	0.058	0.03
Integ. Jitter [ps]	0.7	0.4	3.2	0.68	2.4
Jitter RMS/PP [ps]	1.81/19.4 10M hits	0.92/9.2 5M hits	4.2/33 5M hits	0.93/11.1 30M hits	N.A.
FOM [dB]	-243	-248.46	-228.59	-233.76	-225
CMOS Tech.	65nm	130nm	130nm	130nm	55nm

RDAC, CDACなど規則性のあるアナログ回路を自動合成
開発期間の短縮, 高速・低電力・小面積

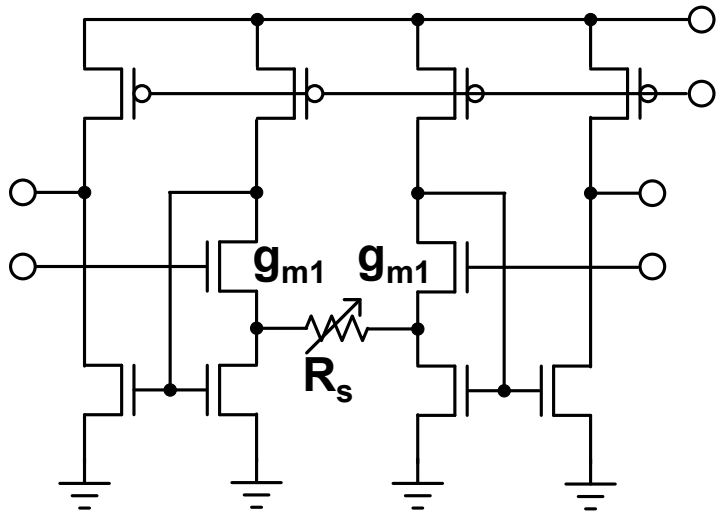


最適構成の自動計算
SKILL言語による自動レイアウト

自動合成した
RDACレイアウト



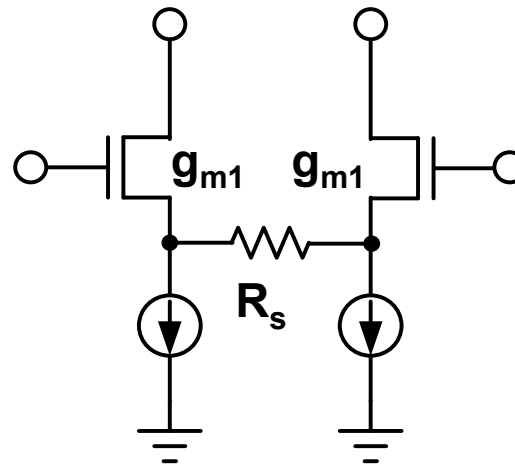
帰還型 g_m セルは線形性が高く、低電圧化も可能である。
フィルタ, VGAなど各種アナログフロントエンド回路が実現できる。



帰還型 g_m セル

$$\frac{i_o}{v_{in}} \approx \frac{2}{R_s} \frac{1}{1 + \frac{1}{g_{m1}r_D}}$$

ドレイン抵抗 r_D は十分高いので、 g_m の非線形性の影響が小さい



従来の g_m セル

$$\frac{i_o}{v_{in}} \approx \frac{2}{R_s} \frac{1}{1 + \frac{1}{g_{m1}R_s}}$$

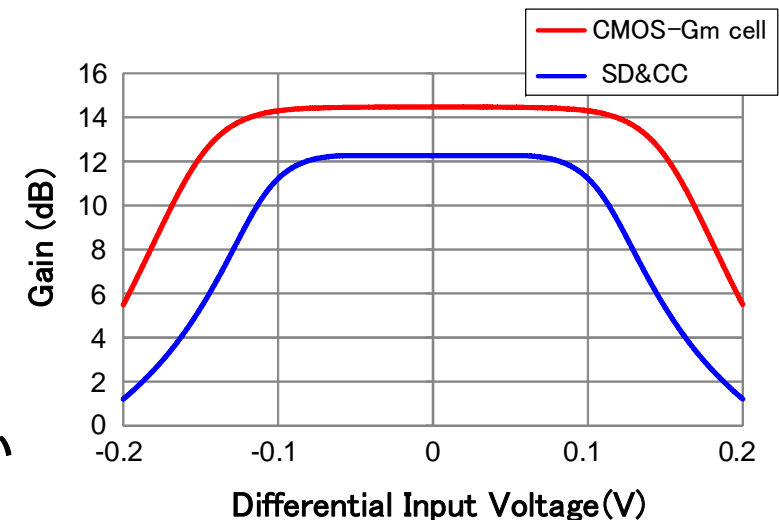
ソース間抵抗 R_s は低いので、 g_m の非線形性の影響が大きい

GBWは30GHz程度を確認

$$V_{DD\min} \approx V_T + 2V_{eff} \approx 0.6V$$

0.6V程度の低電圧動作が可能

良好な線形性と高い利得



Tien-Yu Lo, Cheng-Sheng Kao, and Chung-Chih Hung, "A Gm-C Continuous-time Analog Filter for IEEE 802. 11 a/b/g/n Wireless LANs," ISSCS, vol.1, pp.41-44, Iasi, Romania, July 2007.

今後の発展に必要なもの

- 卓越性の追求

勝つためには何らかの「卓越性」が無ければならない

- 技術力？

- 製造力？

- サービス力？

他社と同じことが出来るだけではビジネスは続かない
「差別化技術」と思われるものが本当に「卓越性」を有しているのだろうか？

- 卓越性の源泉は人材

教育は発展への投資

- しっかりとした理論の習得が大切
 - アナログは勘と経験というが、勘は理論に基づくものである
 - 日本の大学教育は課題山積
 - 教育内容の更新が必要
 - 技術の体系化が必要
- 失敗の経験が必要
 - 失敗が許されなくなったことは大問題
 - 失敗が許され、持続的な研究が可能な大学の活用が重要に

- これまでの40年間日本の民生機器メーカーが行ってきたことは電子機器のデジタル化, 小型化
- デジタル化に伴い, ADCなどのアナログ技術も発展
- デジタル化が終了した今日, 新たな発展ストーリーが必要
- アナログ技術が差別化技術として重要
- アナログ技術の方向性
 - 60GHz CMOSなど技術困難度が高いものへの挑戦
 - プログラマブルアナログ技術による設計効率の革新
- 今後の発展に必要なもの
 - 卓越性の追求
 - 失敗を許容する仕組み, 大学の活用
 - 新たな技術教育