

# 60GHz帯16QAM変調対応 ダイレクトコンバージョン型CMOS無線機

○南 亮, 津久井 裕基, 浅田 大樹, 岡田 健一, 松澤 昭

東京工業大学大学院 理工学研究科  
電子物理工学専攻 松澤・岡田研究室

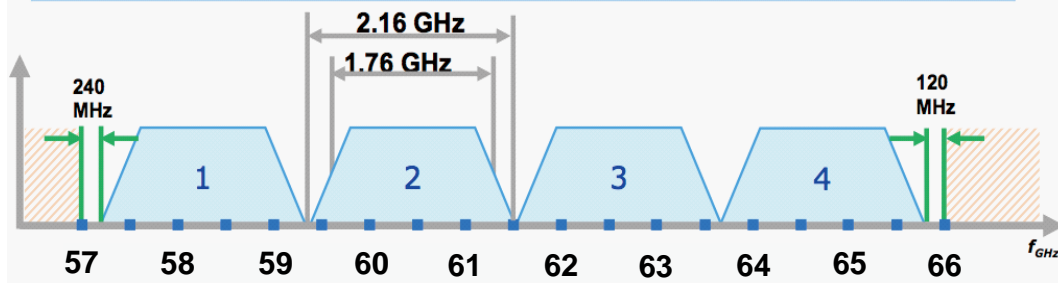
- 研究背景
- 目標性能
- 通信回路の設計手法
  - 伝送線路
  - 送信回路
  - 受信回路
- 測定結果
- 結論

- 60GHz CMOSトランシーバは数Gb/s以上の高速無線通信が可能

IEEE 802.15.3c specification

- 57.24GHz - 65.88GHz
- 2.16GHz/ch x 4channels
- QPSK → 3.5Gbps/ch
- 16QAM → 7.0Gbps/ch**

Channel Number	Low Freq. (GHz)	Center Freq. (GHz)	High Freq. (GHz)	Nyquist BW (GHz)	Roll-Off Factor
A1	57.24	58.32	59.40	1.76	0.25
A2	59.40	60.48	61.56	1.76	0.25
A3	61.56	62.64	63.72	1.76	0.25
A4	63.72	64.80	65.88	1.76	0.25



## リンクバジェット

コンポーネント	寄与	合計	備考
送信器の出力電力	<b>+10dBm</b>	+10dBm	電力増幅器の出力
自由空間伝搬損失	-77.5dB	-67.5dBm	通信距離3m
アンテナ利得	<b>+12dBi</b>	-55.5dBm	送受6dBiずつ
雑音		-81.6dBm	背景雑音+雑音帯域幅
雑音指数	<b>+6dB</b>	-75.6dBm	
入力信号のSNR		+20.1dB	
必要なSNR		+17.2dB	16QAM, BER=1e-3

## 送信回路の目標性能

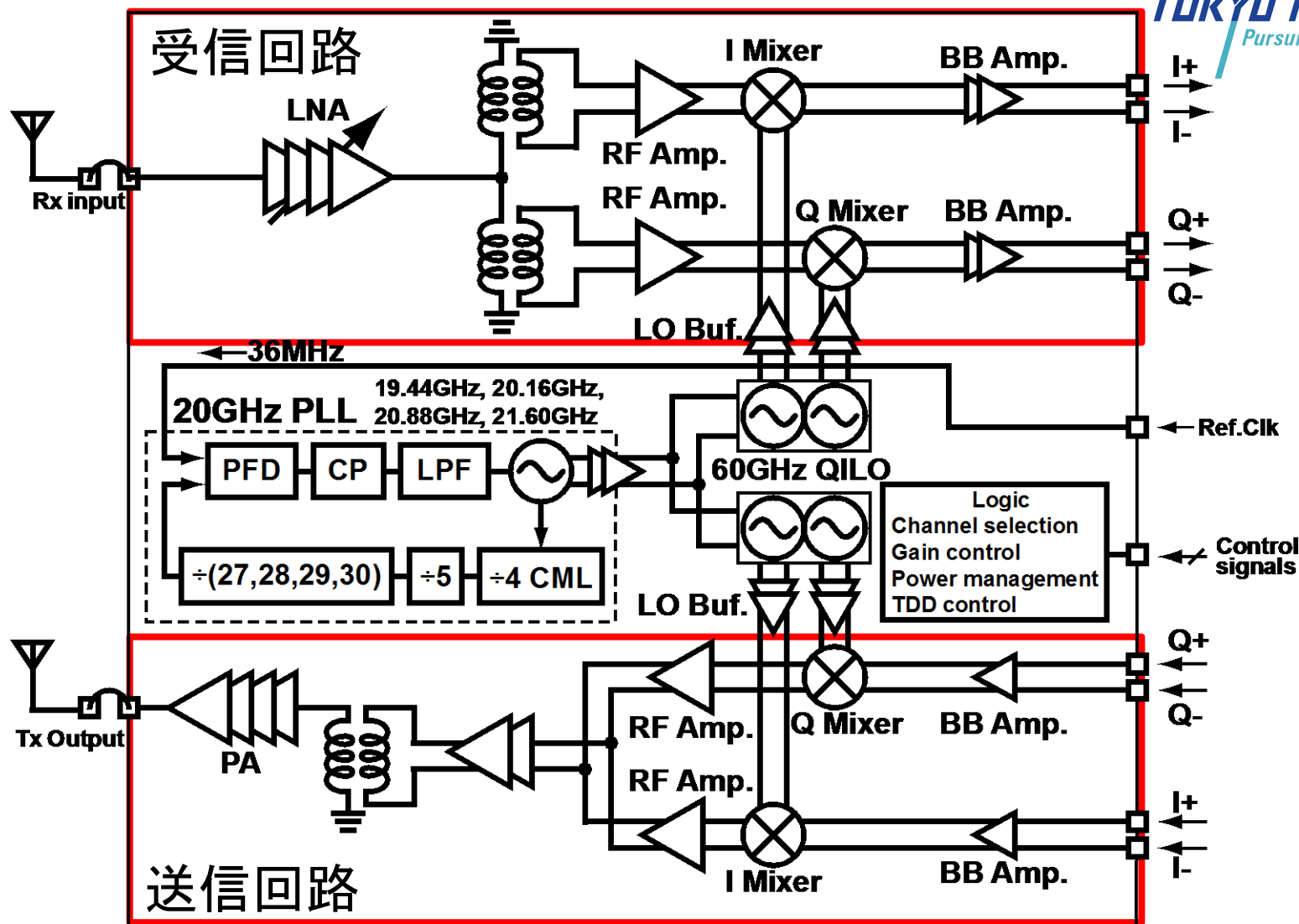
変換利得	25dB
出力電力	10dBm
消費電力	150mW

## 受信回路の目標性能

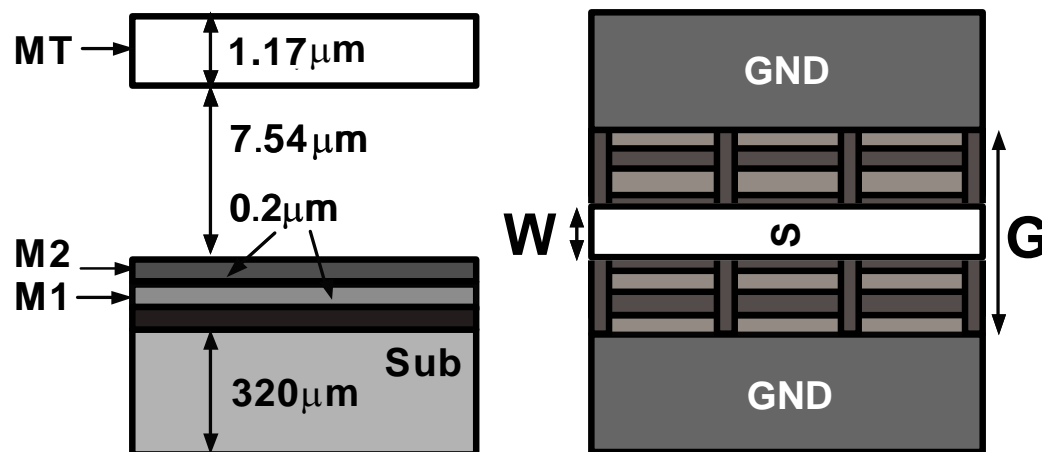
入力範囲	-56~-26dBm
変換利得	10~20dB
雑音指数	6dB
IIP3	-16dBm
消費電力	100mW

- 目標と課題
  - 4チャンネル全てで16QAMの無線通信を行う
  - シングルチップへの集積
  - I/Qバランスやゲインフラットネスの改善
  - DACとデジタル回路による外部からのバイアス制御

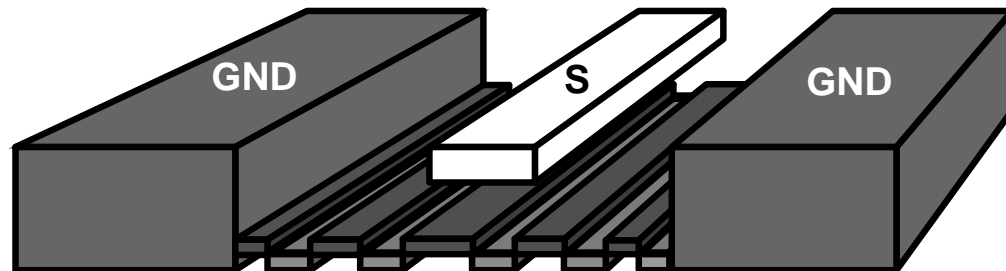
# ブロックダイアグラム



チップ面積と消費電力を低減させるため、**ダイレクトコンバージョン方式**を採用<sup>[1][2]</sup>



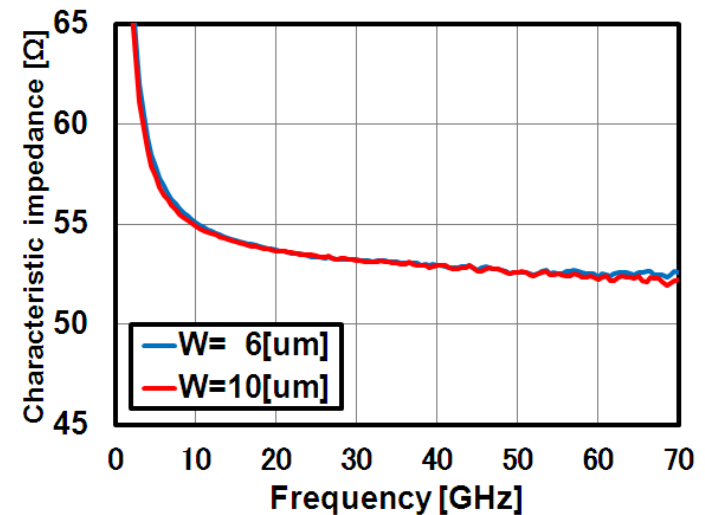
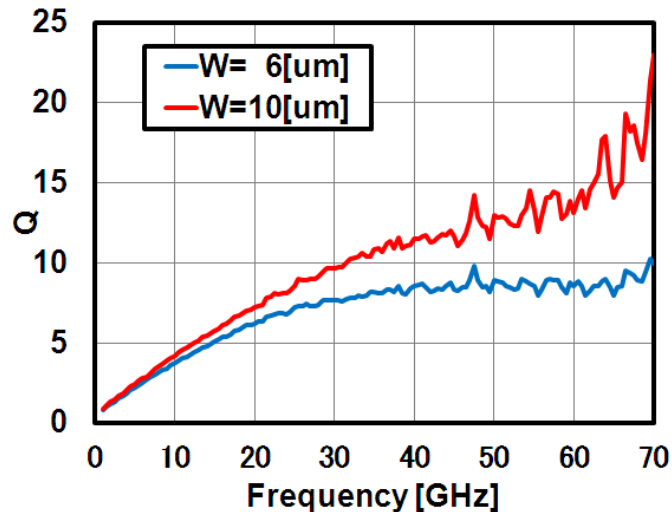
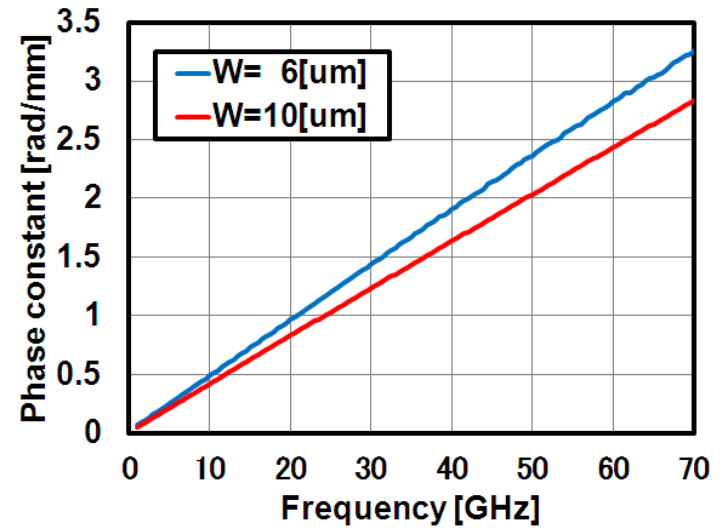
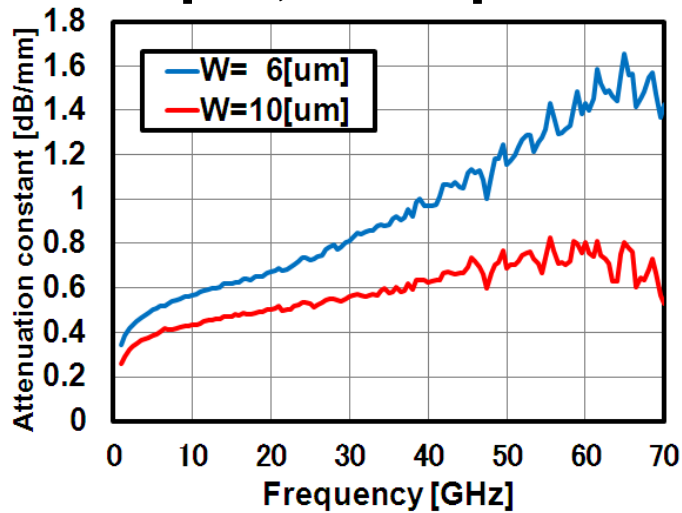
W: 信号線の線幅  
G: GND間の距離

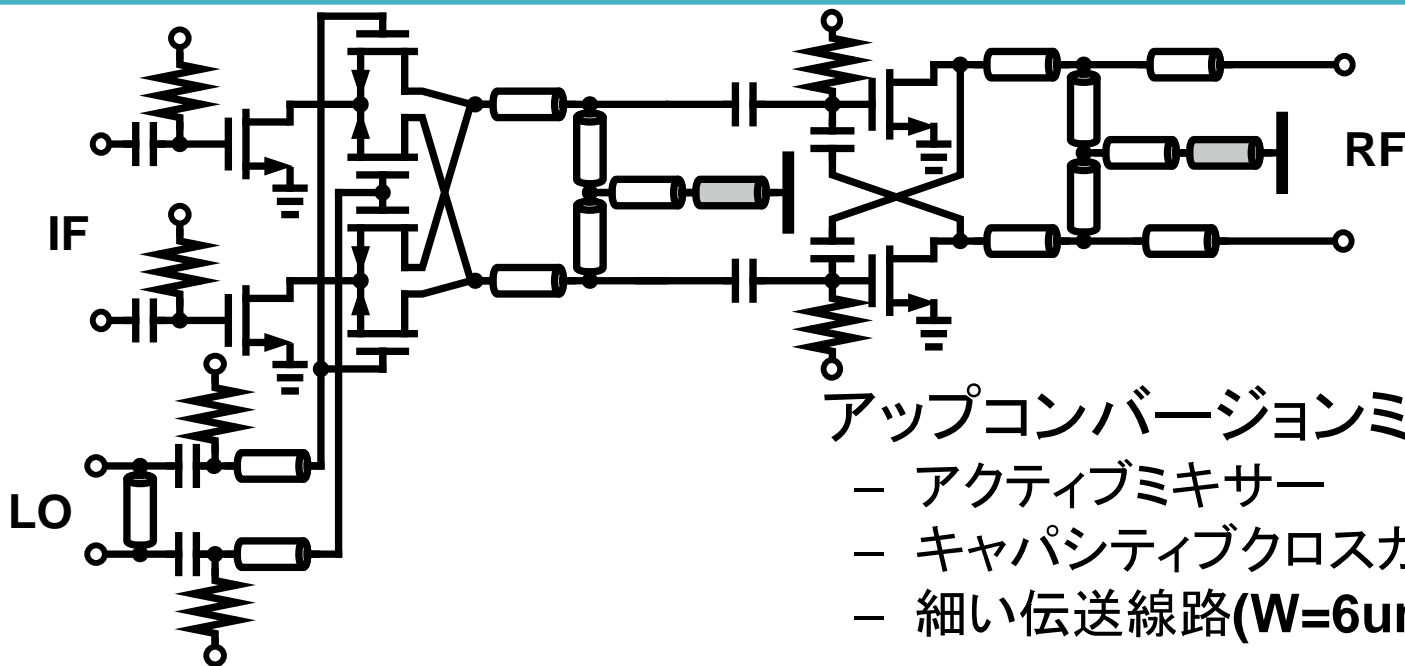


- RFの整合回路には伝送線路を用いている
- 面積と損失の間にトレードオフが存在
  - 線幅を変えた2種類の伝送線路の性能を比較

# TLの特性

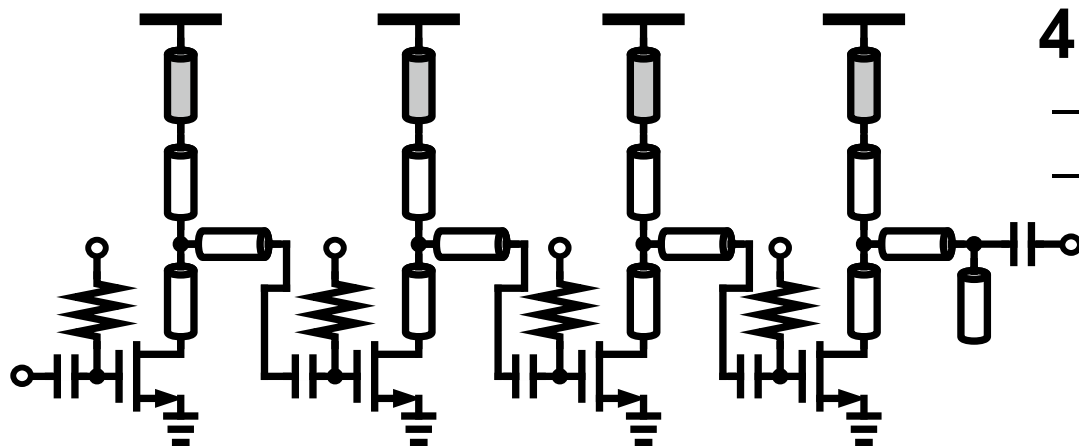
- $W=6\mu\text{m}$ ,  $G=20\mu\text{m}$
- $W=10\mu\text{m}$ ,  $G=40\mu\text{m}$





## アップコンバージョンミキサー

- アクティブミキサー
- キャパシティブクロスカップリング
- 細い伝送線路( $W=6\mu\text{m}$ )による小面積化



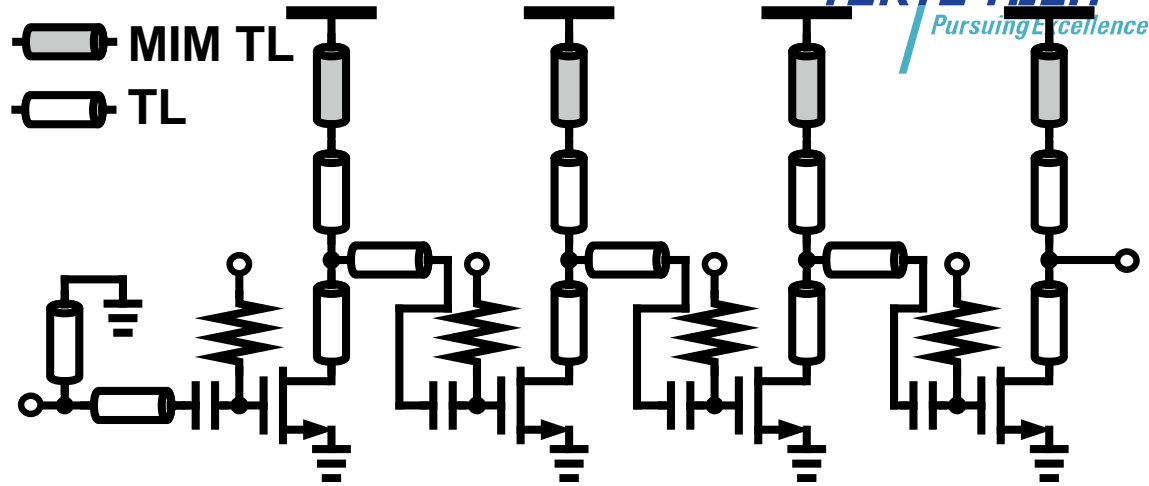
## 4段電力増幅器

- コモンソース型
- 細い伝送線路( $W=6\mu\text{m}$ )による小面積化



## 4段低雑音増幅器

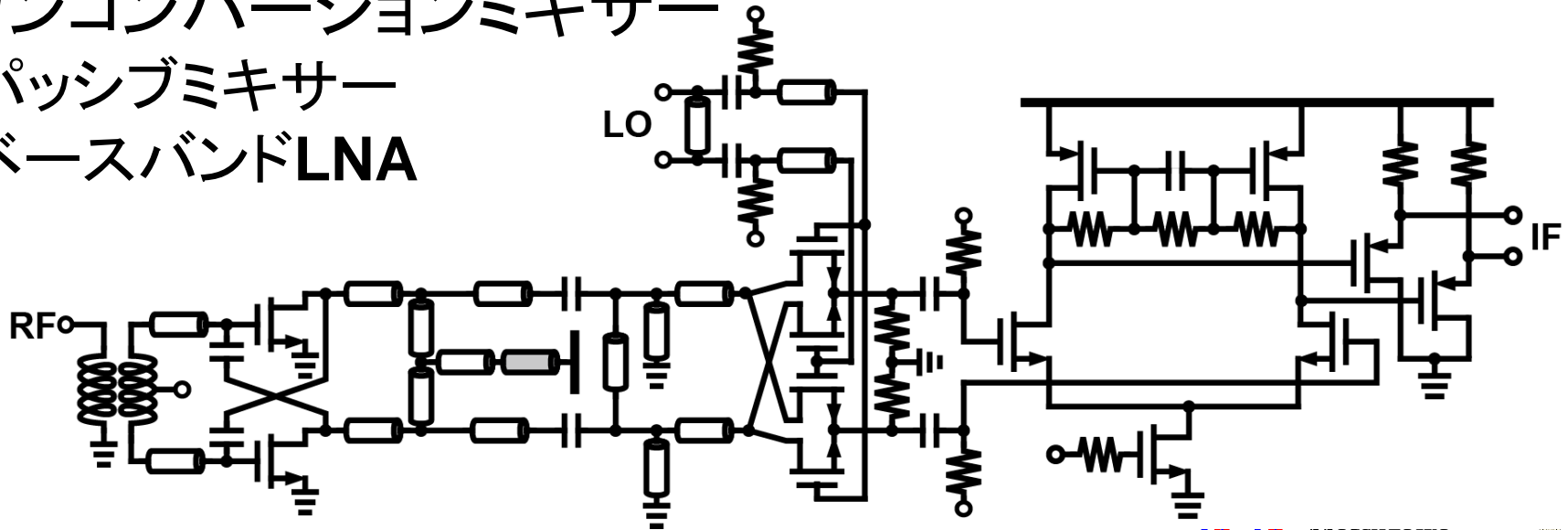
- フィンガー幅の最適化
- 整合回路によるESD保護

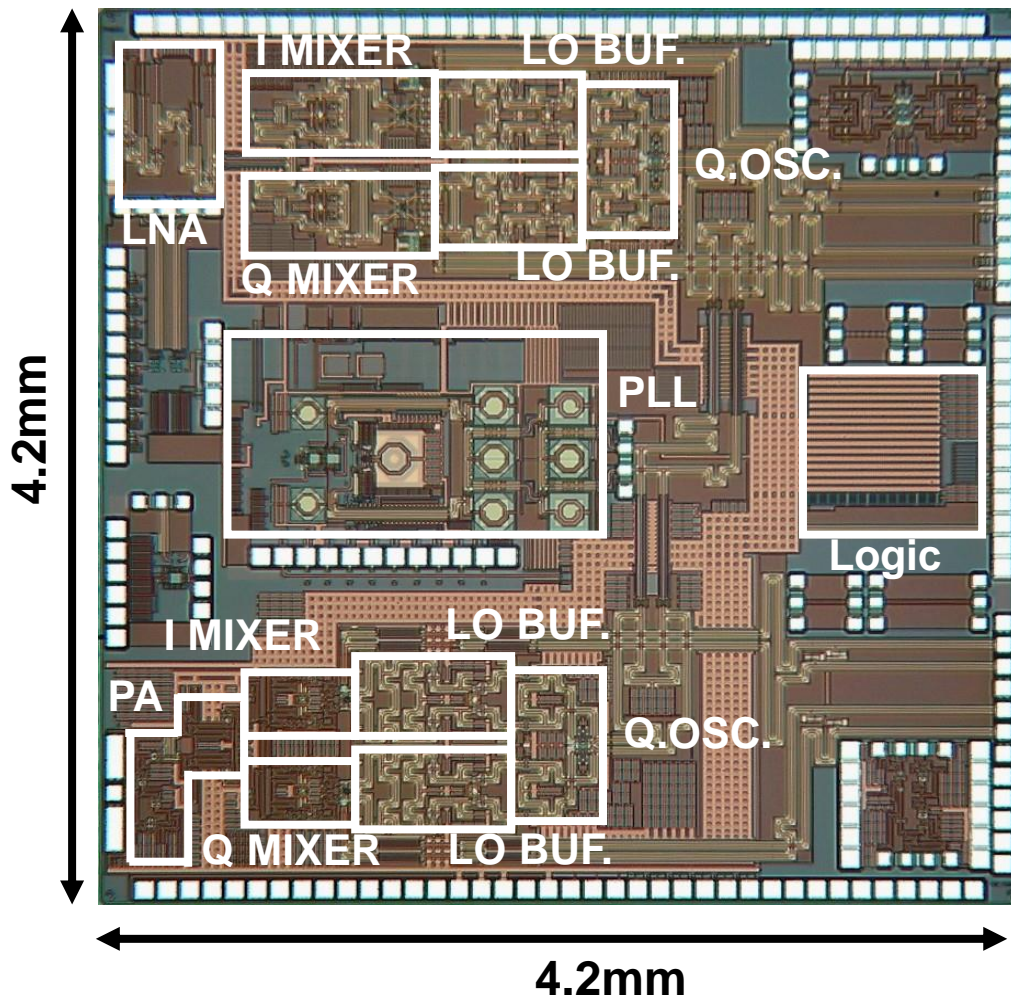


$W=1\mu\text{m} \times 40$     $1\mu\text{m} \times 40$     $2\mu\text{m} \times 20$     $2\mu\text{m} \times 20$

## ダウンコンバージョンミキサー

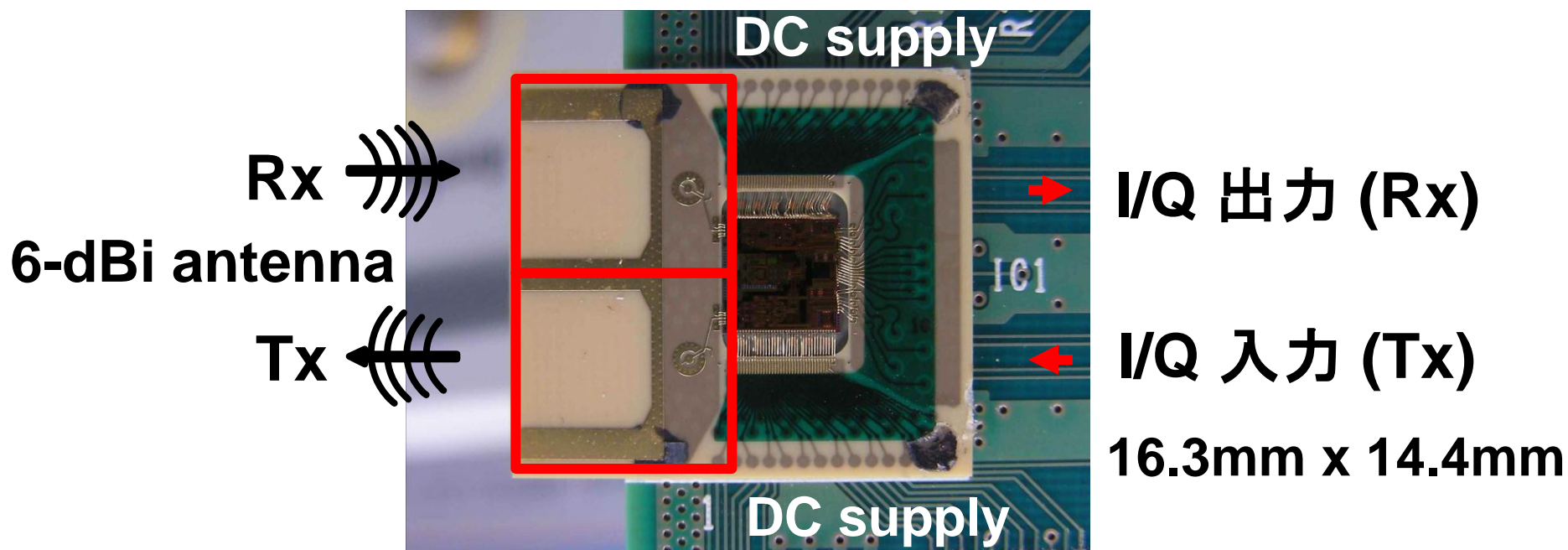
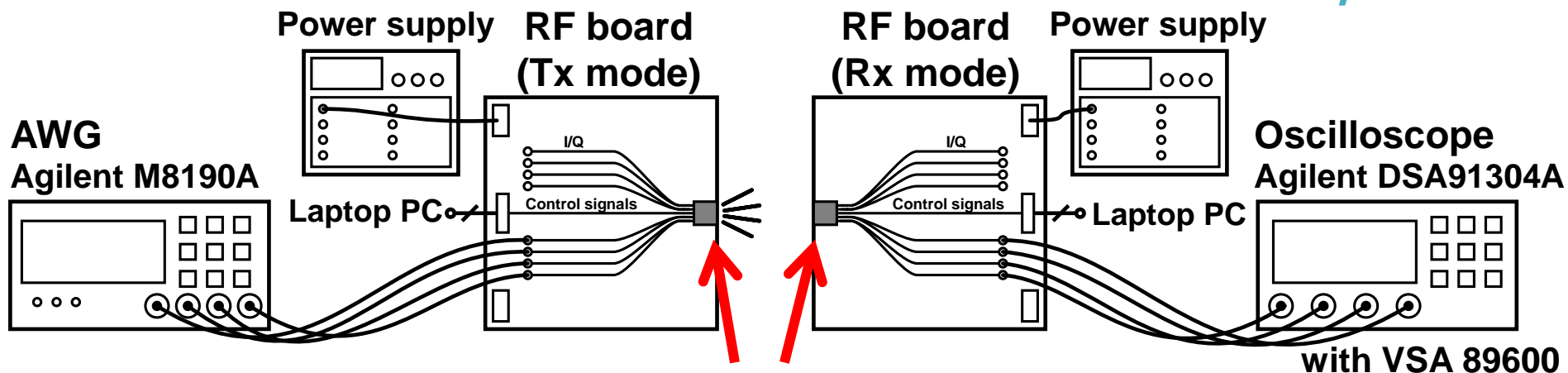
- パッシブミキサー
- ベースバンドLNA



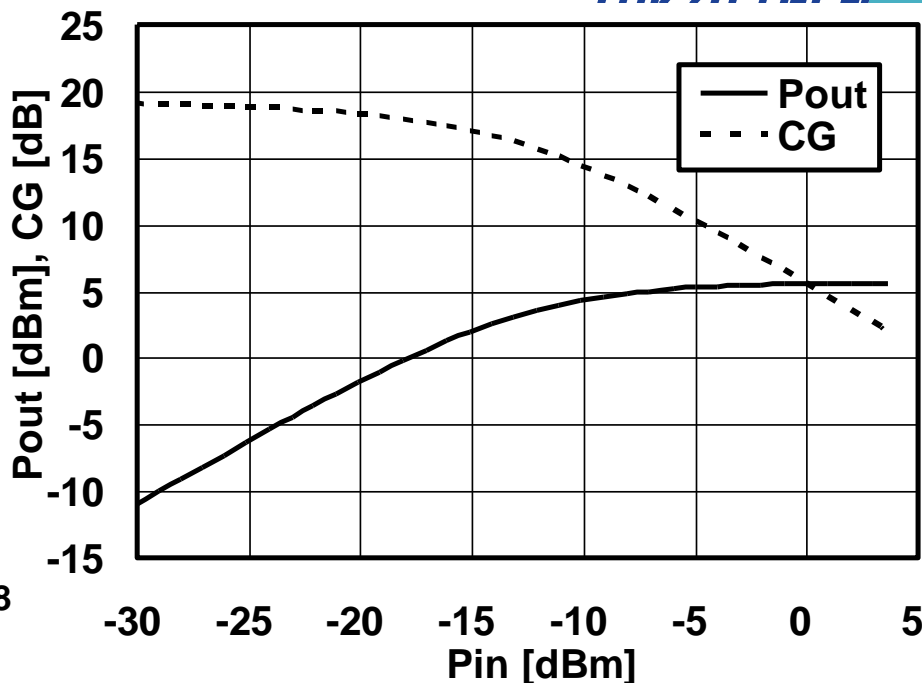
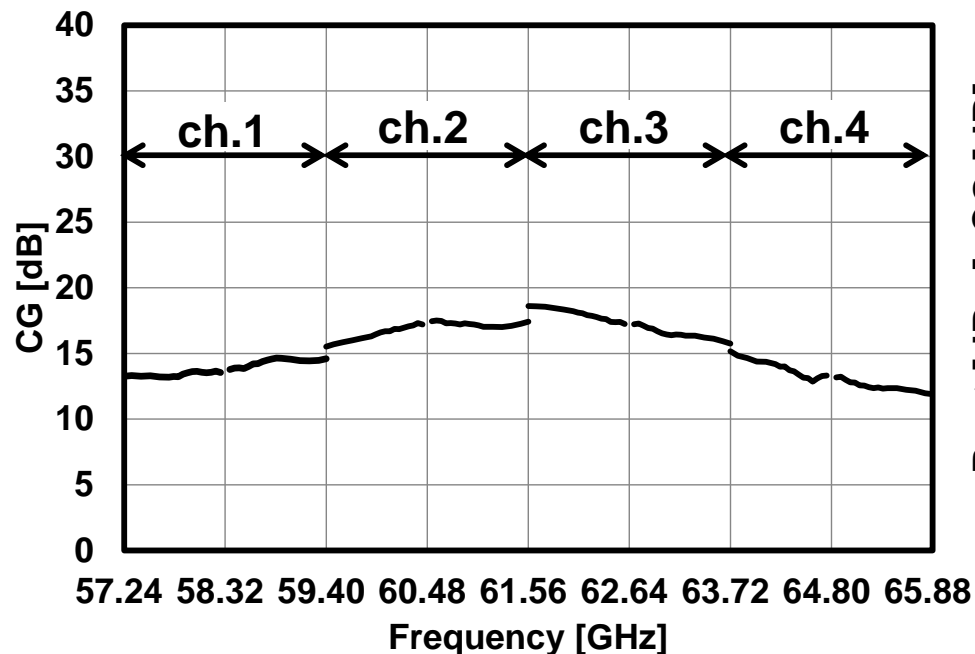


RFチップ	65nm CMOSプロセス	
	面積	消費電力
送信回路	1.96mm <sup>2</sup>	257mW
受信回路	1.77mm <sup>2</sup>	162mW
PLL	1.37mm <sup>2</sup>	61mW
制御回路	0.38mm <sup>2</sup>	0.4mW

- 全コンポーネントを1枚のチップに集積
- 細かい線路を用いることで送信回路の面積を従来ものから**15%削減**



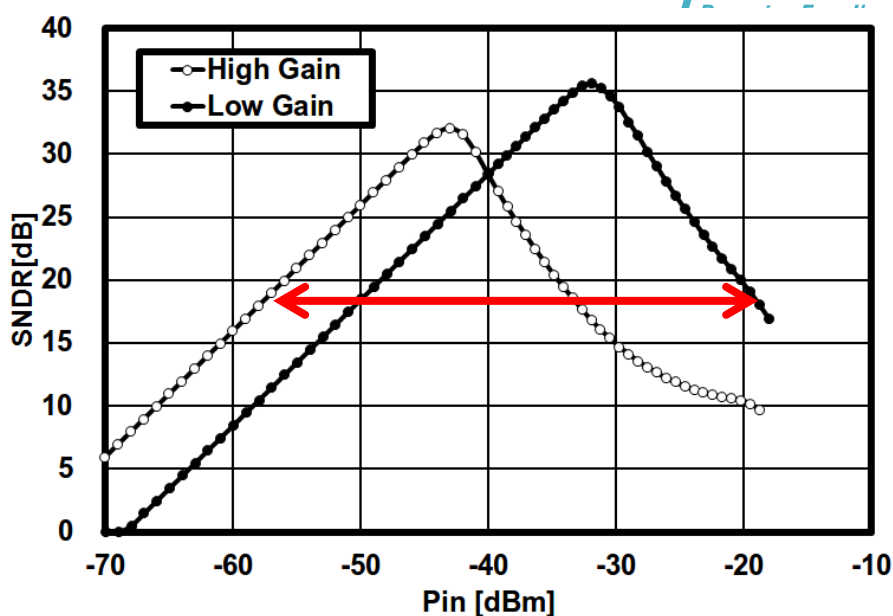
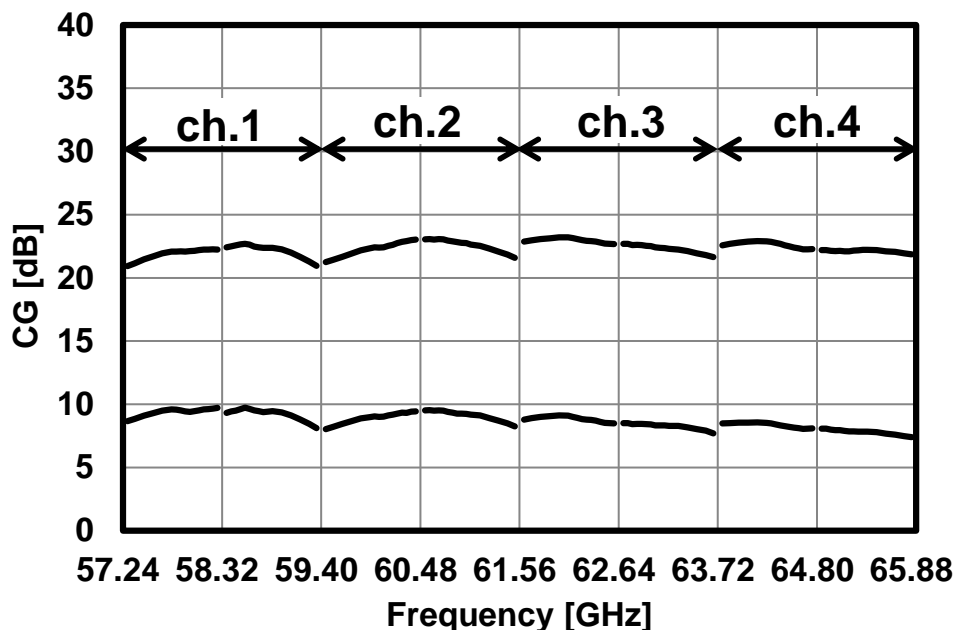
# 送信回路の測定結果



送信回路	測定結果
変換利得	18dB
出力電力	5.6dBm(Ch.3)
消費電力	150mW(QPSK) 257mW(16QAM)


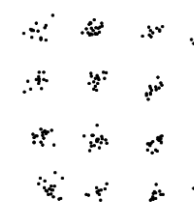
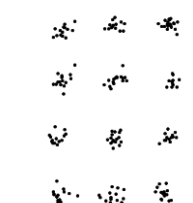
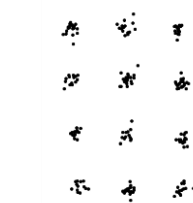
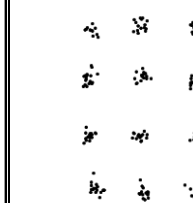
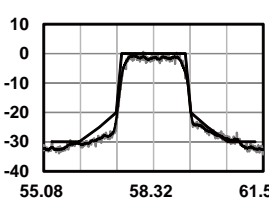
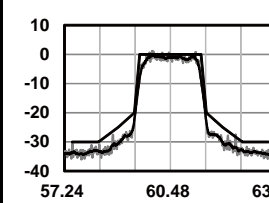
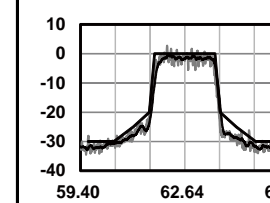
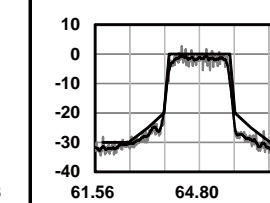
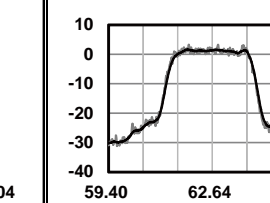
- 60GHz帯送信回路の低消費電力化に成功

# 受信回路の測定結果



受信回路	測定結果
入力範囲	-58~-18dBm
変換利得	9~23dB
雑音指数	4.9dB(Ch.3)
IIP3	-14dBm(Ch.3)
消費電力	104mW(QPSK) 162mW(16QAM)

- 58~-18dBmの範囲で **17.2dB**以上(16QAM)の SNDRを達成

Channel/ Carrier freq.	ch.1 58.32GHz	ch.2 60.48GHz	ch.3 62.64GHz	ch.4 64.80GHz	ch.1-ch.4 Max rate
Constellation					
Spectrum					
Back-off	4.4dB	4.6dB	5.0dB	5.7dB	5.0dB
Data rate*	7.0Gb/s	7.0Gb/s	7.0Gb/s	7.0Gb/s	10.0Gb/s (ch.3)
EVM	-23.0dB	-23.0dB	-23.3dB	-22.8dB	-23.0dB (ch.3)
Distance**	0.3m	0.5m	0.5m	0.3m	>0.01m (ch.3)

\*ロールオフ率0.25。左4列は帯域幅2.16GHz

\*\* BER<math>10^{-3}</math>の条件下での通信距離。6dBiのアンテナを使用。

	Arch.	Max. rate in 16QAM	Distance for BER $<10^{-3}$	$P_{DC}$ (Tx/Rx)
Tokyo Tech [1]	Direct	11Gb/s [1] 16Gb/s [4]	ch.1-2 (EVM $< -17\text{dB}$ ) 2.7m (BPSK/QPSK) 0.2m (8PSK/16QAM)	252mW / 172mW
CEA-LETI [5]	Hetero	7Gb/s	—	1,357mW / 454mW
SiBeam [6]	Hetero	7Gb/s	ch.2-3 (EVM $< -19\text{dB}$ ) 50m (LOS) 16m (NLOS)	1,820mW / 1,250mW
This work[2]	Direct	<b>10Gb/s</b>	ch.1-4 (EVM $< -23\text{dB}$ ) 1.3-1.6m (QPSK) 0.3-0.5m (16QAM)	319mW / 223mW



- **世界初**の60GHz帯全4チャンネル16QAM変調対応送受信回路を実現
- 16QAM変調方式で**10Gb/s**、QPSK変調方式で8Gb/sの通信速度を達成した
- 受信回路で全チャンネルを通じ利得の平坦性を**1dB**以内に抑制した
- 従来研究に比べ大幅に低消費電力化、低面積化を実現した