

# 低電圧動作にむけたMOM容量を用いた 比較器のオフセット補償

◎真野息吹, 宮原正也, 松澤昭

東京工業大学大学院理工学研究科

- 研究背景
- Flash型 A/D変換器と比較器の構成
- 容量型オフセット補償
- シミュレーション結果
- まとめ

- CMOSプロセスの微細化の進展
- ポータブル機器の省電力化の要求

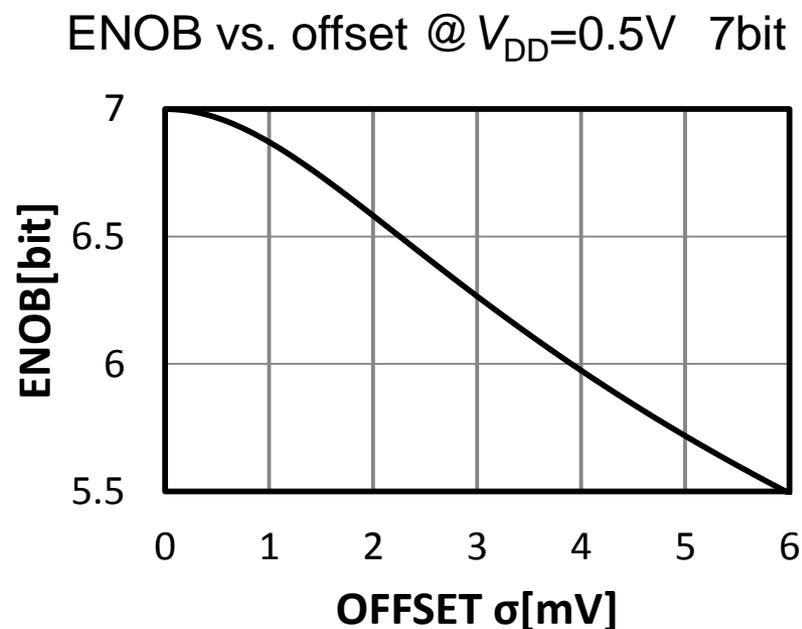
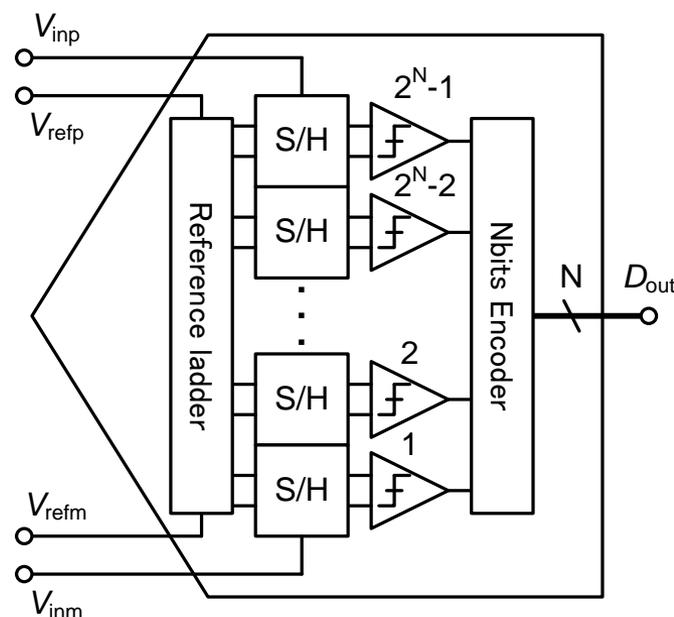
低電圧電源で動作するA/D変換器(ADC)が必要

UWB等の高速無線通信をターゲットとした、  
0.5V 7bit Flash型A/D変換器(Flash ADC)を開発

Flash ADCの変換精度は、比較器のオフセット  
によって劣化する。

➡ MOM容量を用いた比較器のオフセット補償を検討

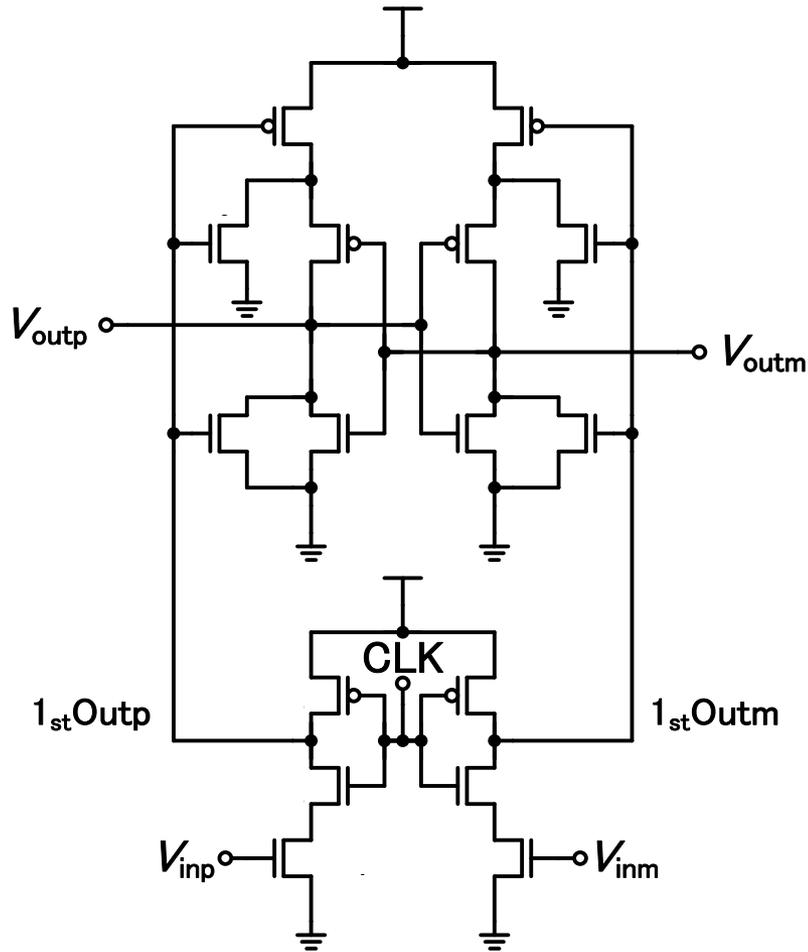
- 高速変換
- 低分解能
- 比較器のオフセットが変換精度に影響



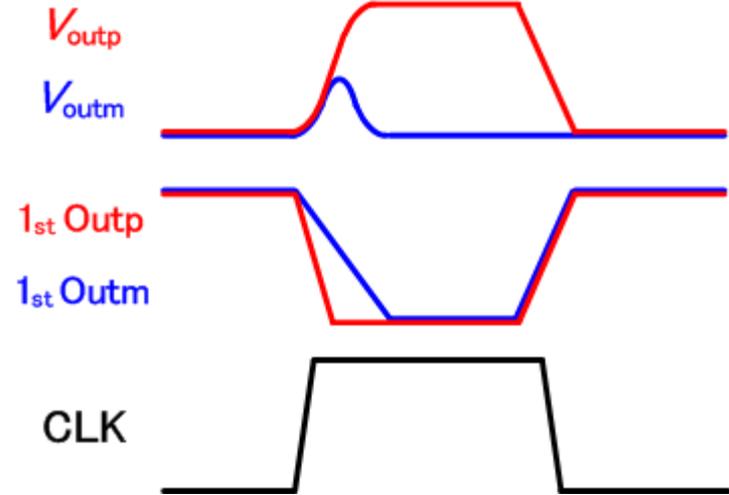
ENOBを6.5bit以上とするためには、 $\sigma < 2.2\text{mV}$ が必要

➡ 0.5Vで有効に動作するオフセット補償が求められる。

## ダブルテールラッチ型[1]

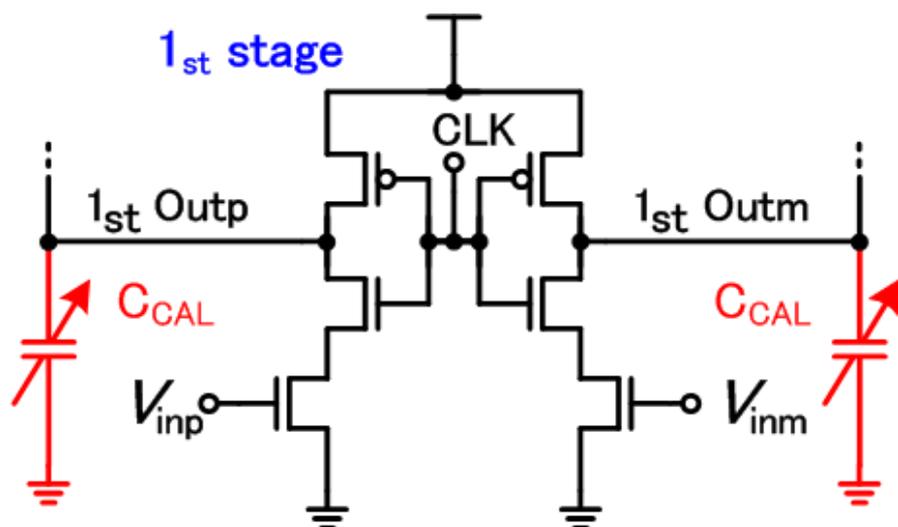


if  $V_{inp} > V_{inm}$



- 初段のダイナミックアンプと後段のラッチで構成。
- $T_r$ のスタック数が少ないため低電圧動作に向いている。

[1]Masaya Miyahara,A-SSCC,pp.269-22,Nov.2008



初段の出力に可変容量  $C_{CAL}$  を追加することにより、スルーレートを調整し、オフセットをキャンセルする。

容量型オフセット補償の適用によって

- 消費電力が  $2f_s \cdot C_{CAL} \cdot V_{DD}^2$  [W] 増加
- 遅延時間が  $\frac{(V_{DD} - V_{DS})C_{CAL}}{\overline{I_{DS}}}$  [s] 増加

$C_{CAL}$  をなるべく小さくする必要がある。

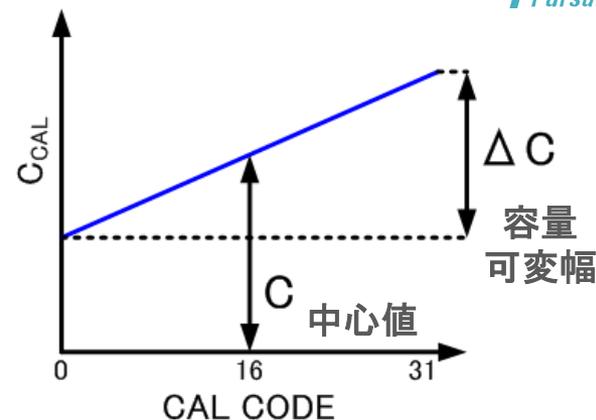
[2] D. Paik, et al., IEICE TRANS, pp.456-470, Feb.2012.

補償可能幅 $\Delta V$  (入力換算)[2]

$$\Delta V = \frac{V_{\text{eff}}}{2} \frac{\Delta C}{C} \frac{1}{1 + \frac{C_p}{C}}$$

$V_{\text{eff}}$  : 入力差動対の有効ゲート電圧

$C_p$  : 初段出力の寄生容量



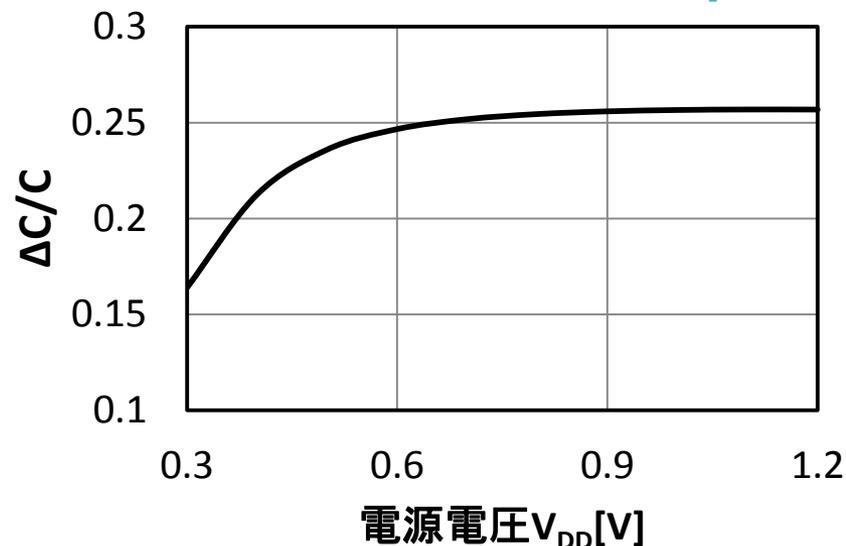
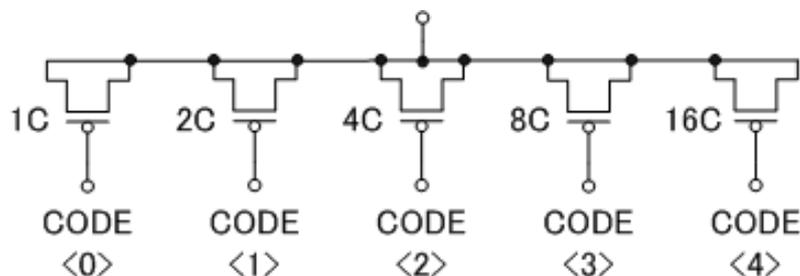
$C_{\text{CAL}}$  vs. calibration code

- $\Delta V$ の上限は、 $V_{\text{eff}}$ と容量変化率 $\Delta C/C$ により決まる。
- $C_p/C$ によって $\Delta V$ が減少する。

電源電圧の減少によって $V_{\text{eff}}$ が減少 ( $V_{\text{eff}} = 91\text{mV}$  @  $V_{\text{DD}}=0.5\text{V}$ )  
 $\Delta V = 18\text{mV}$ を得るためには  $\Delta C/C > 0.4$  が必要

[3] G. Van der Plas, et al., IEEE ISSCC, pp.566-567, Feb.2006.

## 従来手法 MOS バラクタ



- 😊 容量密度が高い  
( $3.46 \text{ fF}/\mu\text{m}^2$ )
- 😊 最小容量が小さい

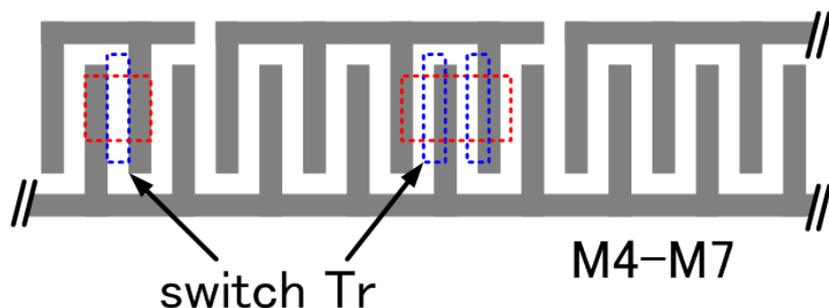
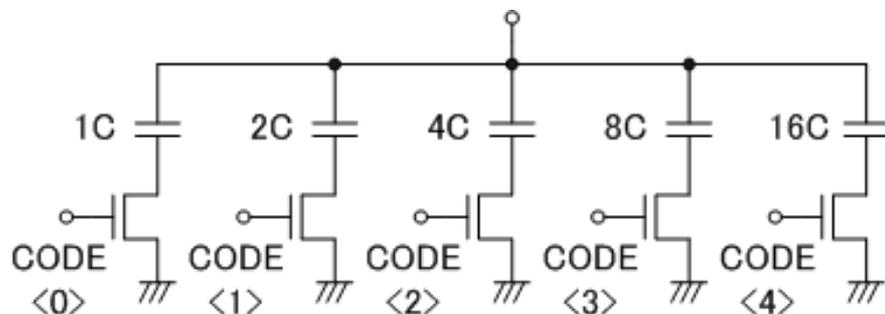
- ☹️ 容量変化率が小さい  
( $V_{DD}=0.5\text{V}$   $\Delta C/C=0.24$ )

$$\Delta V_{MAX} = 11\text{mV}$$

@ $V_{eff}=91\text{mV}$

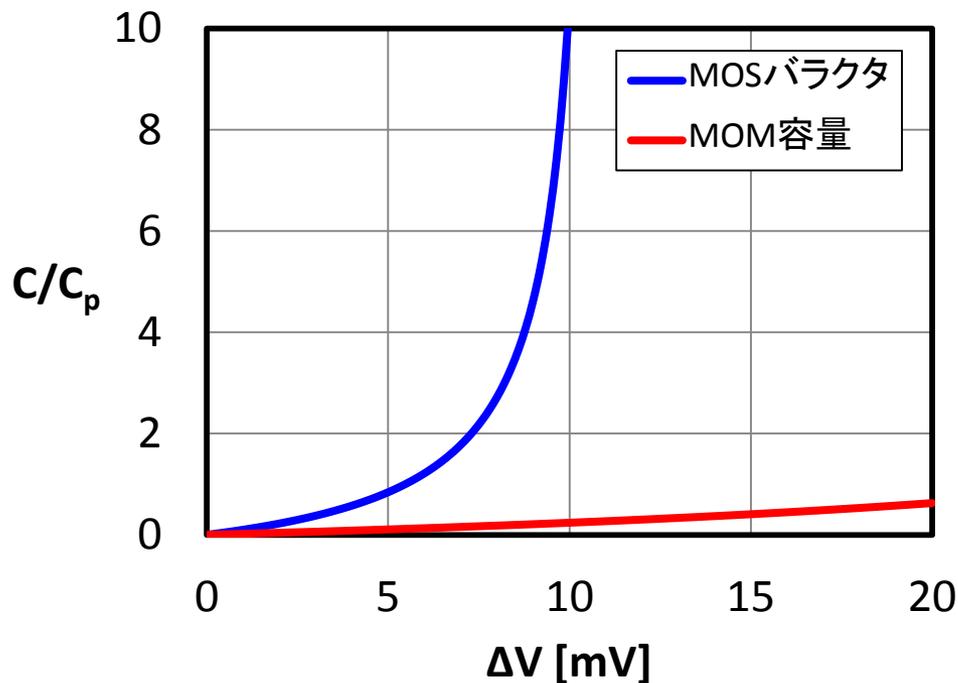
MOSバラクタでは、必要な補償幅を得ることができない。

## 提案手法 MOM容量



バイナリで重みづけした、  
配線間容量 (MOM容量)  
と MOS switch で構成

- ☹️ 容量密度が小さい  
( $0.84 \text{ fF}/\mu\text{m}^2$ )
- 😊 容量変化率が大きい  
( $V_{DD}=0.5\text{V}$   $\Delta C/C=1.14$ )  
 $\Delta V_{MAX} = 52\text{mV}$  @  $V_{eff}=91\text{mV}$
- 😊 最小容量が小さい



補償範囲と必要な容量の関係

$$V_{DD}=0.5V \quad V_{eff} = 91mV$$

MOM容量の利用により、 $C/C_p$ を0.52と、小さく設定することが可能。



消費電力や変換時間の増加を抑えることが期待される。

$V_{DD}=0.5V$ にて、MOM容量を用いた容量型補償を比較器に適用し、特性をシミュレーションによって確認

	w/o CAL	TIMING CAL [4]	C CAL MOM capacitor
C [fF]	---	---	16
$\sigma_{\text{offset}}$ [mV]	6.34	2.87	1.45
Area[ $\mu\text{m}^2$ ]	100	220	210
Delay[ps]	460	516	593
Power @100MHz[ $\mu\text{W}$ ]	3.6	6.3	4.8

CMOS 90nm  
with FBB  
5bit calibration  
 $V_{DD} = 0.5V$

[4]Masaya Miyahara,  
A-SSCC, 6-5,  
pp 177-180,  
Nov.2010

MOM容量を用いた容量型キャリブレーションによって、オフセットのばらつきを $\sigma=1.45\text{mV}$ に抑制。(ENOB 6.75bit相当)

- 容量オフセット補償において、補償可能幅  $\Delta V=18\text{mV}$  を得るためには、 $\Delta C/C > 0.4$  となる可変容量が必要となることを示した。
- MOSバラクタ :  $\Delta C/C=0.24$   
MOM容量 :  $\Delta C/C=1.14$   
MOM容量を用いることにより、オフセット補償範囲幅の改善と消費電力の削減が期待される。
- MOM容量を用いた容量型オフセット補償によって、比較器のオフセットを $\sigma=1.45\text{mV}$  に抑えることが可能であることを、シミュレーションによって確認した。

ご清聴ありがとうございました。