

# 60 GHz 帯全4チャンネル対応低消費電力 CMOS 無線受信回路

A 60 GHz Full-4ch Low-Power CMOS Integrated Direct-Conversion Receiver

南 亮 Ryo Minami      浅田 大樹 Hiroki Asada      津久井 祐基 Yuki Tsukui      山口 達也 Tatsuya Yamaguchi      アハマド ムサ Ahmed Musa      佐藤 高洋 Takahiro Sato  
 竹内 康揚 Yasuaki Takeuchi      岡田 健一 Kenichi Okada      松澤 昭 Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻  
 Department of Physical Electronics, Tokyo Institute of Technology

## 1 まえがき

近年、Si CMOS プロセスを使用した 60 GHz 帯の無線送受信器の研究が盛んに行われている。60 GHz 帯は世界各国で 9 GHz 程度の幅広い帯域が無免許で解放されており、高速な通信が可能である。本研究では CMOS 65 nm プロセスを用いてダイレクトコンバージョン型 60 GHz 無線受信回路の試作を行った。

## 2 回路構成

図 1 に受信回路のブロック図を示す。受信回路は 4 段低雑音増幅器 (LNA)、IQ2 つのミキサー、60 GHz 直交局部発振器、BB LNA から成っており、消費電力の観点からダイレクトコンバージョン方式を採用している [1]。LNA は NF 改善のため CS-CS トポロジーを採用している。また、ゲート・ドレイン間容量の影響を減らす目的で、非対称のトランジスタを使用している。LNA の後段には、パランと差動増幅器を通してパッシブミキサを接続している。受信回路の変換利得が周波数によらず一定となるよう、BB LNA で利得フラットネスを補正している。局部発振器は 20 GHz PLL と 60 GHz 注入同期型直交局部発振器から成っている [2]。

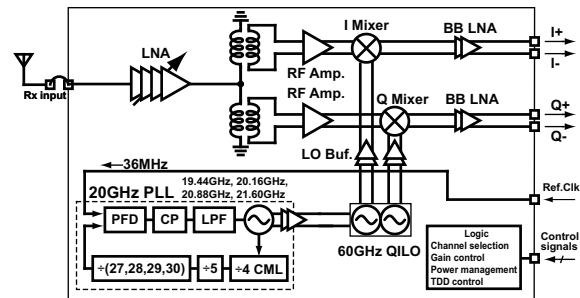


図 1 受信回路のブロック図

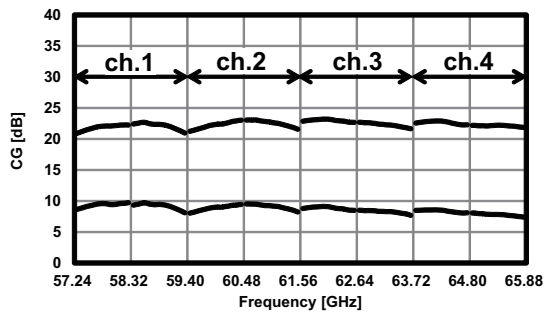


図 2 変換利得

## 3 測定結果

すべての回路が一枚のチップに集積されておりアンテナと共にパッケージングされている。変換利得 CG の測定結果を図 2 に示す。LNA はゲインがコントロールできる。これは、強い信号が入ってきた場合に歪みが生じるのを防ぐためである。ハイゲインモードでの CG は 22 dB、ローゲインモードでは 9 dB である。また、利得フラットネスは各チャンネルで 1 dB 以内となっている。Rx 全体の NF はハイゲインモードで 4.9 dB であり、Rx 全体の IIP3 はローゲインモードで -14 dBm である。電源電圧 1.2 V 時の消費電力は QPSK 変調を行う場合 104 mW であり、16QAM 変調の場合は 162 mW である。

図 3 にコンスタレーションとスペクトラムを示す。任意波形発生器を用いて QPSK と 16QAM の変調信号を送信し、オシロスコープを用いて EVM と BER の評価を行ったところ、IEEE802.15.3c の規格に基づいた全 4 チャンネルでの通信を BER < 10<sup>-3</sup> という条件で実現した。シンボルレートは 1.76 GS/s、ロールオフ率は 25% である。測定の結果、EVM が QPSK で -21.4 dB、16QAM で -23.3 dB であることを確認した。より広い帯域を用いることで QPSK で 8 Gb/s、16QAM で 10 Gb/s の通信が可能であることを確認した。

## 4 まとめ

60 GHz 帯無線受信回路の試作を行い、通信規格に則った全てのチャンネルで通信が可能であることを確認した。より広い帯域を用いて QPSK で 8 Gb/s、16QAM で 10 Gb/s の通信を達成した。

## 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、NEDO、キャン

Channel/ Carrier freq.	Ch.1 58.32GHz	Ch.2 60.48GHz	Ch.3 62.64GHz	Ch.4 64.80GHz
Modulation	16QAM			
Constellation				
Spectrum				
Data rate	7.04Gb/s	7.04Gb/s	7.04Gb/s	7.04Gb/s
EVM	-23.0dB	-23.0dB	-23.3dB	-22.8dB
Distance	0.3m	0.5m	0.5m	0.3m

図 3 コンスタレーション

財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

## 参考文献

- [1] K. Okada, *et al.*, "A Full 4-Channel 6.3 Gb/s 60 GHz Direct-Conversion Transceiver With Low-Power Analog and Digital Baseband Circuitry," ISSCC, Feb. 2012.
- [2] A. Musa, *et al.*, "A 58-63.6GHz quadrature PLL frequency synthesizer in 65nm CMOS," A-SSCC Dig. Tech. Papers, pp.189-192, Nov. 2010.