

# ソフトウェア無線へ向けた CMOSマルチバンド送受信機の研究

伊藤 利彦, 金丸 正樹, 今西 大輔, 洪 芝英, 古谷 聡, Dong Tangoc Huy, 岡田 健一, 松澤 昭  
東京工業大学大学院 理工学研究科 電子物理工学専攻 Email: itot@ssc.pe.titech.ac.jp

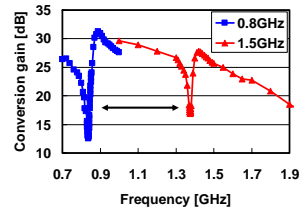
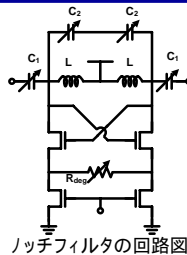
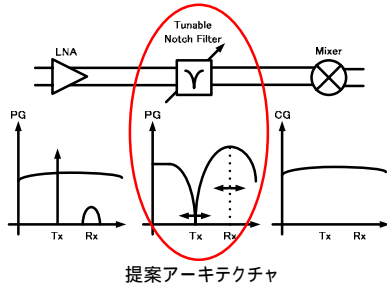
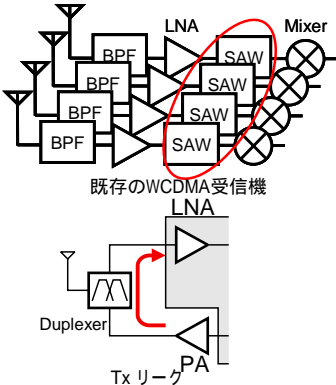


## 結論

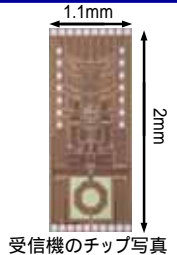
- ・周波数可変フィルタを用いて、高い線形性を持つ受信機を実現した
- ・アイソレータレス送信機へ向けて、可変出力インピーダンスを持つPAを実現した
- ・オンチップトランス、段間マッチングを用いた大電力・高効率なPAを実現した

## チューナブルノッチフィルタを用いた受信機

マルチバンド化のためにSAWフィルタを除去  
Txリークが問題になる



受信機のゲイン測定結果



受信機のチップ写真

提案アーキテクチャ

- ・広帯域LNA, Mixer
- ・チューナブルノッチフィルタ
- ・Txリークを抑圧

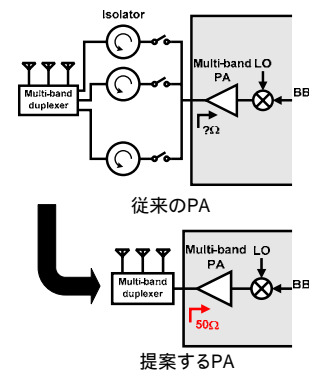
受信機の性能比較

	Freq.[GHz]	NF[dB]	Gain[dB]	IP3[dBm]	IP2[dBm]	Pdc[mW]	Topology	Band
[1]	2.1/1.9/0.8	2.8	102	-2	65	101.5-175	Notch filter	Multi band
[2]	2.1	3.1	30	-12	>39	12	LNA+Mixer	Narrow
[3]	2.1	5.5	30.5	5.3	58	33.6	IM3cancel	Narrow
[4]	2.1	4.9	96.5	-7.4	>38.8	83.7	LNA+Mixer	Narrow
[5]	1.8	2.9	37	-7	63	75	Dual mode	Multi band
[6]	0.4-6	3	70	10	70	30-55	RF filtering	Multi band
This work	0.8	6(sim)	31	-1	>45	121	Notch filter	Tunable & Multi band
	1.5	6.2(sim)	28	-4	>37	114		

[1]B. Tenbroek, et al., ISSCC 2008 [2]Y. Feng, et al., JSSC 2009 [3]E. Keehr et al., ISSCC 2008 [4]M. Tamura, et al., RFIC 2005 [5]N. K. Yanduru, et al., RFIC 2006 [6]J. Boremans, et al., ISSCC 2011

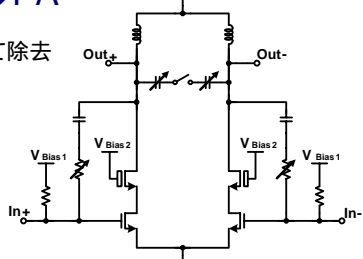
## 抵抗帰還型チューナブルPA

Isolatorが回路規模増大の原因となる  
PAの出力インピーダンスを可変にして除去



従来のPA

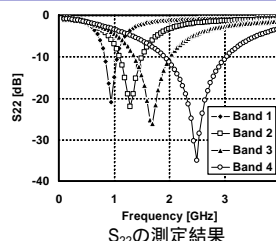
提案するPA



チューナブルPAの回路図

- ・抵抗フィードバック
- ・R,Cスイッチ
- ・広帯域マッチングを実現

外付けのIsolatorが不要

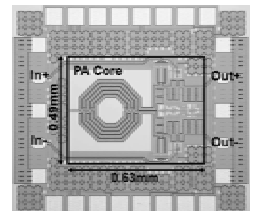


S<sub>22</sub>の測定結果

PAの性能比較(1)

	[7]	[8]	[9]	[10]	This Work(1)
CMOS Tech. [nm]	130	180	130	130	180
V <sub>DD</sub> [V]	1.5	2.8	3	1.5	3.3
Frequency [GHz]	0.5-5	3.7-8.8	1-2.5	2.4/3.5	0.9-3
P <sub>1dB</sub> [dBm]	10-18	14-16	-	-	17-21
P <sub>sat</sub> [dBm]	14-21	16-19	28-31	19	20-21
PAE <sub>MAX</sub> [%]	3-16	8-25	18-43	43	11-23
Area [mm <sup>2</sup> ]	3.6	2.8	2.56	1.3	0.31
S <sub>22</sub> [dB]	<-6	<-8	-	<-15	<-10
Output Matching	Wideband	Wideband	Wideband	Dualband	Tunable

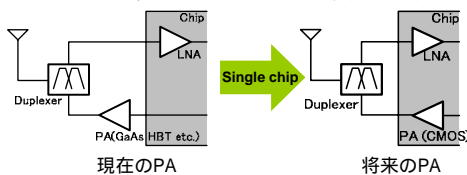
\*DE: Drain Efficiency [7]J. Rodenick, et al., ISSCC 2009 [8]C. Lu, et al., TMTT 2007 [9]S. Kousai et al., JSSC 2009 [10]M. Ghajar, et al., EUMC 2009



チューナブルPAのチップ写真

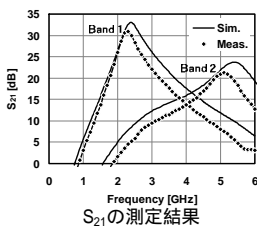
## 段間マッチング切り替え型PA

化合物半導体からCMOSへ  
他の回路と同じチップ上にPAを集積化可能

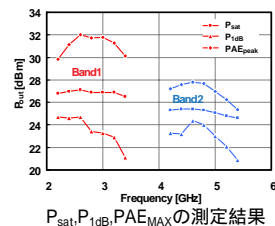


現在のPA

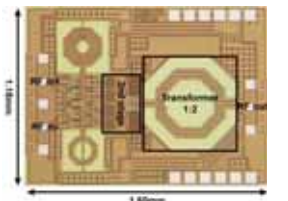
将来のPA



S<sub>21</sub>の測定結果

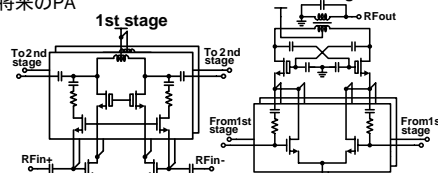


P<sub>sat1</sub>, P<sub>1dB</sub>, PAE<sub>MAX</sub>の測定結果



マッチング切り替え型PAのチップ写真

- ・トランスフォーマー
  - ・段間マッチング切り替え
- 大出力電力&高効率を実現



段間マッチングPAの回路図

PAの性能比較(2)

	[7]	[9]	[10]	[11]	This Work(2)
CMOS Tech. [nm]	130	130	130	180	180
V <sub>DD</sub> [V]	1.5	3	1.5	3.3	3.3
Frequency [GHz]	0.5-5	1-2.5	2.4/3.5	2.1-6	2.2-3.4/4.2-5.4
P <sub>1dB</sub> [dBm]	10-18	-	-	15-18	21-25
P <sub>sat</sub> [dBm]	14-21	28-31	19	18-22	25-27
PAE <sub>MAX</sub> [%]	3-16	18-43	43	9-17	15-30
Area [mm <sup>2</sup> ]	3.6	2.56	1.3	0.97	1.89

\*DE: Drain Efficiency [11]D. Imanishi, et al., ASPDAC 2010