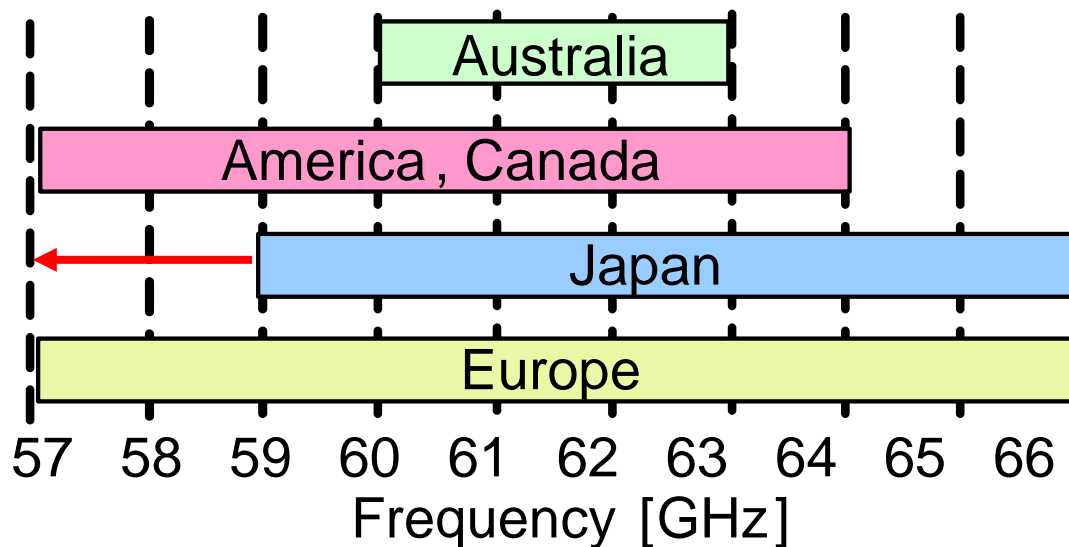


60GHz帯CMOS低雑音増幅器における位相差を考慮した3次歪みキャンセル

◎瀬尾 有輝, 南 亮, 岡田 健一, 松澤 昭

東京工業大学電気電子工学科

- 研究背景
- 歪み特性
- 従来の方法
- 新手法
 - 回路図
 - TRサイズおよびバイアス電圧
 - 位相差
- シミュレーション結果
- まとめ・課題



[1] 総務省 電波利用ホームページ

<http://www.tele.soumu.go.jp/index.htm>

- 幅広い帯域を無免許で利用可能
- 近距離高速無線通信として活躍

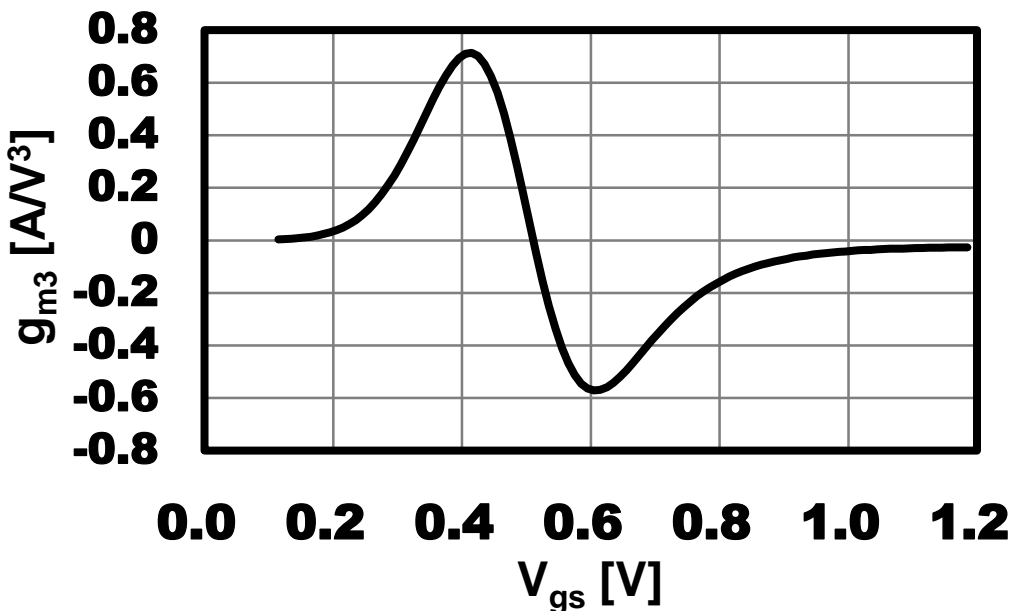
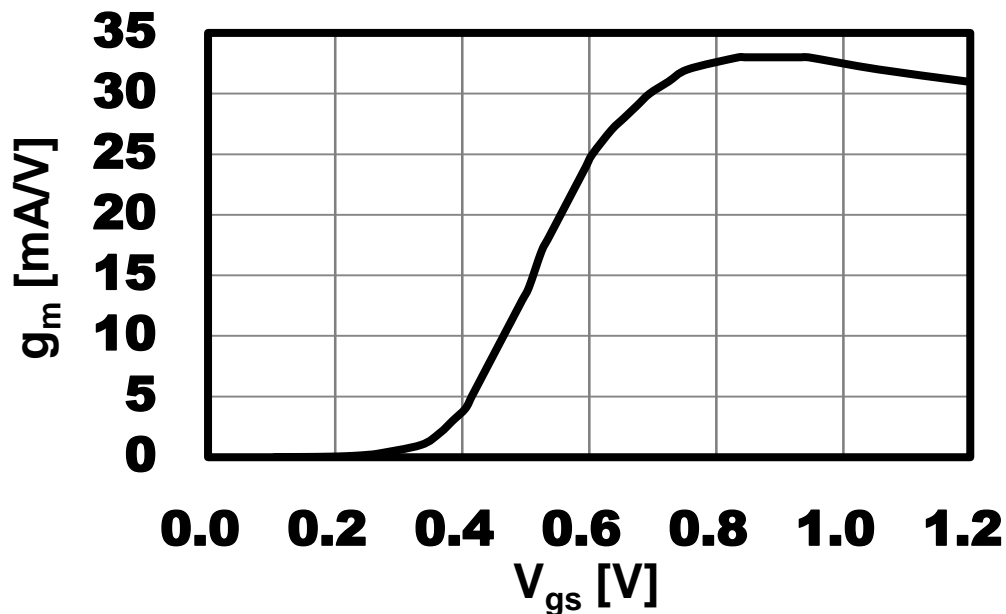
超高速無線通信

3.5Gbps/ch(QPSK)

7.0Gbps/ch(16QAM)

IEEE 802.15.3c

歪み特性



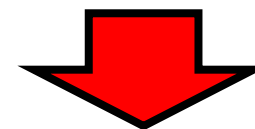
$$i_{ds} = g_m v_{gs} + g_{m2} v_{gs}^2 + g_{m3} v_{gs}^3 + \dots$$

$$IIP_3 \propto \left| \frac{g_m}{g_{m3}} \right|$$

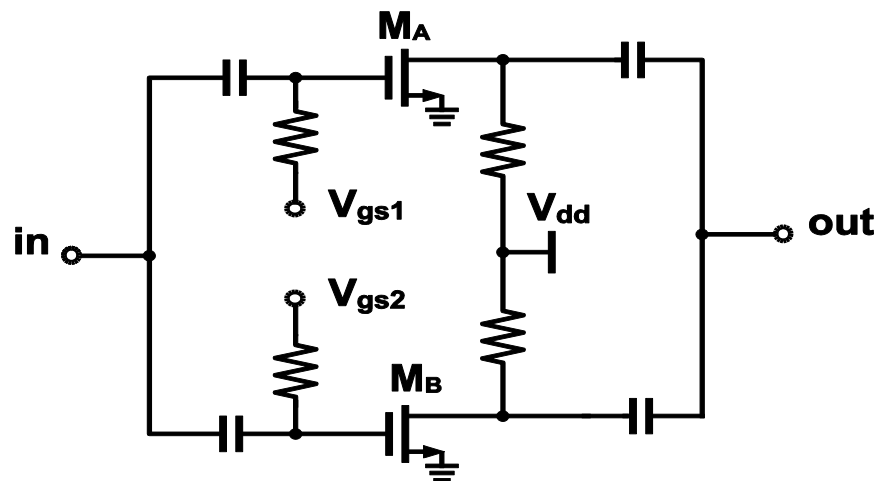
g_{m3} が低い



g_m も低い



両者の値のバランスが難しい

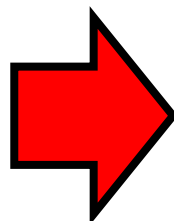


- トランジスタを並列接続

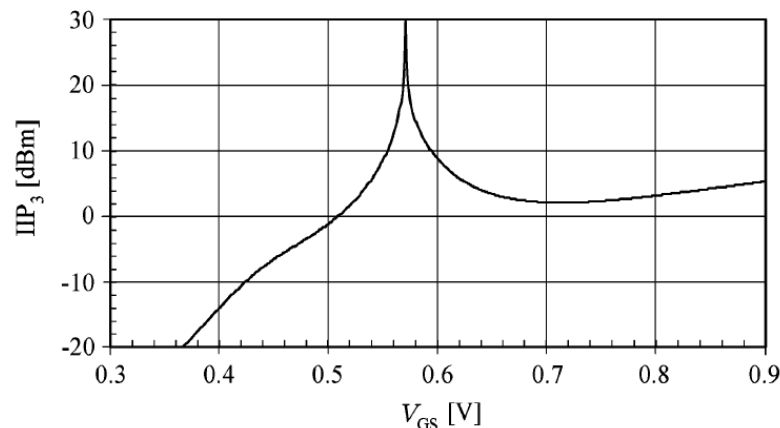
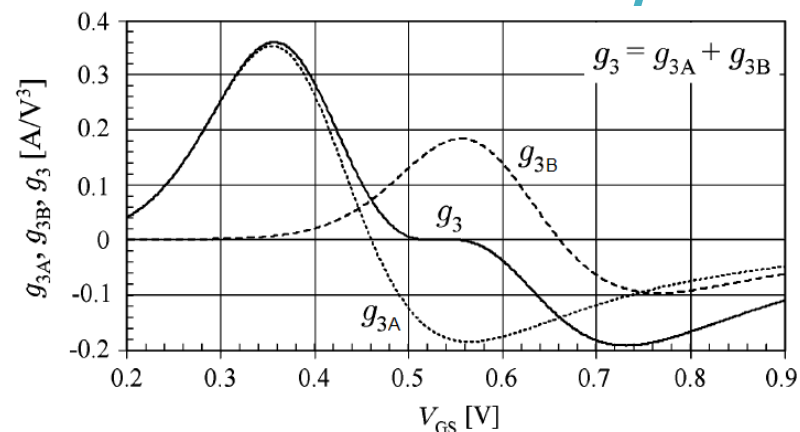
g_{3A} の負の領域
+
 g_{3B} の正の領域



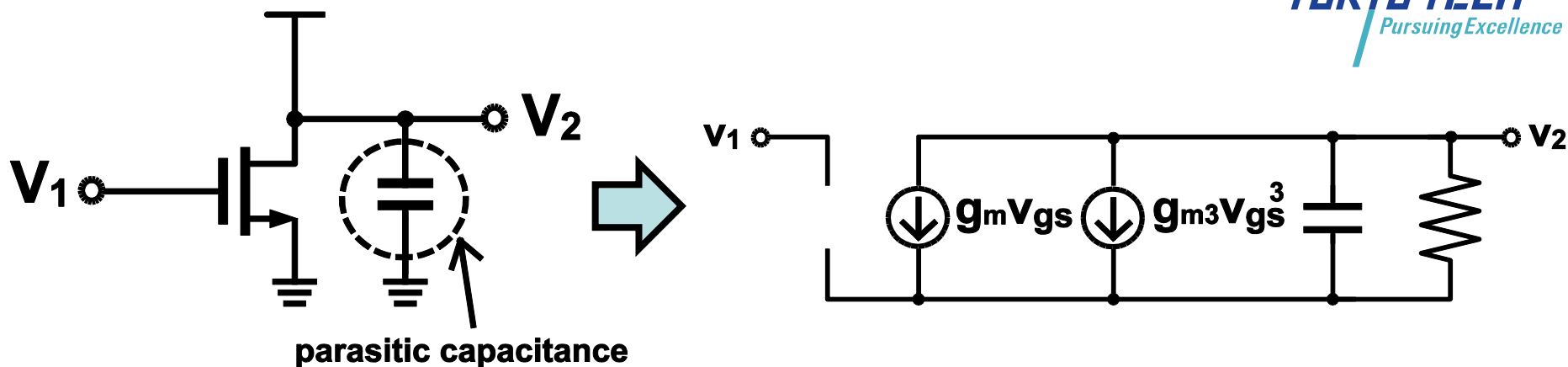
3次歪みをキャンセル



高いIIP3が得られる



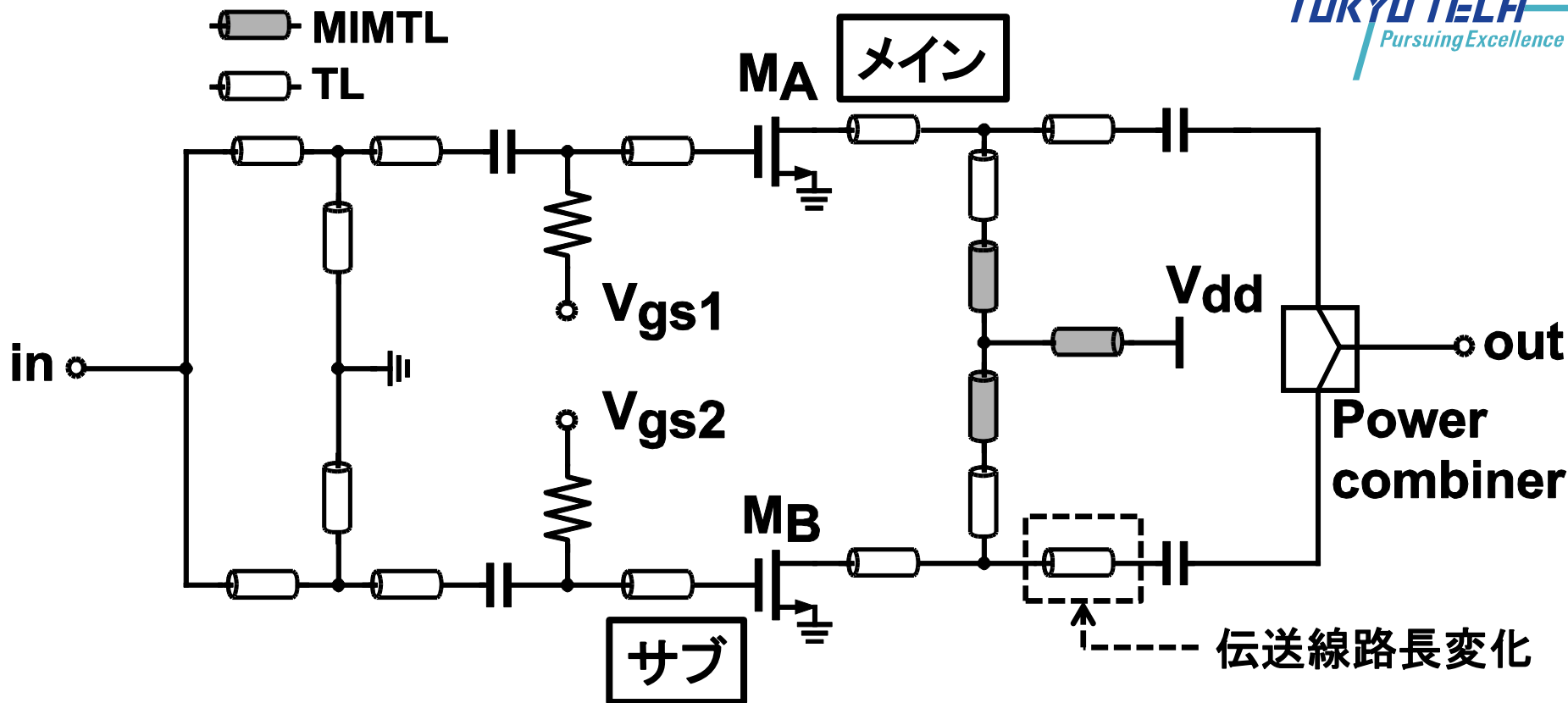
[2] V. Aparin and L. E. Larson, *IEEE Trans.*
February 2005 .



$$v_2 = \frac{-R}{1 + j\omega CR} (g_m v_{gs} + g_{m3} v_{gs}^3)$$

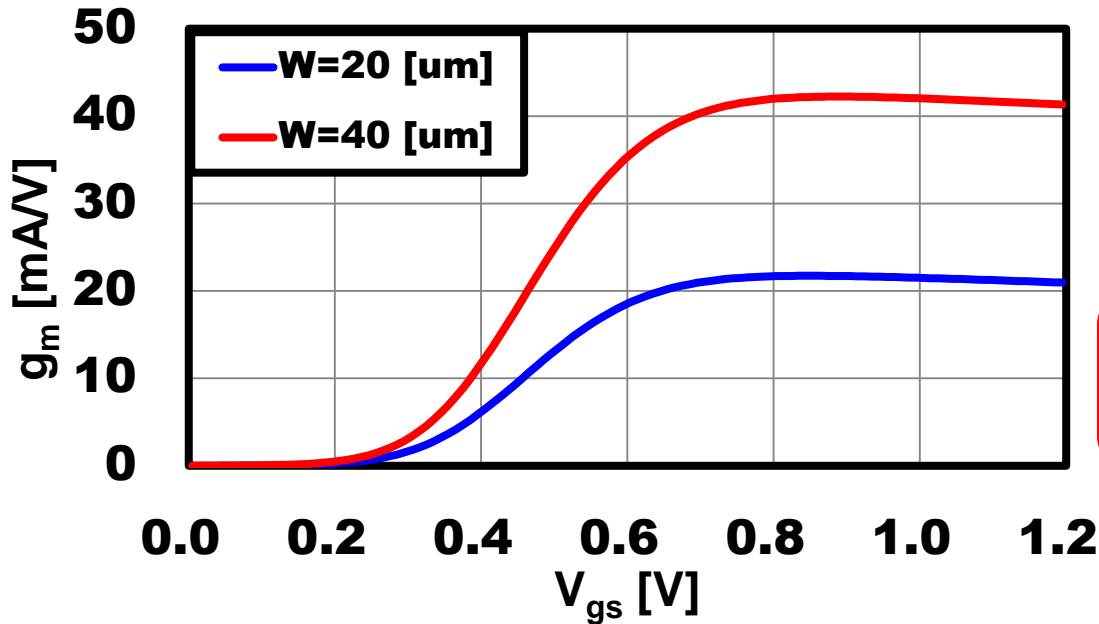
IM3による位相を考慮しなければならない。

伝送線路長の調整により、位相差が 180° になるようにする。



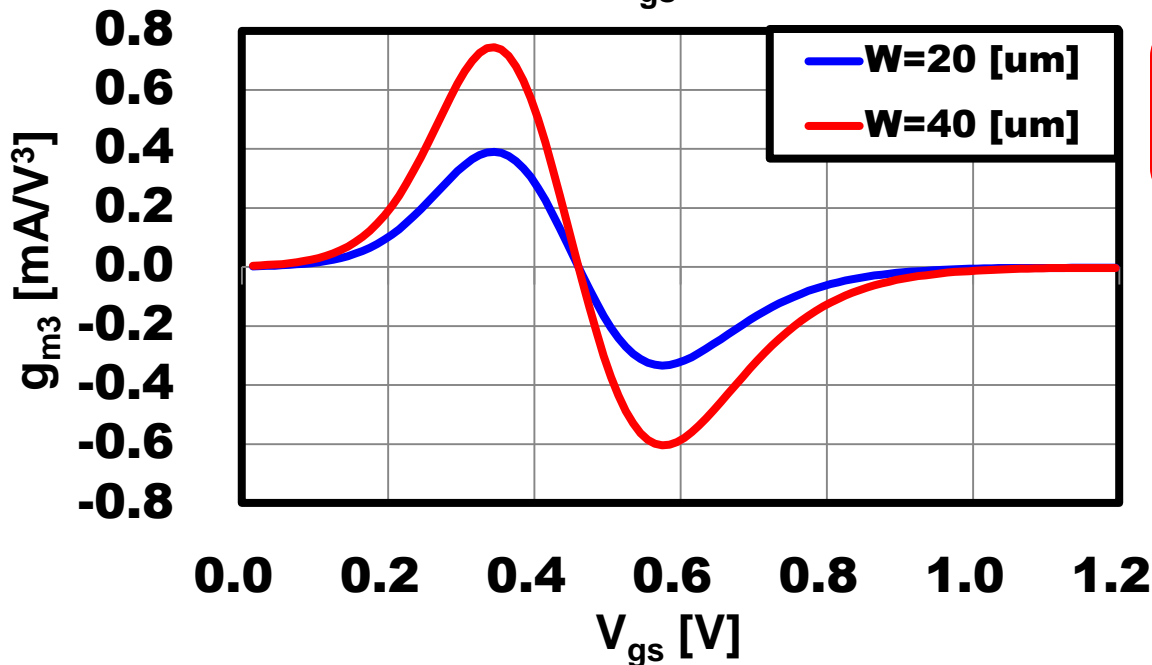
- 65nm CMOS process(電源電圧 $V_{dd}=1.2$ [V])
- バイアス電圧 V_{gs2} の調節($V_{gs1}=0.7$ [V])
- それぞれの経路の出力を 100Ω にマッチングさせ、パワーコンバイナにより合成し最終的に 50Ω にマッチングさせる。

TRサイズおよびバイアス電圧



※ g_m のグラフよりバイアス電圧0.7 [V]に注目する。

$W=40$ [um], $V_{gs1}=0.7$ [V]
における g_{m3} の負の領域



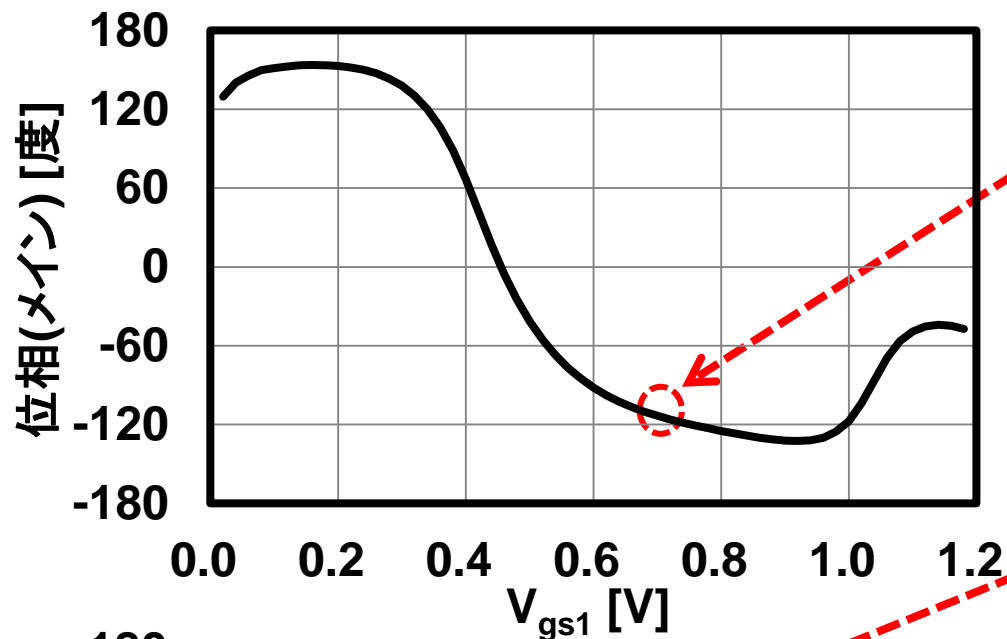
$W=20$ [um], $V_{gs2}=0.35$ [V]
における g_{m3} の正の領域

消費電力 16.0 [mW]



消費電力 18.4 [mW]

位相差

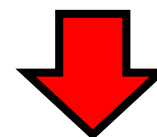


メイン側の $V_{gs1} = 0.7$ [V] の位相
 $\theta_A = -110$ [度]

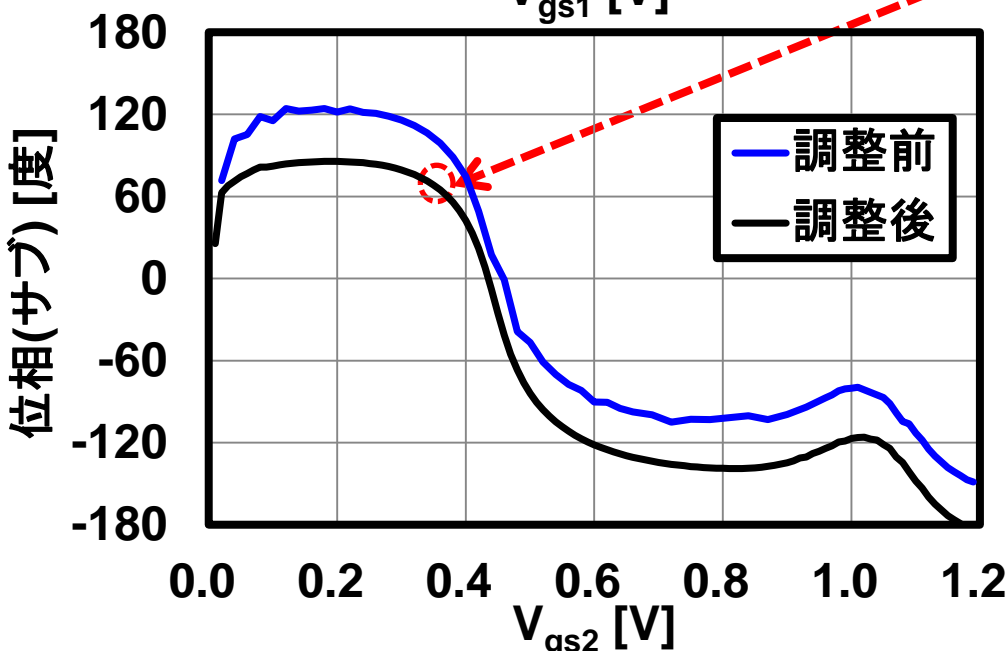


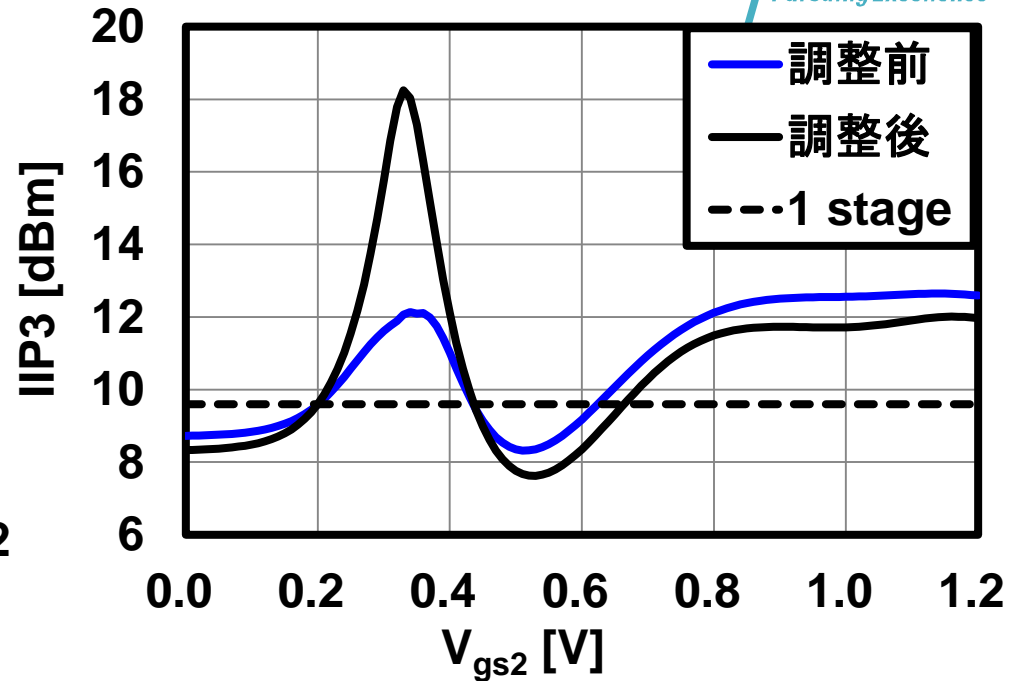
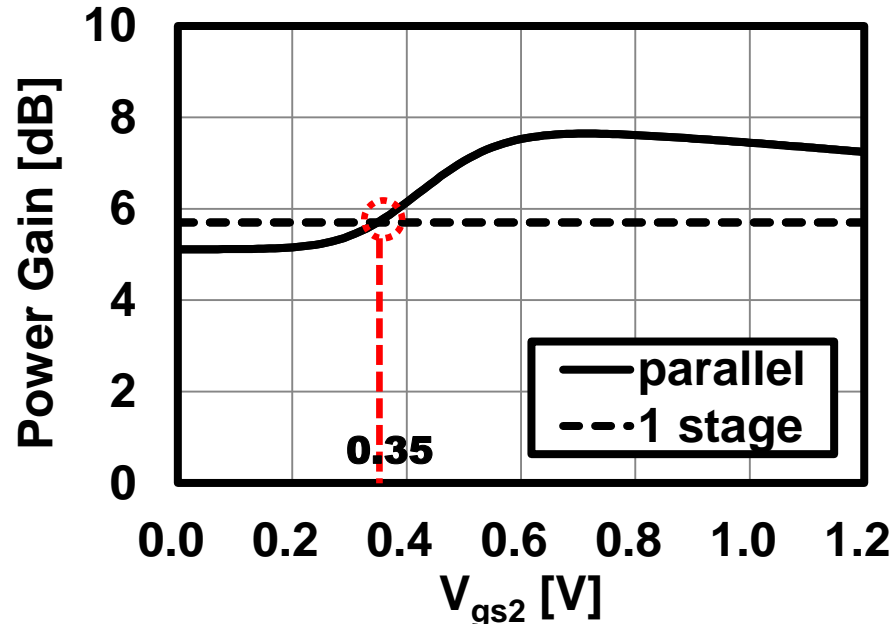
伝送線路長の調整によって
位相の変化

サブ側の $V_{gs2} = 0.35$ [V] の位相
 $\theta_B = 70$ [度]

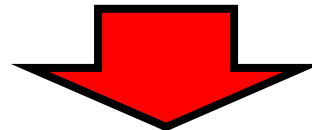


位相差を180 [度] にすることで
キャンセルが可能。





電力利得を劣化させずにIIP3を高くできる



伝送線路長の調整によって電力利得とIIP3の改善が可能。

	電力利得 [dB]	IIP3 [dBm]	消費電力 [mW]
単一	5.5	9.6	16.0
提案手法	5.7	18.3	18.4

- 従来の方法に対し、新たに伝送線路の長さを変化させることで位相差を調節したが、消費電力の増加をおさえつつも、利得を損なうことなくIIP3の改善に成功した。
- 実際にチップを作製する際、パワーコンバイナの部分をどのようにして組み込めばよいか。