

キャパシタクロスカップルを用いた高効率ミリ波帯差動電力増幅器

A 60GHz CMOS High-Efficient Differential Power Amplifier Using Capacitive Cross-Coupling

浅田 大樹 岡田 健一 松澤 昭
Hiroki Asada Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、60 GHz 帯を利用した超高速近距離無線通信機能を民生機器に実装するために、より安価な Si CMOS を用いた無線通信回路が検討されている。無線通信回路のコンポーネントの中でも電力増幅器は CMOS での実現が最も困難であり、様々な研究が行われてきた。60 GHz 帯では MOS トランジスタの寄生容量の影響によって電力利得が低下してしまうが、キャパシティブクロスカップルを用いることでゲート-ドレイン間の寄生容量を打ち消し、利得を向上できることが知られている [1]。本研究では低損失な伝送線路を用いた整合回路とキャパシタクロスカップルを併用した電力増幅器の試作を行った。

2 回路構成

図 1 に 3 段差動電力増幅器の回路図を示す。電力増幅器の 1 段目と 2 段目にキャパシティブクロスカップルを用いている。整合回路はロードプルシミュレーションによって検討を行い、0.8 dB/mm の低損失な伝送線路を用いて構成されている。また短冊状の MIM キャパシタを並べた配線を低インピーダンスな伝送線路としてモデリングした MIM TL をデカップリングキャパシタとして用いている。トランジスタのフィンガー当たりのゲートの長さは $2\mu\text{m}$ であり、最終段のトランジスタのゲートの長さは合計 $80\mu\text{m}$ である。

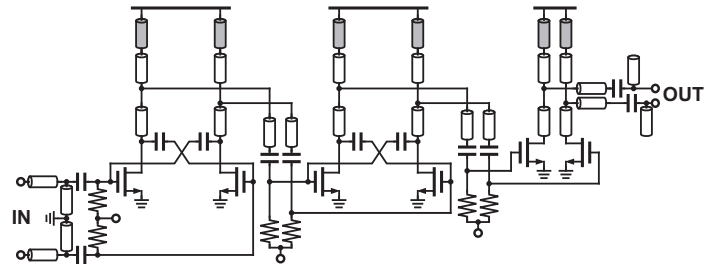


図 1 3 段差動電力増幅器

3 測定結果

試作には 65 nm CMOS プロセスを用いた。図 2 にチップ写真を示す。チップサイズは $1.0 \times 0.6\text{mm}^2$ である。

電力利得と出力電力の測定結果を図 3 と図 4 にそれぞれ示す。電力利得は 23.2 dB、1-dB 利得圧縮点における出力電力は 10.0 dBm、最大出力電力は 14.6 dBm、最大電力付加効率は 16.3% である。電源電圧 1.2 V 時の消費電力は 135 mW である。これらの測定はプローブステーションを用いて行った。

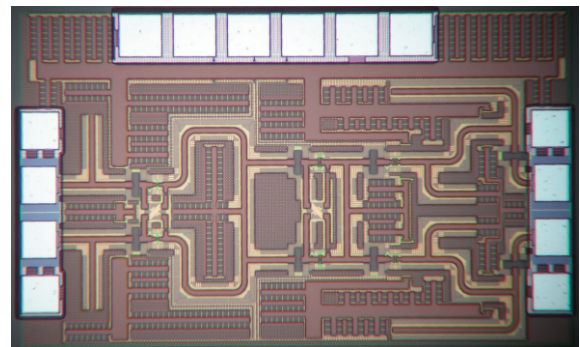


図 2 チップ写真

4 まとめ

低損失な伝送線路とキャパシタクロスカップルを用いた高効率な 60 GHz 帯差動電力増幅器を試作し、電力利得 23.2 dB、1-dB 利得圧縮点における出力電力は 10.0 dBm、最大出力電力 14.6 dBm、最大電力付加効率 16.3% の性能を確認した。特に最大電力付加効率は世界最高性能を達成した。

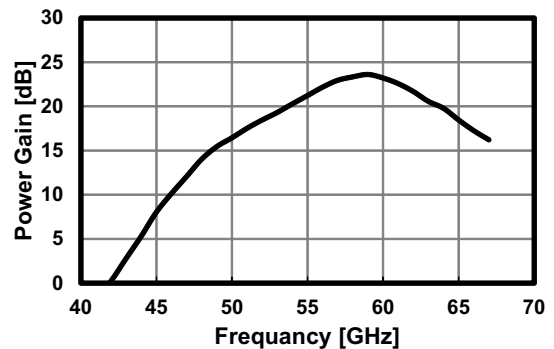


図 3 電力利得特性

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、NEDO、キヤノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

参考文献

- [1] W. L. Chan, et al., "A 58-65 GHz Neutralized CMOS Power Amplifier With PAE Above 10% at 1-V Supply," *IEEE J. Solid-State Circuits*, pp.554-564, Mar. 2010.

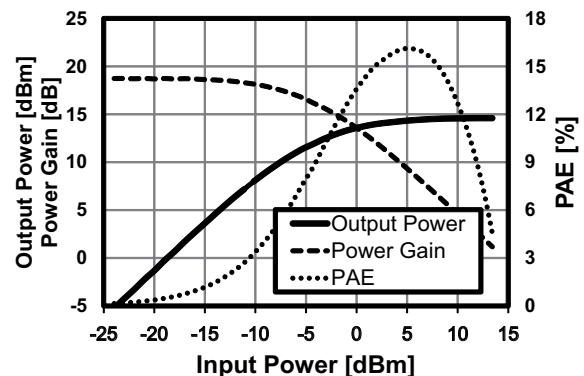


図 4 出力電力特性