

60GHz 帯局部発振器における 20GHz 位相同期回路

A Phase Locked Loop for 60 GHz Local Frequency Generation

佐藤 高洋
Takahiro Sato

アハマド ムサ
Ahmed Musa

チャイヴィパース ウィン
Win Chaivipas

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、近距離での高速通信に適した 60GHz 帯を利用する Si CMOS プロセスを用いた無線通信回路が盛んに研究されている。この周波数帯での無線通信において欠かせない位相同期回路 (PLL) の要求性能として、他の周波数帯同様に位相雑音特性や周波数帯域、消費電力等がある。ダイレクトコンバージョン方式で変調を行う場合、局部発振器に組み込まれる電圧制御発振器 (VCO) の出力周波数はキャリア周波数と同程度にしなければならず、そこに受動素子の劣化や寄生容量による周波数低下等の問題が多く存在してしまう。そこで本研究では、20GHz の PLL と 3 通倍の注入同期型周波数通倍器 (ILO) を組み合わせた回路を提案する。

2 回路構成

図 1 に提案手法のブロック図を示す。リファレンスクロック周波数に落とすための周波数分周器に CML を使い、広いロックレンジで対応できるようにしている。20GHz VCO を組み込んだ PLL を、周波数を 3 通倍する ILO に入力して 60GHz を得る。受動素子の Q 値が劣化してしまう高周波での発振を避け、比較的低周波帯域で発振させることで、オンチップインダクタなどの受動素子の Q 値を大きくすることができ、寄生成分の影響をなるべく小さくすることが出来る。また、60GHz の発振回路を用い、ポリフェーズフィルタにより直交信号を生成する方法と比べ、1/Q ミスマッチの小さな直交位相出力を低い消費電力で得やすい [1]。この回路構成で周波数が注入同期すると、ILO は入力された VCO に周波数が引っ張られ、位相雑音は VCO により決まる。周波数が VCO の 3 倍の ILO の位相雑音と VCO の位相雑音の差分は理論上 $20 \log 3 = 9.6 \text{ dBc/Hz}$ となり、60GHz 帯では 20GHz 帯より 9.6dBc/Hz 位相雑音特性が上がる計算となっている。20GHz VCO の回路構成を図 2 に示す。電流源トランジスタに出力をフィードバックすることで、位相雑音の感度が低いタイミングで流れるようスイッチングする構成であり、位相雑音特性の改善をしている。

3 測定結果

実際に試作したところ、PLL の面積は 1.3 mm^2 となった。測定はオンウェーハプロービングで行った。PLL 全体の総消費電力は 65.5 mW 、VCO の出力周波数は $17.9 \sim 21.2 \text{ GHz}$ となった。IEEE802.15.3c で規格される周波数に則して位相雑音特性を測定したところ、下のチャネルからそれぞれ $-106.2 (19.44 \text{ GHz})$, $-106.0 (20.16 \text{ GHz})$, $-105.8 (20.88 \text{ GHz})$ $\text{dBc/Hz}@1 \text{ MHz offset}$ を達成した。別に ILO の試作を用い、注入同期させたときの位相雑音特性の様子を図 3 に示す。最終的な局部発振器の出力として 60GHz 帯において位相雑音特性 $-94.2 \text{ dBc/Hz}@1 \text{ MHz offset}$ を達成した。本発振器を用いて、60GHz 帯ダイレクトコンバージョン無線機を構成し、QPSK で 8Gb/s、16QAM で 11Gb/s を実現した [2]。

4 まとめ

60GHz 帯ダイレクトコンバージョン型 CMOS 無線送受信回路の局部発振器として 20GHz PLL と 60GHz QILO を組み合わせた構成を提案し、それを用いた送受信機を試作して QPSK

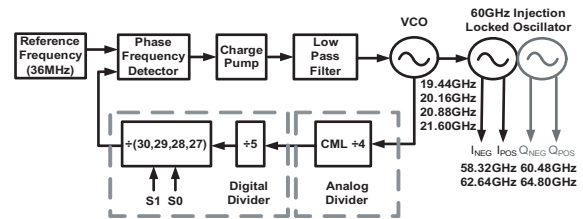


図 1 提案する手法のブロック図

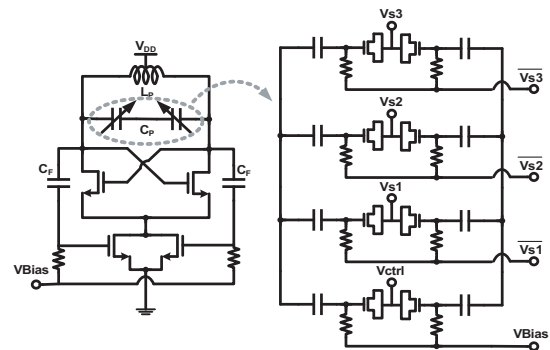


図 2 VCO の回路構成

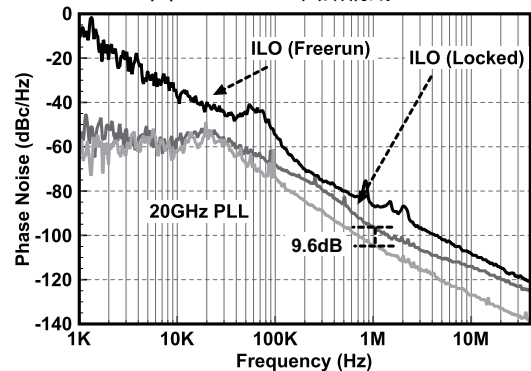


図 3 ILO をロックさせた時の位相雑音特性

で 8Gb/s、16QAM で 11Gb/s の通信を達成した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、NEDO、キヤノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

参考文献

- [1] A. Musa, *et al.*, "A 58-63.6GHz quadrature PLL frequency synthesizer in 65nm CMOS," A-SSCC, pp.189-192, Nov. 2010.
- [2] K. Okada, *et al.*, "A 60GHz 16QAM/8PSK/QPSK/BPSK Direct Conversion Transceiver for IEEE802.15.3c," ISSCC, Feb. 2011.