

# 60GHz 帯ダイレクトコンバージョン型 CMOS 無線受信回路

A 60 GHz CMOS Integrated Direct-Conversion Receiver

南 亮                      文仙 啓吾                      村上 壘                      岡田 健一                      松澤 昭  
Ryo Minami              Keigo Bunsen              Rui Murakami              Kenichi Okada              Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

## 1 まえがき

近年、Si CMOS プロセスを使用した 60GHz 帯の無線送受信器の研究が盛んに行われている。60GHz 帯は世界各国で幅広い帯域が解放されており、高速な通信が可能であることから、近距離の無線通信を想定した研究が行われている。本研究では CMOS 65nm プロセスを用いてダイレクトコンバージョン型 60GHz 無線受信回路の試作を行った。

## 2 回路構成

図??に受信回路のブロック図を示す。受信回路は 4 段低雑音増幅器 (LNA)、IQ2 つのミキサー、60GHz 直交位相局所発振器から成っており、消費電力の観点からダイレクトコンバージョン方式を採用している [?]

LNA は NF 改善のため CS-CS トポロジーを採用している。トランジスタサイズはすべて  $40\mu\text{m}$  である。また、ゲート・ドレイン間容量の影響を減らす目的で、非対称のトランジスタを使用している。LNA の後には、バラと差動の 2 段増幅器を通してパッシブミキサーを接続している。図??にミキサーの回路を示す。バラは差動ミスマッチを引き起こすので、バラの後の差動増幅器では、仮想接地を利用したマッチングブロックで差動ミスマッチを改善している。

局所発振器は 20GHz PLL と 60GHz 注入同期型直交局所発振器から成っている [?]

## 3 測定結果

変換利得 CG と雑音指数 NF の測定結果を図??に示す。LNA はゲインがコントロールできる。これは、強い信号が入ってきた場合にミキサーで信号が歪むのを防ぐためである。ハイゲインモードでの CG は 17.3dB、ローゲインモードでは 4.7dB である。Rx 全体の NF はハイゲインモードで 6.8dB となり、Rx 全体の IIP3 はローゲインモードで -16dBm である。電源電圧 1.0V 時の消費電力は LNA が 20.7mW であり、IF 増幅器を持つ 2 つのミキサーが 60.8mW である。これらの測定はアンテナを通して測定したものであり、測定結果はプローブステーションでの測定結果を用いて校正を行った。また Rx のチップ面積は  $3.8\text{mm}^2$  である。20GHz PLL は 17.9GHz から 21.2GHz までの発振が可能であり、電源電圧 1.2V 時の消費電力は 66mW である。60GHz 注入同期型直交局所発振器の位相雑音は -94dBc/Hz @ 1MHz-offset である。

任意波形発生器を用いて 16QAM/8PSK/QPSK/BPSK の変調信号を送信し、オシロスコープを用いて EVM と BER の評価を行ったところ、IEEE802.15.3c の規格に基づいたチャンネル 1、2 での通信を  $\text{BER} < 10^{-3}$  という条件で実現した。ロールオフ率は 25% である。帯域幅は 2.16GHz であり、データレートは BPSK が 1.76Gb/s、QPSK が 3.52Gb/s、16QAM が 7.04Gb/s である。測定の結果、EVM が QPSK で 13%、16QAM で 14% であることを確認した。またより広い帯域を用いることで QPSK で 8Gb/s、16QAM で 11Gb/s の通信が可能であることを確認した。

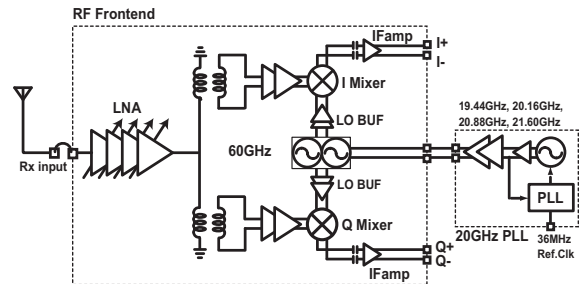


図 1 受信回路のブロック図

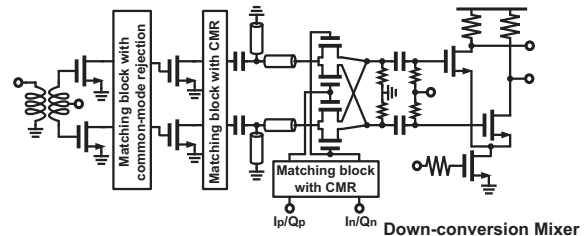


図 2 ミキサー回路

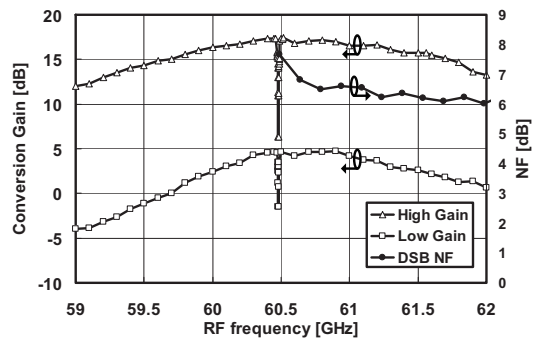


図 3 ゲイン特性

## 4 まとめ

60GHz 帯無線受信回路の試作を行い、QPSK で 8Gb/s、16QAM で 11Gb/s の通信を達成した。

## 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、NEDO、キヤノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

## 参考文献

- [1] K. Okada, et al., "A 60GHz 16QAM/8PSK/QPSK/BPSK Direct-Conversion Transceiver for IEEE802.15.3c," ISSCC, Feb. 2011.
- [2] A. Musa, et al., "A 58-63.6GHz quadrature PLL frequency synthesizer in 65nm CMOS," A-SSCC Dig. Tech. Papers, pp.189-192, Nov. 2010.