

コンパレータの出力遅延を用いた補間に関する検討

THE INTERPOLATION USING DELAY OF COMPARATORS

真野 息吹¹
Ibuki Mano

宮原 正也²
Masaya Miyahara

松澤 昭²
Akira Matsuzawa

東京工業大学 工学部 電気電子工学科¹

Department of Electrical and Electronic Engineering, Tokyo Institute of Technology

東京工業大学 大学院理工学研究科 電子物理工学専攻²

Department of Physical Electronics, Tokyo Institute of Technology

1 はじめに

FLASH 型 A/D 変換器 (FLASH ADC) は高速変換に適しているが、 2^N (N は分解能) 個のコンパレータを必要とすることから、高分解能化においては消費電力や面積の増大が問題となる。

この問題の解決方法の一つとして、従来注目されてこなかったダイナミックコンパレータの出力遅延を用いることにより、新たな比較点を生み出し補間を行う方法を検討したので報告する。

2 原理

ダイナミックコンパレータは、クロックによって、リセット、比較動作を繰り返すため、出力信号はクロックの立ち上がりから遅延する。この遅延時間は、図 1 の様に、入力電圧差の減少に応じて増加するという特性を持っている。

この特性を利用し、2つのダイナミックコンパレータの出力遅延時間を比較することにより、それぞれの参照電圧 (V_{ref1} , V_{ref2}) の中点に、図 2 に示すように新たに比較点を発生させる事ができる。この遅延時間の比較には、図 3 の様に SR ラッチを用いればよいため、わずかな回路の追加のみで比較点を 1 つ追加することが可能となる。

この補間方法を FLASH ADC に適用することにより、ADC の入力の負荷を増大させることなく、分解能を 1bit 増やすことが可能となる。

3 シミュレーション結果

シミュレーションを行い、コンパレータのノイズ及びオフセットが比較補間点に与える影響を評価した。コンパレータにはダブル・テイル・ラッチ型 [1] を使用し、オフセットの補正には容量キャリブレーション [2] を用いた。オフセットの評価にはモンテカルロ・シミュレーションを 1000 回行った。

その結果は表 1 となり、補間比較点のノイズ及びオフセットは、コンパレータ自身の比較点と比較し、ほぼ同等または良好な特性となることを確認した。

4 まとめ

ダイナミックコンパレータの出力遅延を利用した補間方法を提案し、コンパレータ同等のノイズ及びオフセット特性を持ちつつ、わずかな回路の追加によって実現するため、FLASH ADC の高分解能化において有用であることを確認した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力で行われたものである。

参考文献

[1] Masaya Miyahara, IEEE A-SSCC, pp.269-272, Nov.2008

[2] Akira Matsuzawa, IEEE ASIC, pp.218-221, Oct.2009

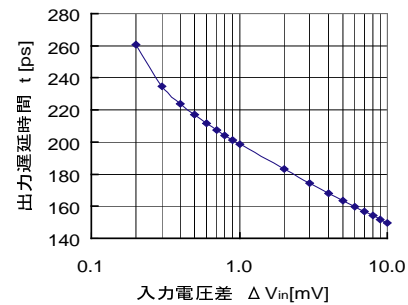


図 1 ダイナミックコンパレータの遅延時間

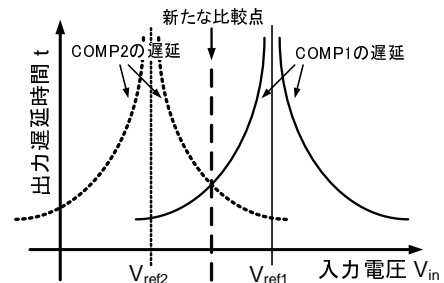


図 2 新たな比較点の生成

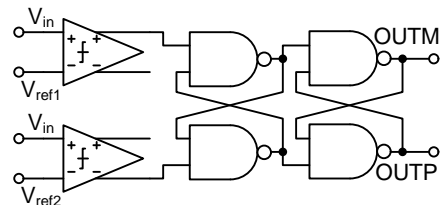


図 3 出力遅延比較回路

表 1 補間比較点のノイズとオフセットばらつき

	ΔV_{ref} [mV]	ノイズ [μ V]	オフセット [mV]
コンパレータ	—	$\sigma = 509$	$\sigma = 1.436$
補間比較点	10	$\sigma = 382$	$\sigma = 1.609$
	5	$\sigma = 362$	$\sigma = 1.385$
	2.5	$\sigma = 349$	$\sigma = 1.375$