

[ポスター講演] SAR ADC における精度向上の検討

浅澤 豊旗[†] 角川 佳弘[†] 宮原 正也[†] 松澤 昭[†]

[†] 東京工業大学 大学院理工学研究科 電子物理工学専攻

〒 152-8552 東京都目黒区大岡山 2-12-1 S3-27

E-mail: †asazawa@ssc.pe.titech.ac.jp

あらまし 本発表では逐次比較型アナログデジタル変換器 (SAR ADC) の線形性補正による高精度化手法の検討について報告する。SAR ADC は容量 DAC、サンプルホールド回路、比較器、ロジック回路で構成されており、比較的電力効率のよい構造である。しかしながら、CMOS プロセスの素子ばらつきや容量 DAC 内の配線容量などの寄生容量による線形性劣化、またスイッチ抵抗や比較器で発生する雑音等が原因で高分解能化の実現が困難である。そこで高精度化の課題の一つである線形性の改善を目的として、容量 DAC の面積増加を抑えたまま精度向上が期待できる寄生容量の補正方法とミスマッチ補正方法についての検討を行った。また、補正精度の向上のために Metal-Oxide-Metal(MOM) 容量を用いた微小容量構造について検討した。シミュレーションにより寄生容量補正により ENOB で 10.6bit から 11.8bit への精度改善、ミスマッチ補正によるエラーの低減を確認した。

キーワード SAR ADC, 寄生容量補正, ミスマッチ補正, MOM 容量

[Poster Session] A Study on High Resolution SAR ADC

Toyoki ASAZAWA[†], Yoshihiro TSUNOKAWA[†], Masaya MIYAHARA[†], and Akira MATSUZAWA[†]

[†] Department of Physical Electronics, Tokyo Institute of Technology

2-12-1 S3-27, Ookayama, Meguro-ku, Tokyo 152-8552 Japan

E-mail: †asazawa@ssc.pe.titech.ac.jp

Abstract This poster reports two linearity calibration methods for successive approximation register analog-to-digital converter (SAR ADC). The linearity of SAR ADC is deteriorated due to the parasitic capacitance and the mismatch of Capacitor DAC(CDAC). The structure of CDAC with sub DAC for mismatch calibration and capacitor for parasitic capacitance calibration is proposed. And Metal-Oxide-Metal(MOM) capacitor structure is introduced for small capacitance. The simulation results show that calibration for parasitic capacitance achieved ENOB improvement from 10.6 bits to 11.8 bits. And also mismatch calibration shows little improvement of the performance of the ADC.

Key words SAR ADC, parasitic capacitance calibration, mismatch calibration, MOM capacitor