

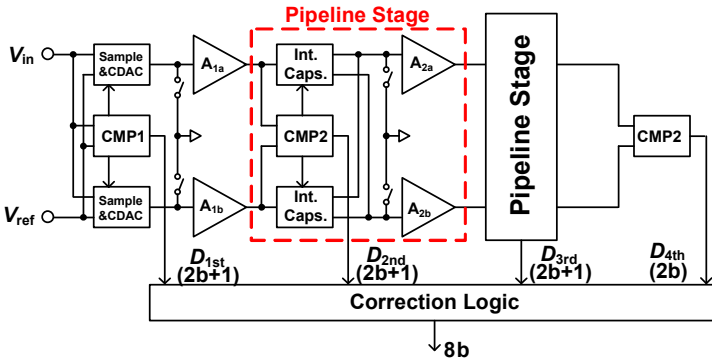
補間型パイプラインADCに用いる増幅器の精度向上の検討

東京工業大学 大学院理工学研究科 松澤・岡田研究室
 廣岡 慶之、李 賢義、宮原 正也、松澤 昭

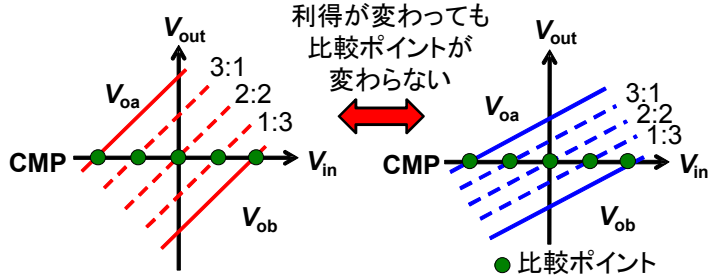
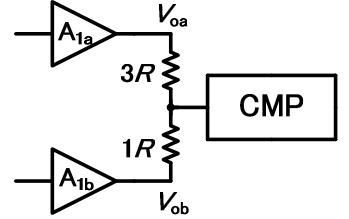
研究背景

- 高速無線通信に対応したADCが必要
- 微細化により、高速で変換可能なパイプラインADCに必要なOPアンプの利得が満足できない。

補間型パイプラインADC
 ○高利得のOPアンプ不要
 ○オープンループアンプが使用可能で高速
 ×増幅器の線形性



8bit補間型パイプラインADCの構成図

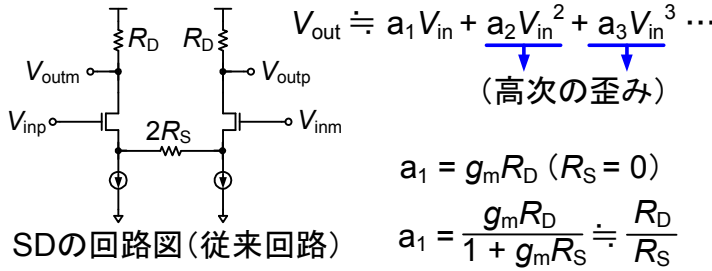


抵抗を使った補間比較例(実際は容量を使用)

[1] M. Miyahara, et al., VLSI 2011

線形性向上手法

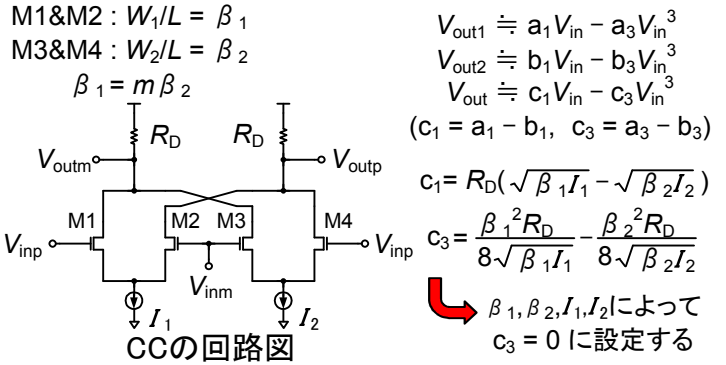
- 利得が入力信号に依存しない
- ソースデジェネレーション(以下SD)
- 高次の歪みの影響を減らす
- 差動構成(偶数次の歪みに有効)
- クロスカプル(3次の歪みに有効)



SDの回路図(従来回路)

クロスカプル技術

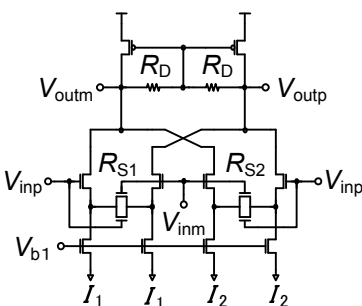
- クロスカプル技術(以下CC)
- 2組のトランジスタ幅の異なる(β_1, β_2)差動増幅器で3次の歪み成分を除去する。



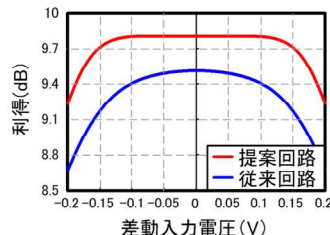
[2] H. Pieter, et al., "Smart AD and DA conversion" Springer, 2010

提案回路

SDとCCを併用する。 R_S をトランジスタで構成し入力信号依存性を持たせることで利得の入力信号依存性と打消しあい高線形化する。



提案する回路構成

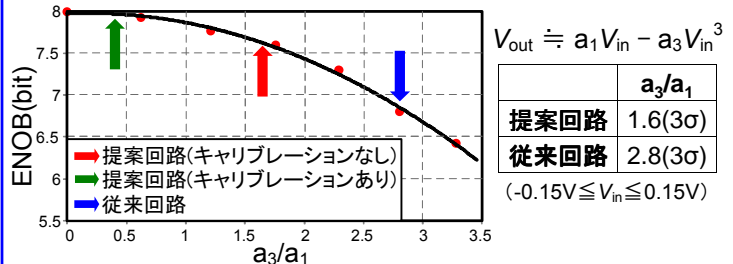


	提案回路	従来回路
利得	9.8dB	9.5dB
f_{-3dB}	3.4GHz	3.4GHz
電流	2.36mA	2.36mA

消費電力、帯域を保ちながら線形性が向上

シミュレーション結果

- 8bit, 1GS/s補間型パイプラインADCに提案回路を適用することで従来の構成よりもENOB(有効ビット数)が6.8bitから7.6bitに改善することを確認。
- R_S のバックゲート電圧をキャリブレーションすることで精度が改善することを確認した。



増幅器の線形性がADCの性能に与える影響