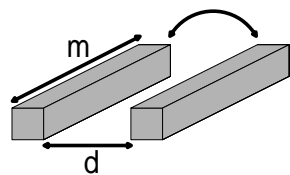


4 コア回路のインダクタに対する影響

長さ m [cm]、間隔 d [cm]の
平行な配線による影響



インダクタンスの変化を5%
以内にするには
の場合

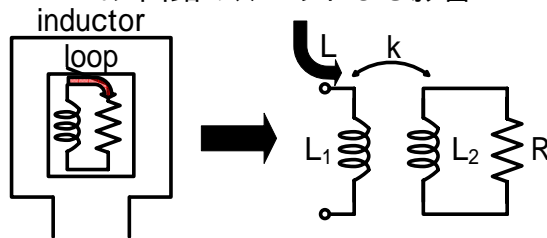
$L = 1nH$
 $d = 1\mu m \rightarrow m \leq 37\mu m$
 $d = 5\mu m \rightarrow m \leq 57\mu m$
 $d = 10\mu m \rightarrow m \leq 71\mu m$

の場合
 $k = 0.7 \rightarrow Q_2 \leq 0.11$
 $k = 0.5 \rightarrow Q_2 \leq 0.25$
 $k = 0.3 \rightarrow Q_2 \leq 1.25$

$$M[nH] = 2m \left(\ln \left(\frac{m}{d} + \sqrt{1 + \frac{m^2}{d^2}} \right) + \frac{d}{m} \sqrt{1 + \frac{d^2}{m^2}} \right)$$

[H.M.Greenhouse, TOPHAP 1974]

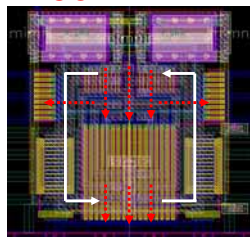
コア回路のループによる影響



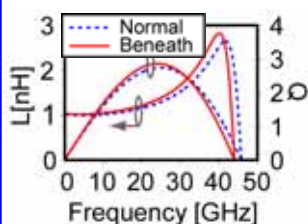
$$L = L_1 \left(1 - \frac{k^2 \omega^2 L_2^2}{R^2 + \omega^2 L_2^2} \right) = L_1 \left(1 - \frac{k^2 Q_2^2}{1 + Q_2^2} \right)$$

これを満たさない可能性がある場合、電磁界シミュレーションで
確認する必要がある

VCO



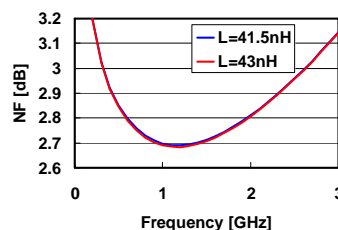
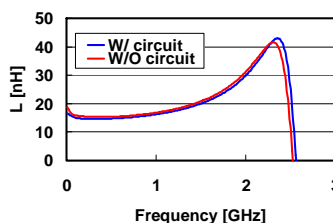
電流の向きを垂直にし
てカップリングの影響を
最小限に



Q値の劣化は5%

FoMで0.4dBの差

LNA



インダクタンスの劣化は3%

NFにはほとんど影響しない

5 VCOとLNAの性能

VCO

	This Work	[3]	[4]	[5]
Area [μm^2]	484	2597	2400	290000
Power [mW]	1.92	2.8	9.8	0.16
PN	-110@10MHz	-103@1MHz	-101@600kHz	-109@1MHz
Freq.	21GHz	5GHz (20GHz/4)	0.9GHz	4.5GHz
VDD [V]	0.6	1	3.3	0.3
Tech. [nm]	65	90	350	180
FoMA	206	199	182	195
Type	LC(3D-inductor)	LC(3D-inductor) +Div.	Ring	LC

[3]A.Tanabe, et al., RFIC 2009 [4]I.Hwang, et al., JSSC 2004

[5]K.Okada, et al., VLSIC 2009

世界最高性能のFoMAを達成

LNA

	Normal	External	Stacked
Freq.[GHz]	0.8 - 2.6		
Gain[dB]	13	13	12
NF[dB]	3	3	3.2
IIP3[dBm]	>-1.3	>-1.2	>-0.9
Pdc[mW]	23	22	23
Area[mm ²]	0.5	0.18	0.19
Tech.[μm]	0.18		

性能を維持したまま面積
を半分以下に

6 結論

LNAとLC-VCOにおいてオンチップインダクタの構造、配置を
変化させ、小面積化を図った。

LNAでは回路性能を維持しつつ面積を64%削減した。

VCOでは面積性能効率で206dBc/Hzを達成した。