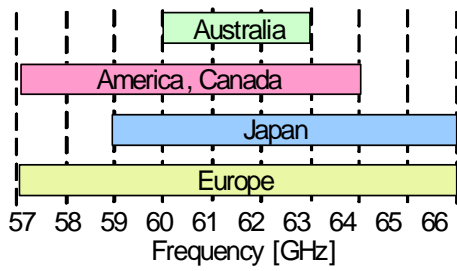


1 研究背景

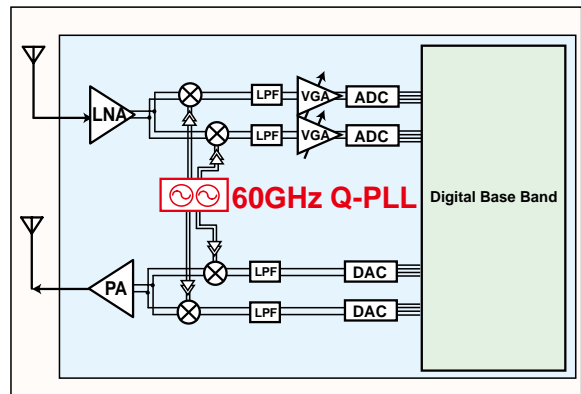


広帯域な周波数を無免許で
利用可能



40Gbps (64 QAM)
従来の**100倍**以上の通信速度

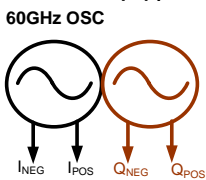
RFフロントエンド図



- 低コストなCMOS
- 小面積、低消費電力なダイレクトコンバージョン方式で挑戦！！

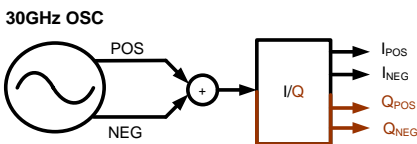
2 60GHz出力

VCO単体



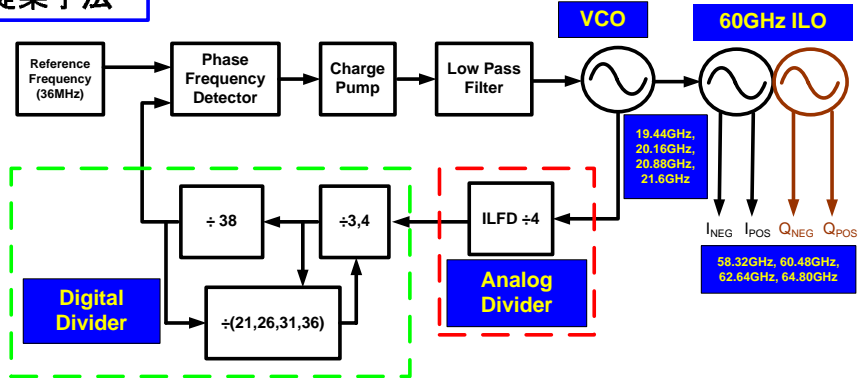
- ☹️ ゲインが小さい
- ☹️ Q値が小さい

Push-push



- ☹️ アウトプットが小さい
- ☹️ 電流量が多い

提案手法



- ☹️ ロックレンジが狭い
- ☺️ Q値が高い
- ☺️ ゲインが大きい
- ☺️ 必要なチューニングレンジが1/3

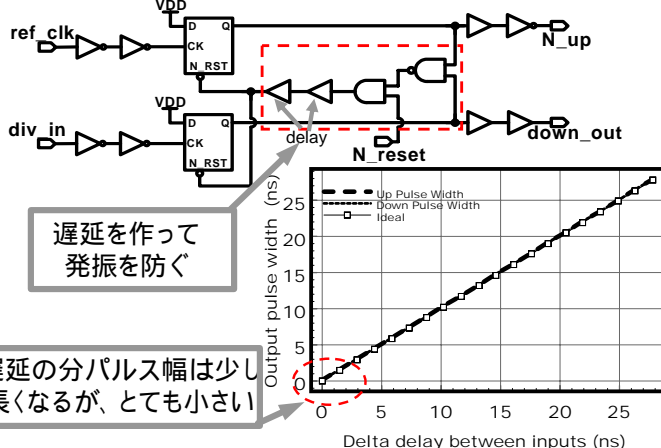
20GHzPLLを3逓倍して
低位相雑音で
所望の60GHzを得る

20GHzPLLの目標スペック

Freq. (GHz)	18-23 (24.4%)
Ref. Spurs (dBc/Hz)	<-65
PN@1MHz (dBc/Hz)	<-110
Ref. freq. (MHz)	36
Div. ratio	540, 560, 580, 600
Settling time	10μs order
Out Power (dBm)	>-5dBm
Total Power (mW)	40mW
Supply Voltage (V)	1.2
Area (mm ²)	<0.7-1
Process	65nm

3 Phase Frequency Detector

無線通信でよく用いられる回路構成



4 Charge Pump and Loop Filter

