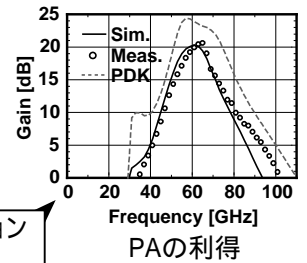
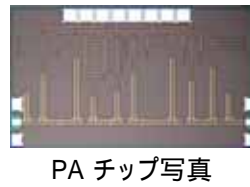
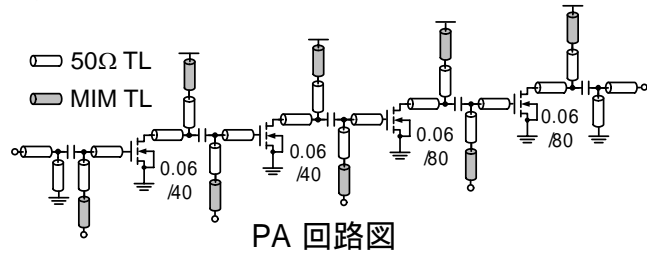


6 Power Amplifier

- ・4段シングルエンド構成
- ・モデリングしたコンポーネントを用いて設計
- ・伝送線路を用いてマッチング



実測結果とシミュレーション
結果がほぼ一致した

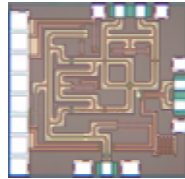
Reference	CMOS Node [nm]	Freq. [GHz]	Gain [dB]	P1dB [dBm]	PAE [%]	PDC [mW]	VDD [V]
[1] ISSCC 2009	65	60	15.8	2.5	3.95	43.5	1
[2] ISSCC 2009	45	60	13.8	11	-	-	1.1
This work	65	61.5	20	9.9	6.68	144	1.2

[1] W. L. Chan, et al., ISSCC 2009 (IMEC) [2] K. Raczkowski, et al., ISSCC2009 (Arizona Univ.)

7 Up-conversion Mixer

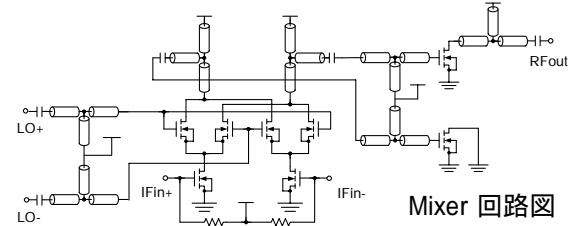
- ・ギルバートセルミキサ
- ・差動IF 入力、差動LO 入力、
単相RF 出力
- ・IF 側は抵抗、LO、RF 側
は伝送線路を用いてマッチング

Mixer チップ写真



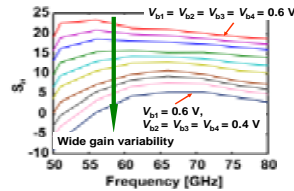
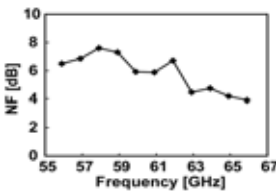
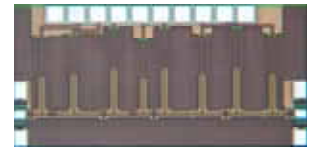
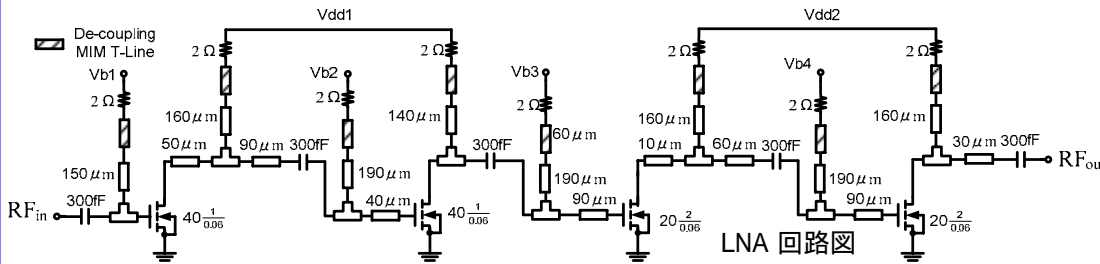
Reference	CMOS Node [nm]	DC Power [mW]	LO P. [dBm]	Conversion Gain [dB]	RF Output @ 1dB [dB]	LO-RF Isolation [dB]
[1] RFIC2008	65	29	5	-6.5@IF=10GHz	-5	30
[2] ESSCIRC2007	65	0	9	-13.5@IF=2GHz	-19	34
This work	65	19.2	-5	-0.6@IF=0.1GHz	-8.5	19.2

[1] Alberto Valdes-Garcia, et al., RFIC 2008 (IBM) [2] Mikko Varonen, et al., ESSCIRC 2007 (Helsinki Univ. of Tech)



8 Low Noise Amplifier

- ・バイアスポイントを変えることにより利得を制御
- ・NF4dB BW17GHzを達成



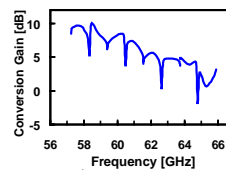
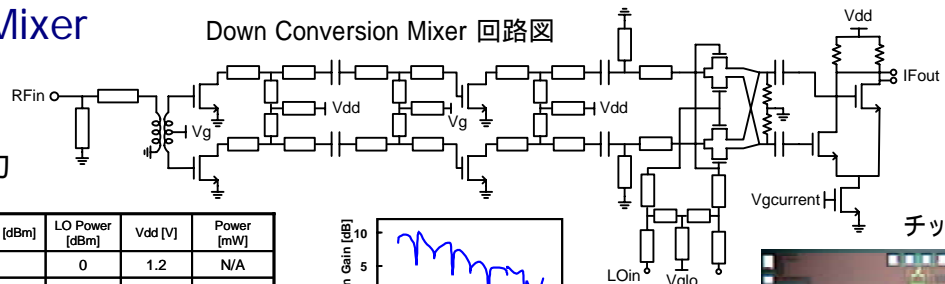
Reference	CMOS Node [nm]	Topology	BW [GHz]	Gain [dB]	NF [dB]	Power [mW]
[1] RFIC 08	65nm	CS	5	15	4.4	3.9
[2] JSSC 08	90nm	Cas.	8	15.5	6.5	86
This Work	65nm	CS	17	24	4	30

[1] Emanuel Cohen, et al., RFIC, pp62-64, 2008. [2] Christopher Weyers, et al., ISSCC, pp. 192-192, 2008.

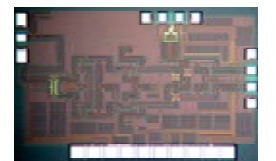
9 Down-Conversion Mixer

- ・パッシブミキサ
- ・ダブルバランスドミキサ
- ・単相RF入力、差動IF出力

Down Conversion Mixer 回路図



チップ写真



Reference	CMOS Node	Gain [dB]	Input P1dB [dBm]	LO Power [dBm]	Vdd [V]	Power [mW]
[1] RFIC 07	130nm	3	-15	0	1.2	N/A
[2] MWCL 09	130nm	1	-19	3	1.2	3
This Work	65nm	8	-15~-10	0	1.2	25

[1] F. Zhang, et al., RFIC, pp.141-144, 2007. [2] C. Wang, et al., MWCL, pp. 521-523, 2009.

10 結論 新しいディエンベディング方法などを用いることによりPAではSim.と実測とのズレを改善、LNAでは世界最高性能のNFを達成した。60GHz帯無線通信に向けたPA、Up-Mixer、LNA、Down-Mixerを設計した。