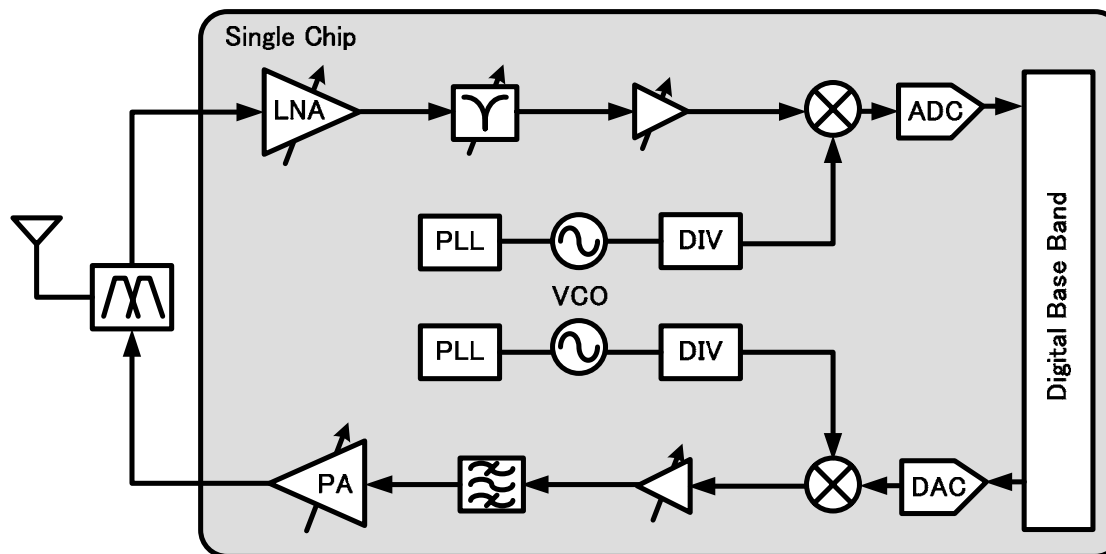


キャパシタクロスカップルを用いた 2.4GHz CMOS PA

洪 芝英, 今西 大輔, 岡田 健一, 松澤 昭

東京工業大学大学院 理工学研究科

- 研究背景
- 回路の特徴
- 測定結果
- まとめ



- PA (Power Amplifier)とは、送信部で使われ、電力を増幅し、信号をより強くする回路
- 2.4GHzは、
 - 自由に使えて、比較的速い通信ができる周波数帯域
 - 様々な無線通信: WiMAX, WLAN, Bluetoothなど

- Capacitive cross-couplingを使った理由

出力段の耐圧に対する信頼性を高めたい



Self-biased cascode手法を用いる



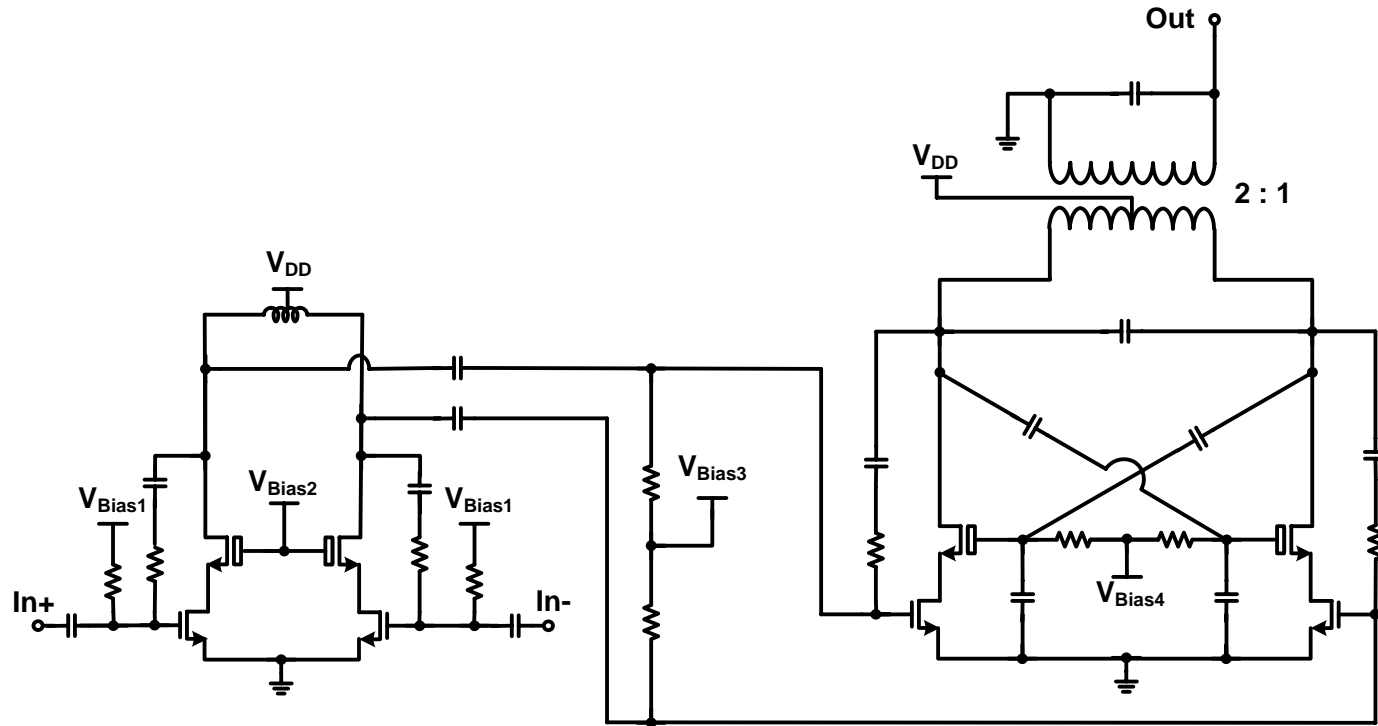
バイパス容量が占める面積が大きい



キャパシタクロスカップルを用いる



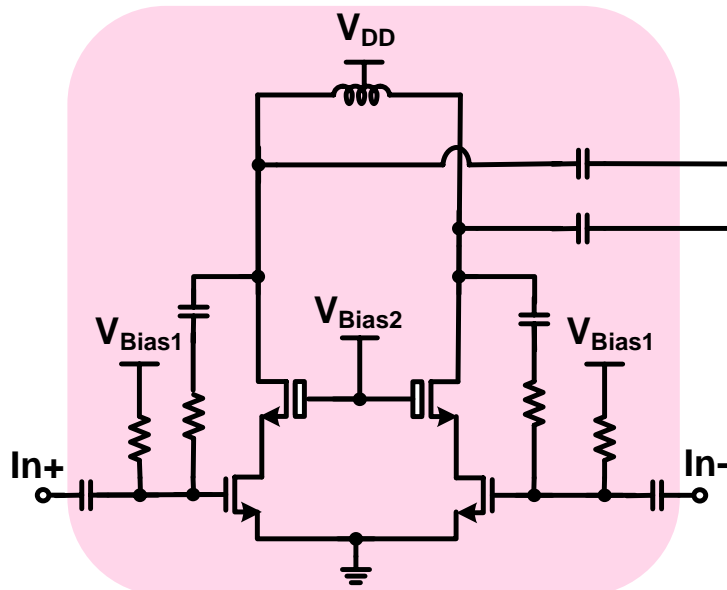
バイパスに必要な容量を減らす



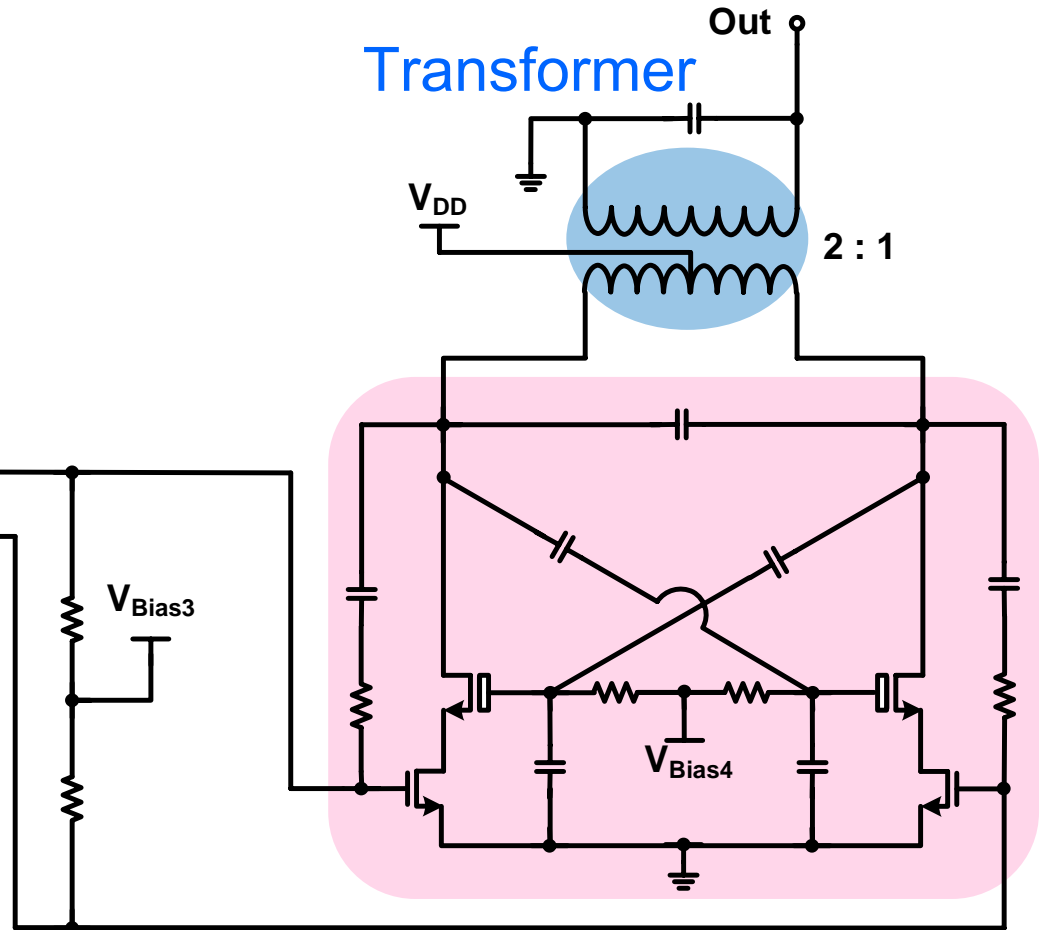
- A級バイアス(1st stage), AB級バイアス(2nd stage)
- 出力電力 P_{out} を3dB上げる差動回路
- L, C, Rによるインピーダンスマッチング

Proposed circuit

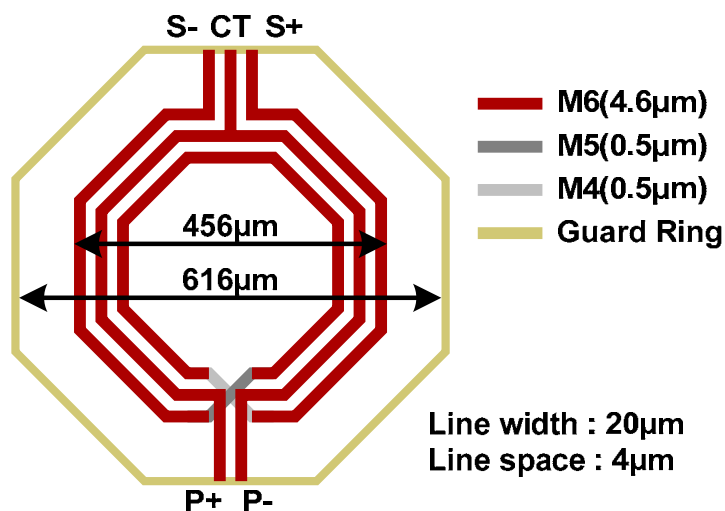
- 高い出力電力を得るため、
 - 差動回路
 - 2段構成
 - トランスフォーマー



The 1st stage



The 2nd stage



■ 最大出力 P_{sat} と 出カインピーダンス Z_{out} の関係

$$P_{sat} = \frac{(V_{DD}/\sqrt{2})^2}{Z_{out}}$$

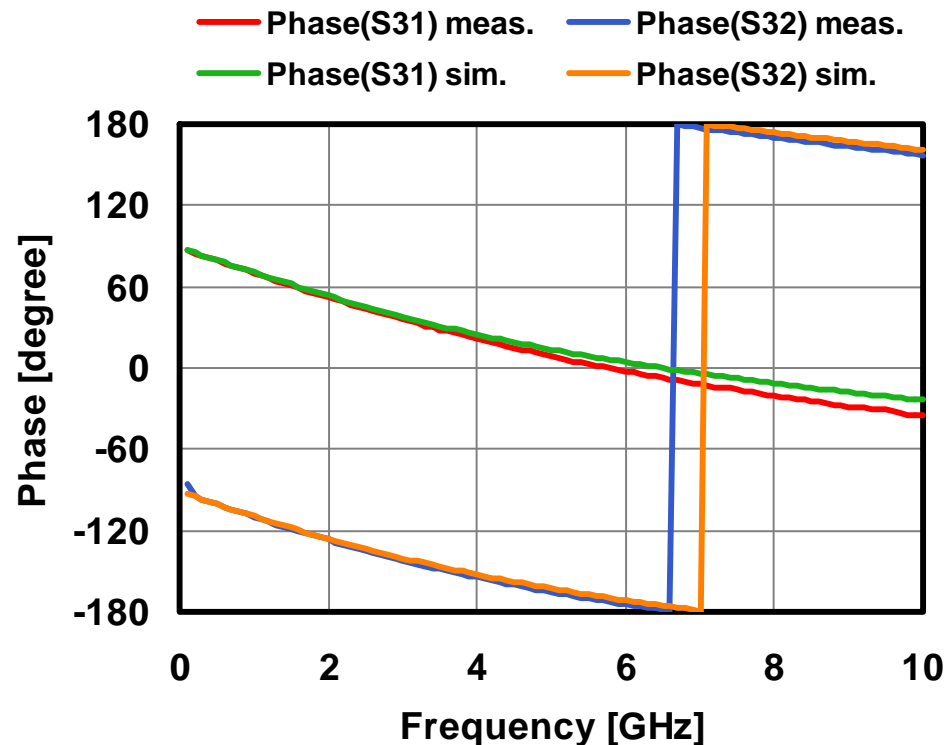
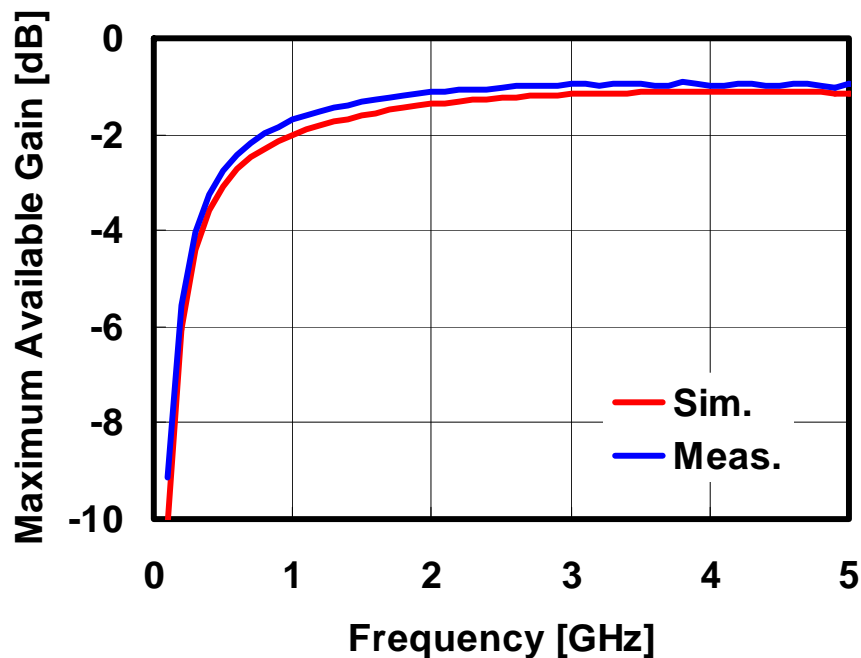
■ 理論上の最大出力 P_{sat}

$$P_{sat} = \frac{(V_{DD}/\sqrt{2})^2}{(1/4 Z_{out})} = \frac{(2 \times 3.3/\sqrt{2})^2}{(2 \times 1/4 \times 50)}$$

$$= 0.8712[\text{W}] = 29.4[\text{dBm}]$$

- Turn ratio=2:1
- Z_{out} (50Ω)
 $1/4 Z_{out}$ (12.5Ω)

- 結合係数=0.7
- Maximum Available Gain(MAG)=-1.05 dB
- 変換効率= $10^{(-1.05\text{dB}/10)} \times 100 = 78.5\%$

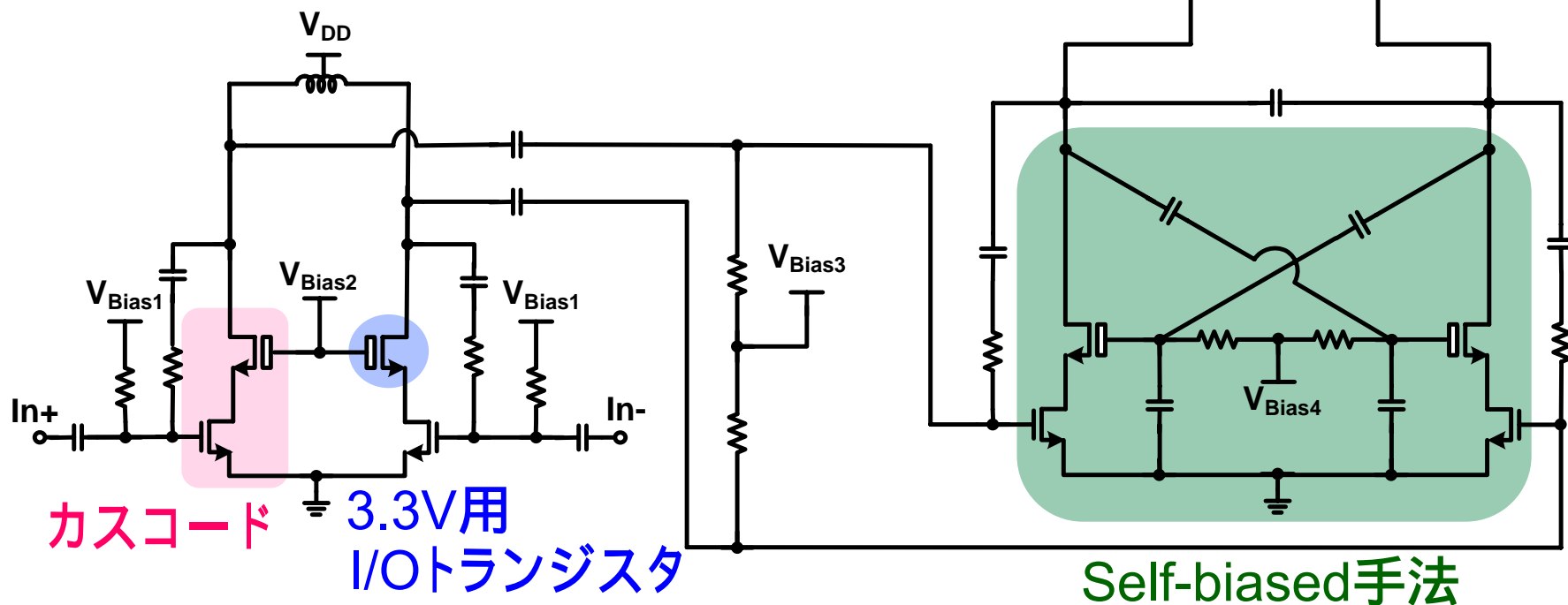


- シミュレーション結果とほぼ一致

Proposed circuit

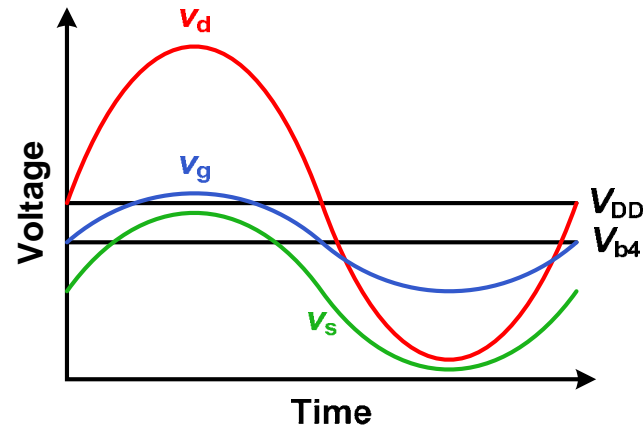
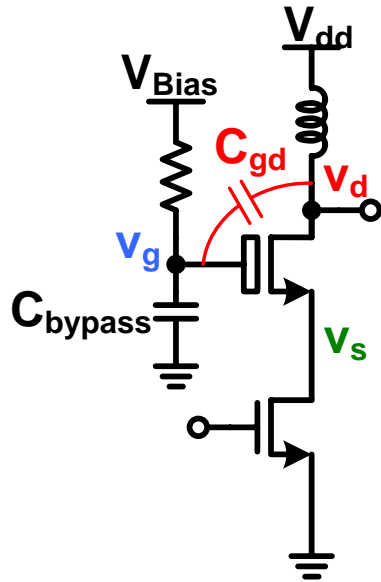
■ 耐圧問題を解決するため、

- カスコード構造
- 3.3V用I/Oトランジスタ
- Self-biased手法



Self-biased手法

■ at the 2nd stage



[電圧波形の概念図]

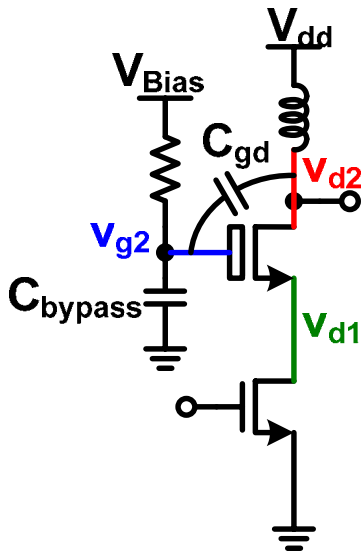
C_{gs} を無視すると、

$$V_g = \frac{C_{gd}}{C_{bypass} + C_{gd}} V_d$$

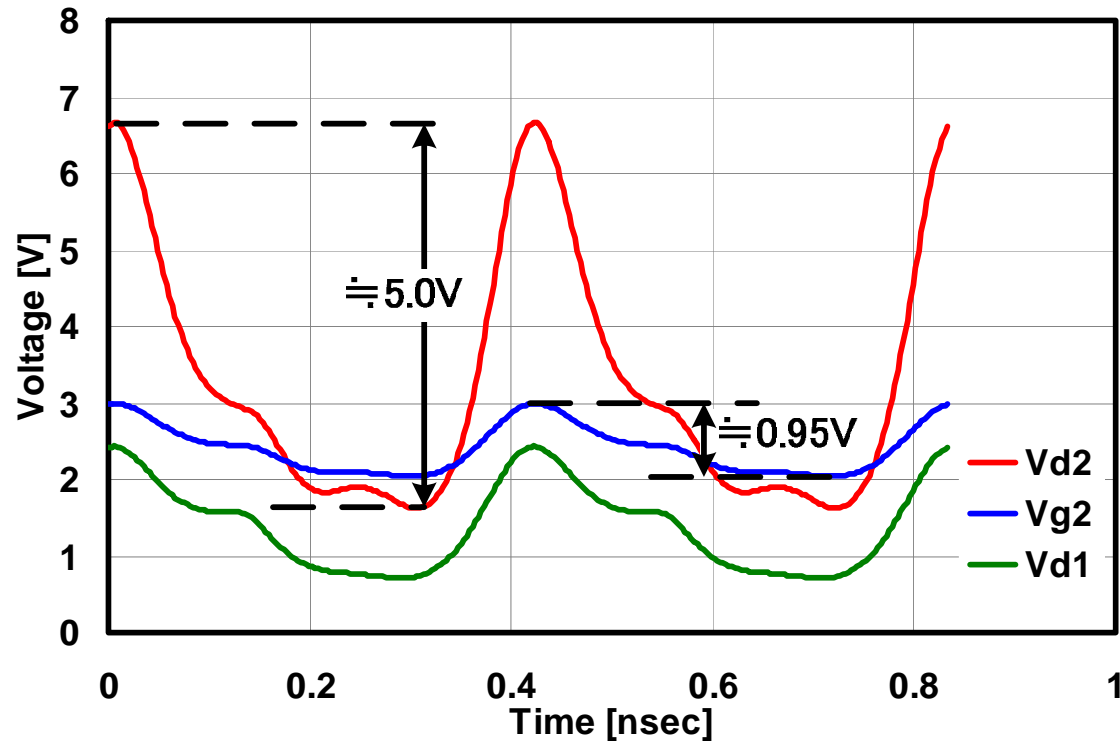
- 😊 電圧 v_{gd} の軽減
- 😊 ゲート接地Trの線形領域入りを防止
- 😞 ゲインの低下
- 😞 C_{bypass} による面積増加

[1] T. Sowlati, et al., "A 2.4-GHz 0.18- μ m CMOS Self-Biased Cascode Power Amplifier," IEEE Journal of Solid-State Circuits, pp. 1318-1324, 2003

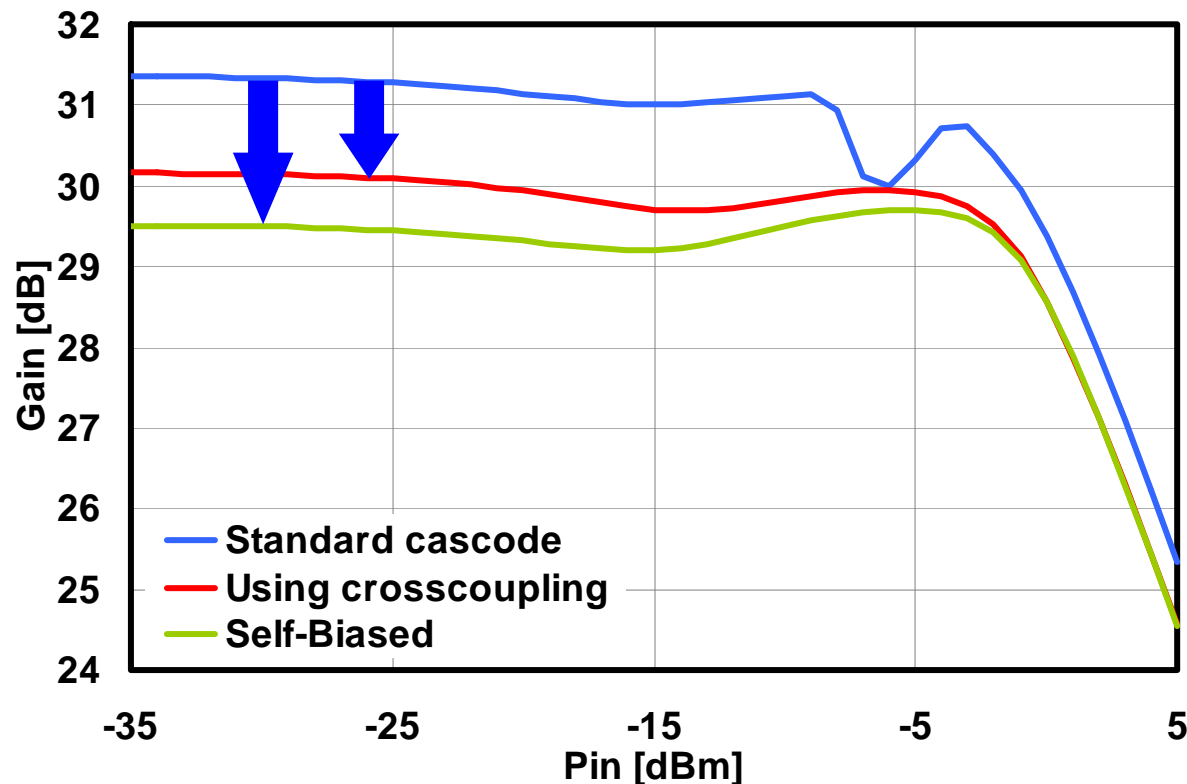
■ 電圧波形



[Self-biased cascode]

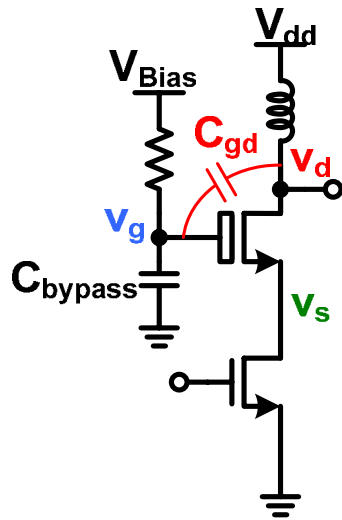


- ➔ • V_d振幅の19%
- C_{bypass} = 14.5pF



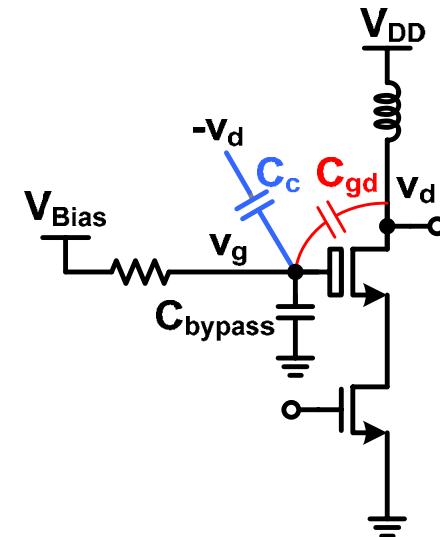
- バイアス電圧だけをかける一般的なカスコード構造より Self-biased手法はゲインを下げる

Self-biased cascode



$$v_g = \frac{C_{gd}}{C_{bypass} + C_{gd}} v_d$$

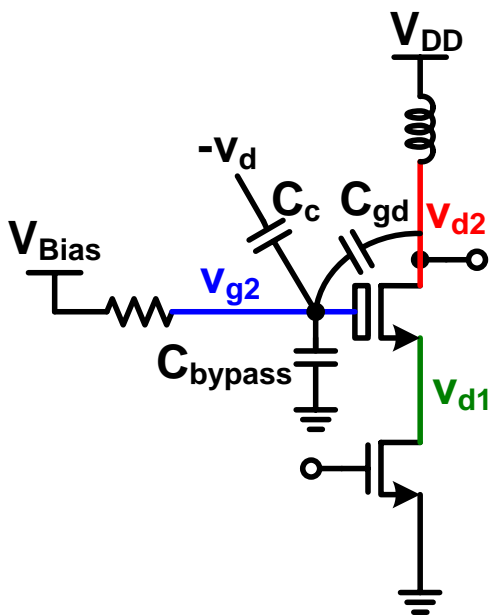
Using capacitive cross-coupling



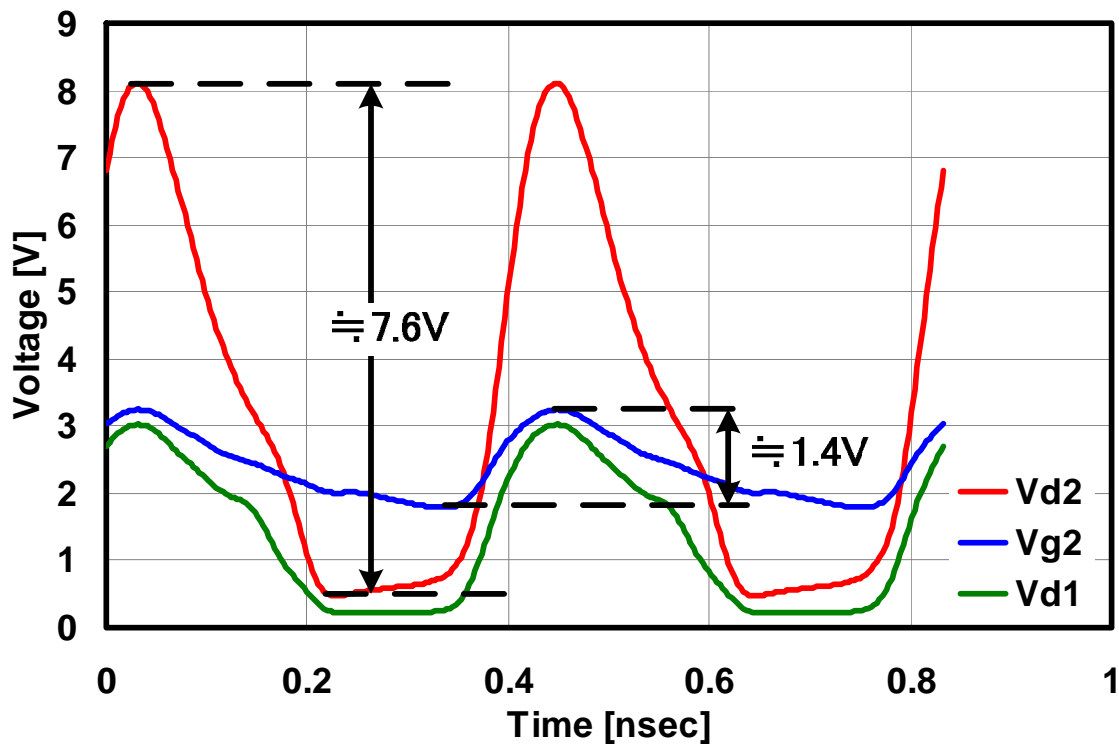
$$v_g = \frac{C_{gd} - C_c}{C_{bypass} + (C_{gd} - C_c)} v_d$$

- 今回のPAでは、 v_g の振幅= v_d 振幅の18%程度になるよう設計
- 寄生容量 C_{gd} を抑制し、バイパス用の容量 C_{bypass} を減らす

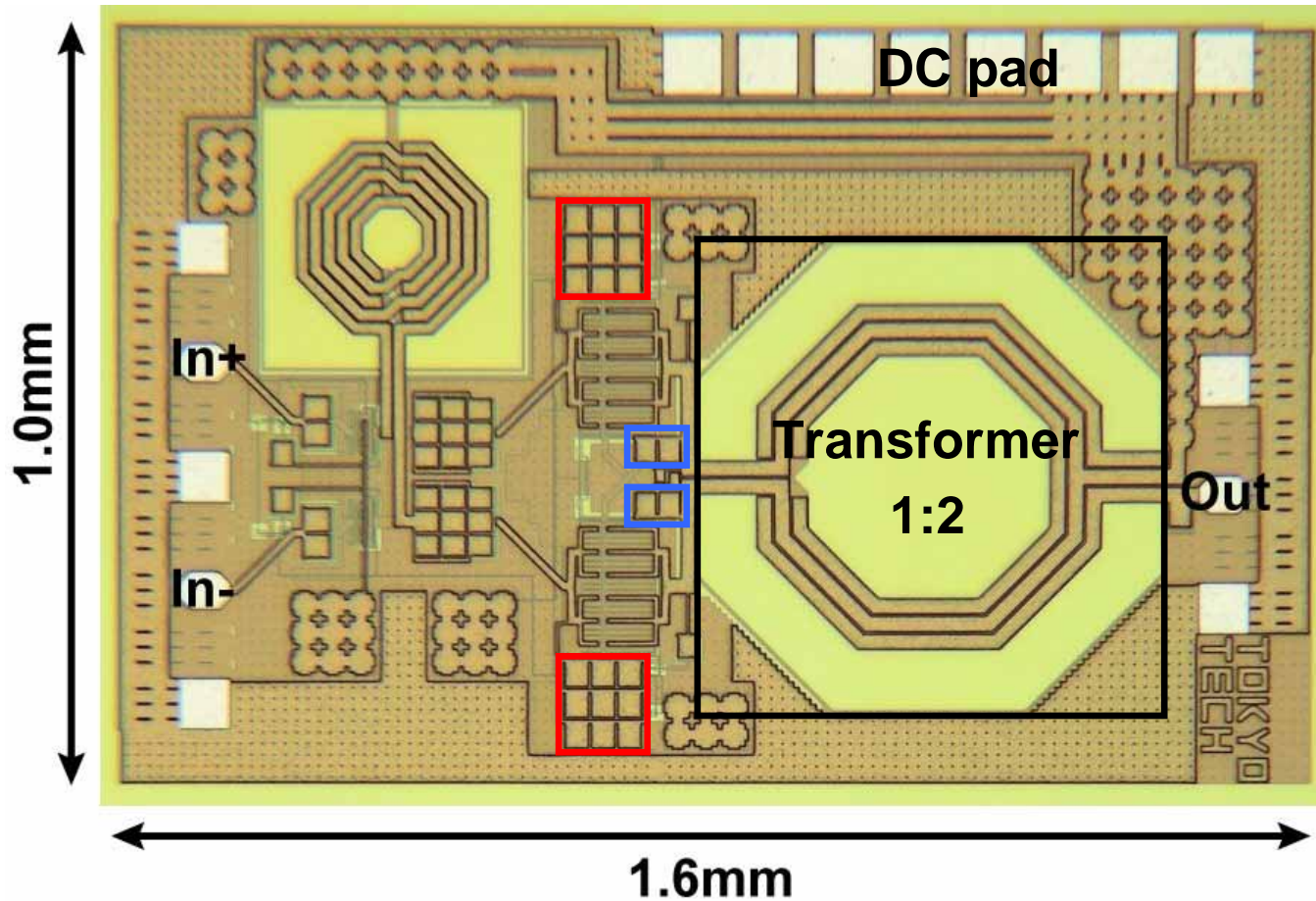
■ Pin=5dBm



【Self-biased cascode with
capacitive cross-coupling】



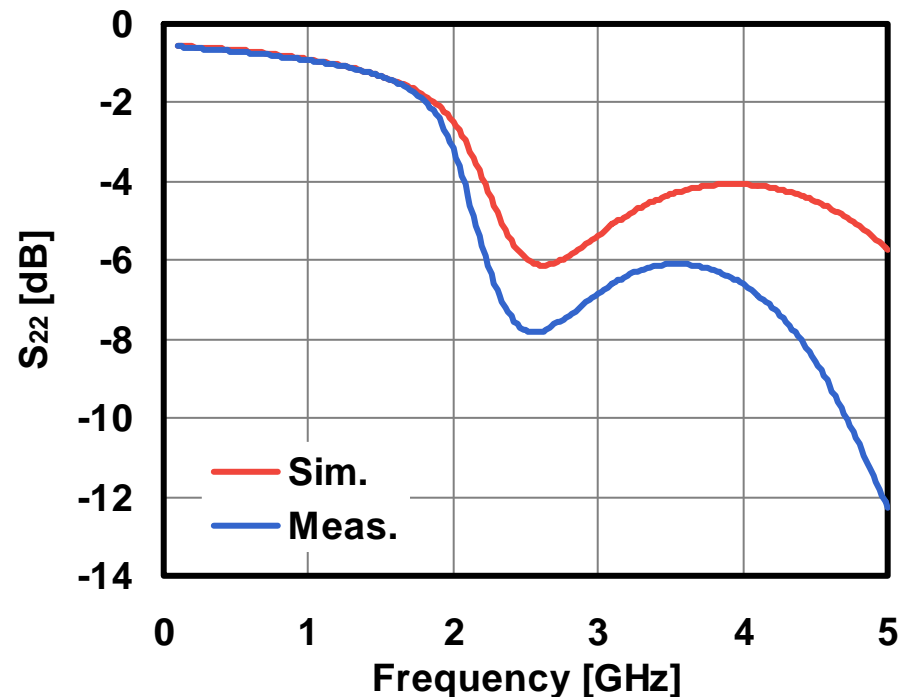
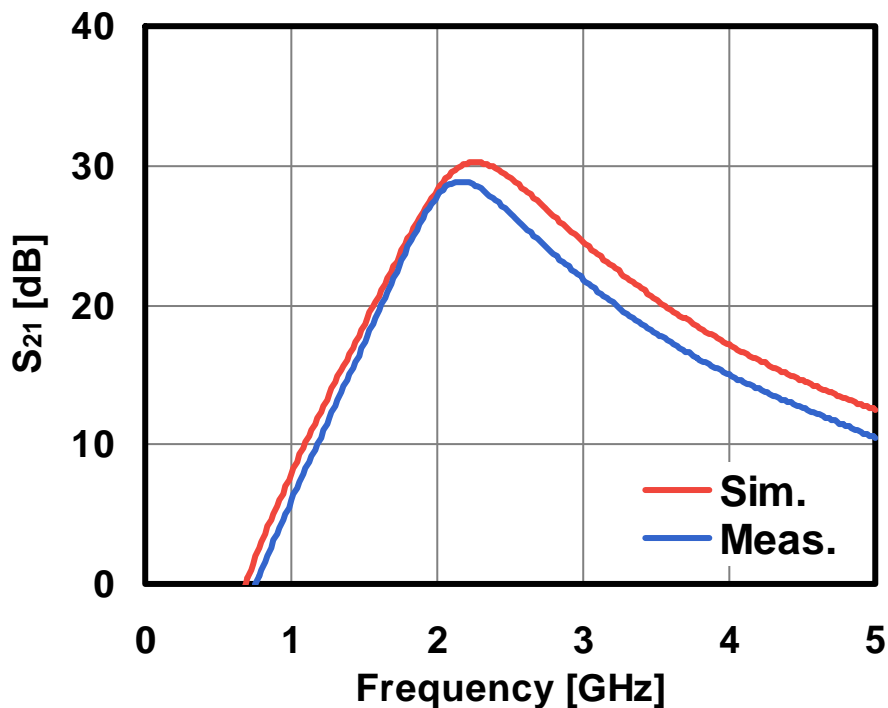
- ➔ • V_d振幅の18%
- C_{bypass} = 8.6pF



1fF/ μm^2 の
MIM容量使用

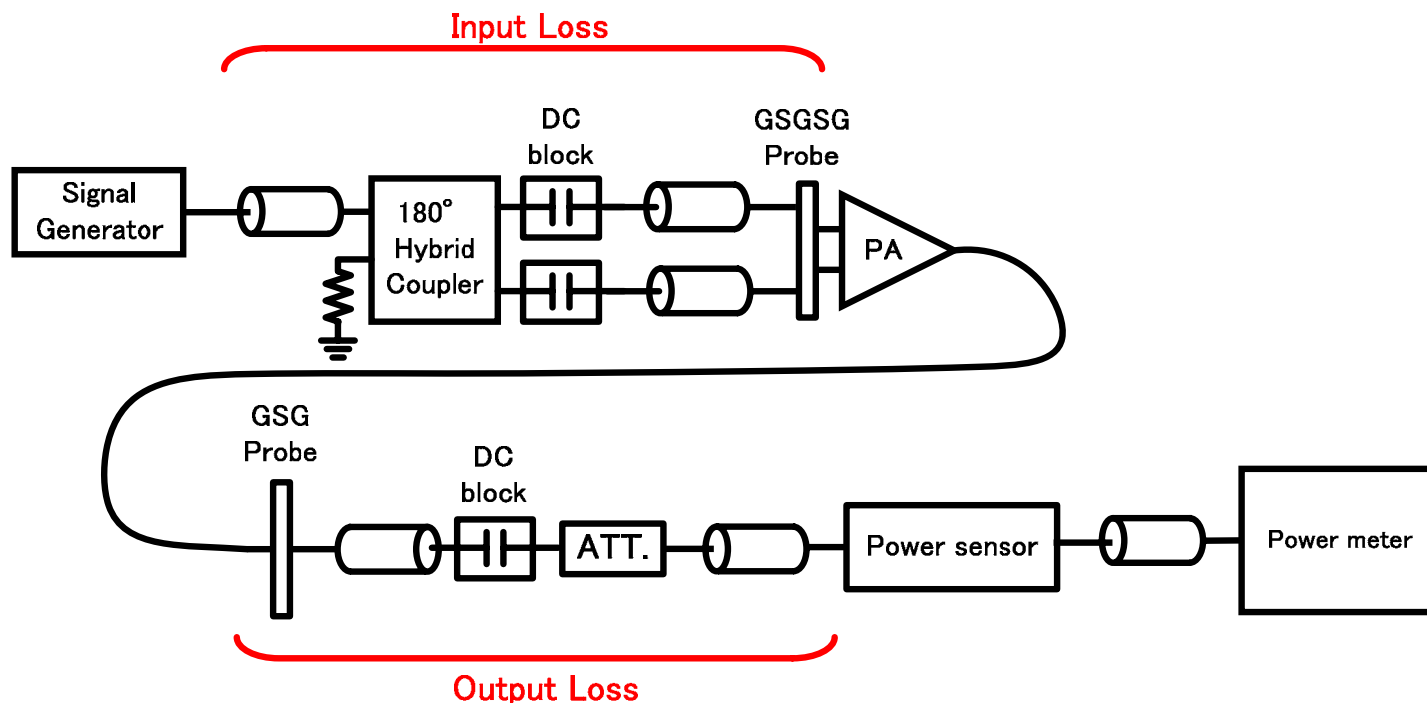
□ バイパス容量 $C_{\text{bypass}} = 14.5\text{pF}$ 8.6pF

□ クロスカップル容量 $C_{\text{cc}} = 1.5\text{pF}$



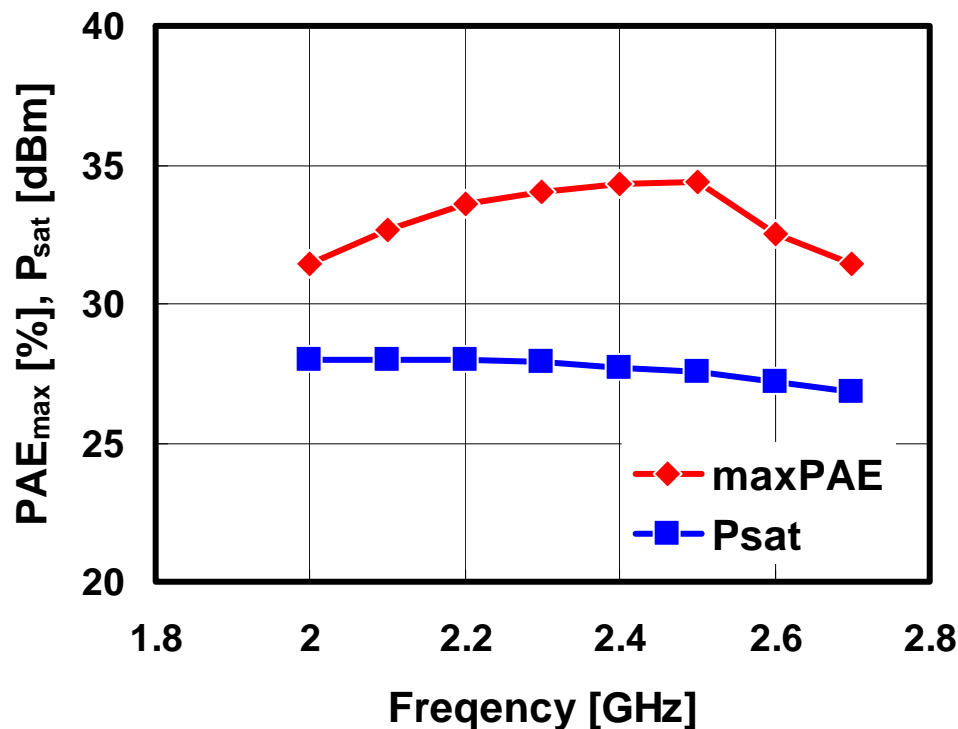
■ シミュレーションとほぼ一致

■ 大信号特性の測定系



- 入出力ロスは別途測定し、測定結果から差し引いた

■ Around 2.4 GHz

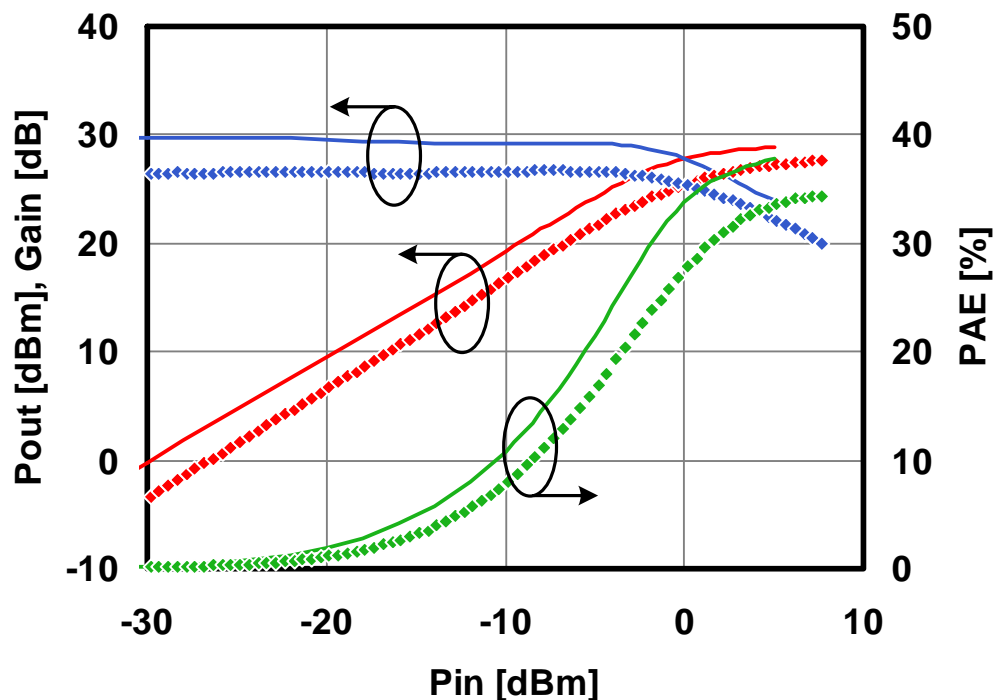


• $PAE_{max} > 31 \%$

• $P_{sat} > 27 \text{ dBm}$

■ 2.4 GHz

◆ Pout(Meas.) — Pout(Sim.)
◆ Gain(Meas.) — Gain(Sim.)
◆ PAE(Meas.) — PAE(Sim.)

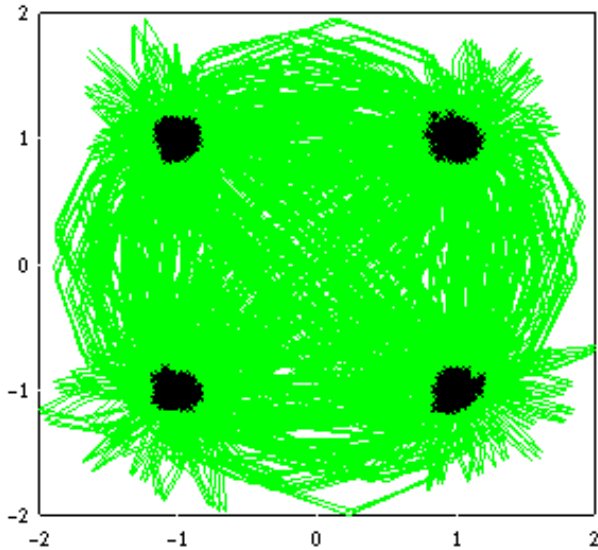


- $P_{1\text{dB}} = 25 \text{ dBm}$
- $P_{\text{sat}} = 27.7 \text{ dBm}$
- $\text{Gain} = 26.5 \text{ dB}$
- $\text{PAE}_{1\text{dB}} = 26.8 \%$
- $\text{PAE}_{\text{max}} = 34.3 \%$

QPSK

100Msps(200Mbps)

Normalized Vector/Constellation (I vs. Q)

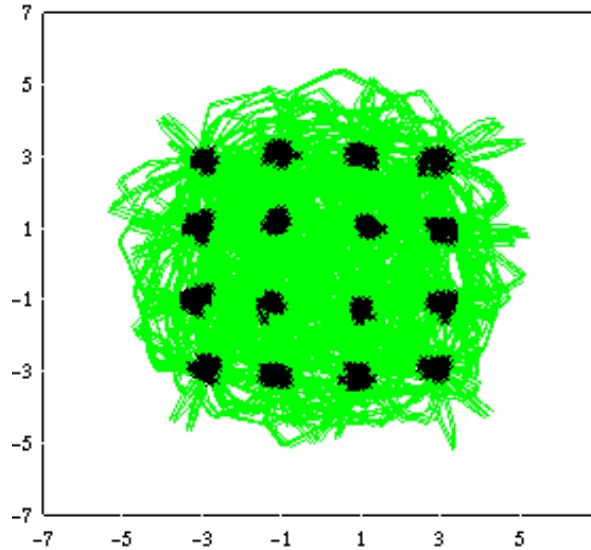


EVM:6.49%

16QAM

100Msps(400Mbps)

Normalized Vector/Constellation (I vs. Q)

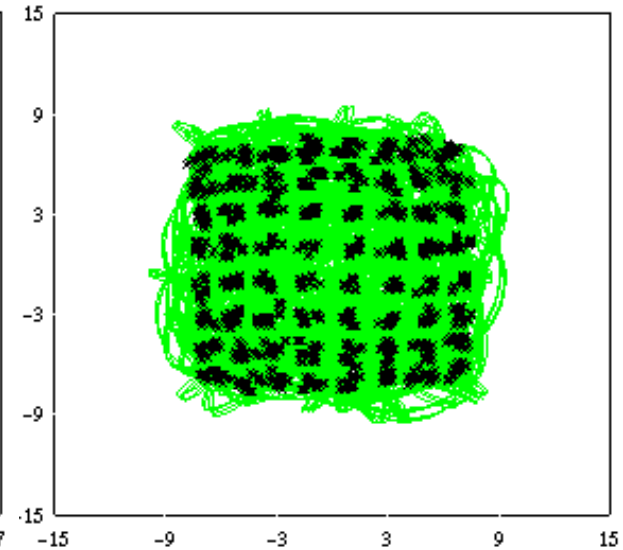


EVM:9.09%

64QAM

100Msps(600Mbps)

Normalized Vector/Constellation (I vs. Q)



EVM:9.13%

- AWG clock: 10 GS/s

Comparison of CMOS PAs

	[2]	[3]	[4]	[5]	This work
Technology	90nm	130nm	180nm CMOS		
V_{DD}	3.3 V	1.2 V	3.3 V	3.3 V	3.3 V
Frequency	2.4 GHz				
P_{1dB}	27.7 dBm	24 dBm	24.5 dBm	27 dBm	25.2 dBm
P_{sat}	30.1 dBm	27 dBm	-	31 dBm	27.7 dBm
PAE_{peak}	33 %	*32 %	31 %@1dB	27 %	34.3 %
Area	4.3 mm ²	1.7 mm ²	1.7 mm ²	2.0 mm ²	1.6 mm²

* Drain efficiency

[2] D. Chowdhury, et al., "A Single-Chip Highly Linear 2.4GHz 30dBm Power Amplifier in 90nm CMOS," IEEE International Solid-State Circuits Conference, pp. 378-380, 2009

[3] G. Liu, et al., "Fully Integrated CMOS Power Amplifier With Efficiency Enhancement at Power Back-Off," IEEE Journal Of Solid-State Circuits, vol. 43, No. 3, pp. 600-609, Mar. 2008

[4] J. Kang, et al., "A Single-Chip Linear CMOS Power Amplifier for 2.4GHz WLAN," IEEE International Solid-State Circuits Conference, pp.761-769, 2006

[5] K. An, et al., "A 2.4 GHz Fully Integrated Linear CMOS Power Amplifier With Discrete Power Control," IEEE Microwave and Wireless Components Letter, vol. 19, No. 7, pp. 479-481, July. 2009

- 高い出力を得る2.4GHzのPAを目標に回路を設計
- 回路設計
 - TSMC 0.18 μ m CMOS プロセスを用いて設計
 - 高い出力: 差動回路、2段構成、トランスフォーマー使用
 - 耐圧向上
 - : カスコード、3.3V用I/Oトランジスタ、Self-biasedカスコード
 - バイアス容量の軽減: キャパシタクロスカップル
- Results
 - $P_{1dB} = 25.2\text{dBm}$, $P_{\text{sat}} = 27.7\text{dBm}$, $\text{PAE}_{\text{peak}} = 34.3\%$
 - 必要な C_{bypass} 14.5pF 8.6pF(41%)