

キャパシタクロスカップルを用いた 2.4GHz CMOS PA

A 2.4GHz Fully Integrated CMOS Power Amplifier Using Capacitive Cross-Coupling

東京工業大学大学院 理工学研究科

洪 芝英, 今西 大輔, 岡田 健一, 松澤 昭

Tokyo Institute of Technology

JeeYoung Hong, Daisuke Imanishi, Kenichi Okada, and Akira Matsuzawa

概要: 本CMOS PAでは、様々な無線通信に用いられる 2.4GHz帯において、高い出力電力を得るために2段の差動構成とトランスフォーマーを用いた。耐圧向上のため、カスコード構成とし、ゲート接地段に 3.3V用 I/O トランジスタを用いた。特に出力段では、耐圧に対する信頼性を高めるため、セルフバイアス手法を用い、ゲート電圧 v_g がドレイン電圧 v_d に比例して動くようにした。この時、比例係数の式はバイパス用の容量 C_{bypass} とゲートドレイン間の寄生容量 C_{gd} で表される。従来キャパシタクロスカップルはインピーダンス整合や利得の増大のため用いられるが、今回のPAでは寄生容量 C_{gd} を抑制して、バイパス用の容量を減らす。

結果: キャパシタクロスカップルを出力段に入れて設計した 2.4GHz CMOS PAの測定結果を表 1 に示す。3.3Vの電源電圧において、27.7 dBmの P_{sat} 、34.3%の PAE_{peak} が得られた。バイパス容量はキャパシタクロスカップルを用いない場合と比べて、約半分の容量を必要とし、面積節減の効果があった。

謝辞: 本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、NEDO、キャノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社及びアジレント・テクノロジー株式会社の協力で行われたものである。

Table 1. Performance Summary of CMOS PA

	This work
Technology	TSMC 0.18 μ m CMOS process
V_{DD}	3.3 V
Frequency	2.4 GHz
P_{1dB}	25.2 dBm
P_{sat}	27.7 dBm
PAE_{peak}	34.3 %
Area	1.6 mm ²