

CMOS プロセスにおける高周波向け配線構造の検討

Investigation on CMOS Interconnects for High Frequency Applications

韓 燦教 浅田 大樹 松下 幸太 文仙 啓吾 岡田 健一 松澤 昭
Changyo Han Hiroki Asada Kota Matsushita Keigo Bunsen Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、高周波帯を利用した超高速近距離無線通信機能を民生機器に実装するために、より安価な Si CMOS を用いた無線通信回路が検討されている。高周波帯では線路をツチングブロックとして利用することも多いが、表皮効果による抵抗損の影響が無視できない。そこで本研究では銅とアルミという2つの材料によって生じる伝送線路の抵抗損の違いについて検討を行った。

2 表皮効果

抵抗値は銅はアルミより導電率が高いため、低周波域ではアルミに比べて銅の線路の方が低損失であることは明らかである。しかし信号の周波数が高くなると表皮効果によって電流は線路の表面に集中する。流れる電流の表皮深さ δ は次の式で与えられる。

$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}} \quad (1)$$

ただし ω は信号の角周波数、 μ は真空の透磁率、 σ は線路の材質の導電率である。高周波帯では表皮深さは極めて薄くなり、線路のほとんど表面のみを信号は伝搬することになる。配線層の銅は絶縁体への銅イオンの拡散を防ぐためにバリアメタルでその表面が覆われている。そのため、信号は表皮効果によって銅ではなくその表面の導電率の低いバリアメタルの中のみを伝搬することとなる。その結果銅の導電率の優位性は失われ、アルミで出来た線路の方が信号の減衰が小さくなると考えられる。

3 測定結果

65nm の CMOS プロセスを用いて2つの伝送線路を試作した。図1に試作した伝送線路のチップ写真を示す。左が Al のみの伝送線路、右が Al と Cu を組み合わせた伝送線路である。

各々の伝送線路の構造を図2に示す。1つはアルミのみのコプレーナ線路である。もう1つはアルミと銅の2層を用いたコプレーナ線路で、アルミ層と銅層は配線ビアで繋がっている。そして複数の異なる長さの伝送線路を測定し、その結果から [1] の手法を用いてパッド成分のディエンベディングを行った。

図3に減衰係数 α の比較を示す。減衰係数 α は以下の式で表され、伝送線路の減衰量を示す値である。

$$\alpha = \text{Re} \left[\sqrt{(R + j\omega L)(G + j\omega C)} \right] \quad (2)$$

低周波域ではアルミと銅の2層を用いた伝送線路の方が低い減衰係数を示しているが、高周波域ではこれが逆転していることが確認できる。

4 まとめ

チップの配線層には導電率の高い銅が用いられている。しかし高周波帯では表皮効果によってバリアメタルの影響が無視できなくなり、アルミによる線路よりも銅による線路の方が抵抗損が大きくなることを示した。

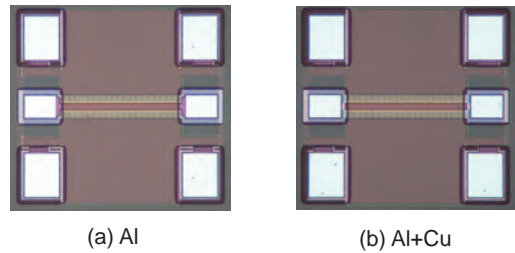


図1 チップ写真

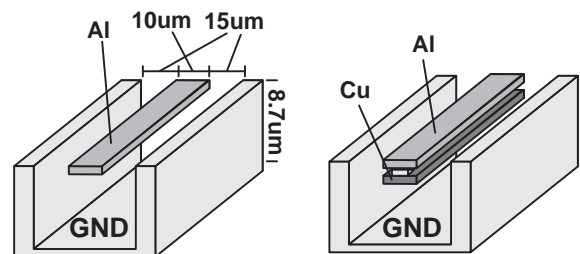


図2 伝送線路の構造

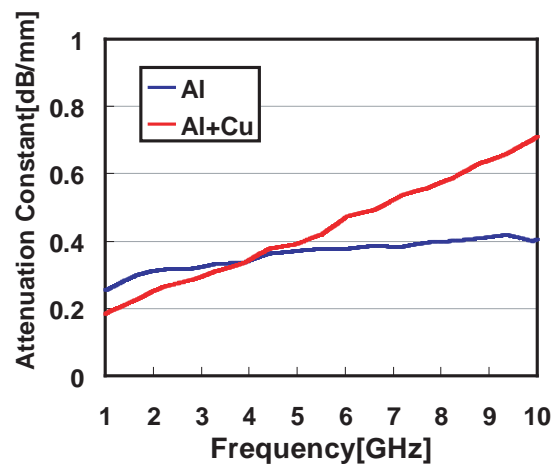


図3 減衰係数

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、NEDO、キャノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

参考文献

- [1] Ning Li, Kota Matsushita, Naoki Takayama, Shogo Ito, Kenichi Okada, and Akira Matsuzawa, " Millimeter-Wave Amplifiers Design by Employing Multi-Line De-Embedding Technique ", IEICE TRANS. ELECTRON, Vol.E93-A, No.2, pp.431-439, Feb. 2010.