

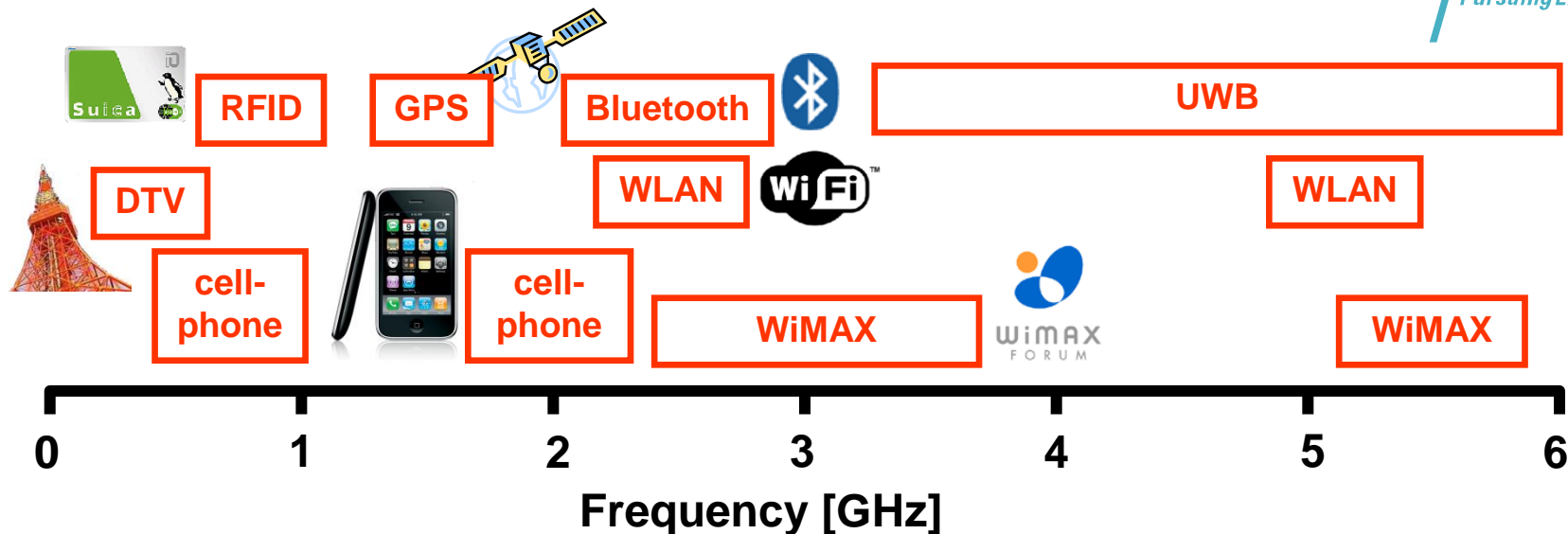
CMOS プロセスにおける 高周波向け配線構造の検討

◎韓 燦教*, 浅田 大樹**, 松下 幸太**, 文仙 啓吾**,
岡田 健一**, 松澤 昭**

*東京工業大学工学部電気電子工学科

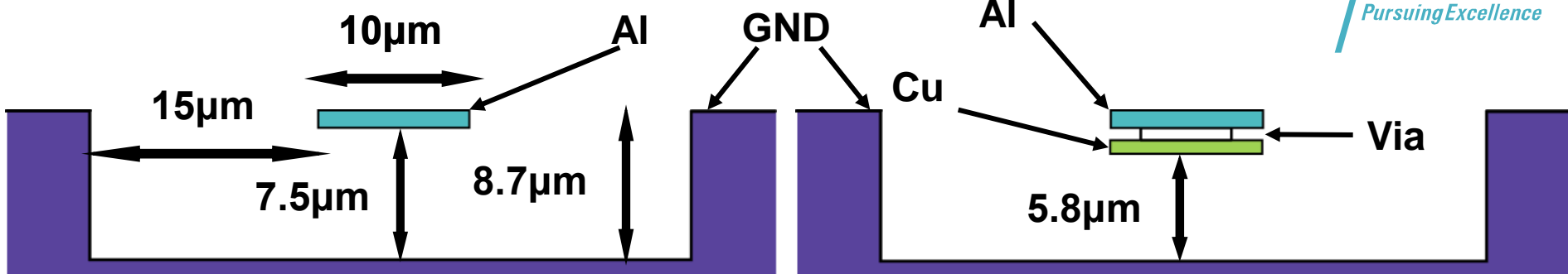
**東京工業大学大学院理工学研究科

- 研究背景
- 伝送線路の構造
- 試作した伝送線路の測定結果
- モデリング及びシミュレーション
- まとめ



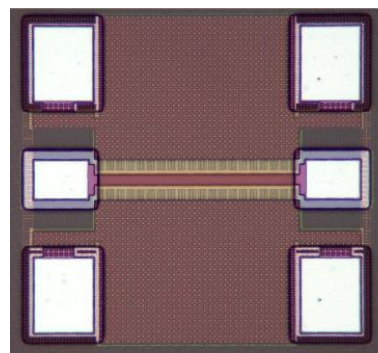
- 高周波での伝送線路の信号損失をできるだけ抑えたい
- ↓
- 2種類の伝送線路を試作して比較

伝送線路の構造

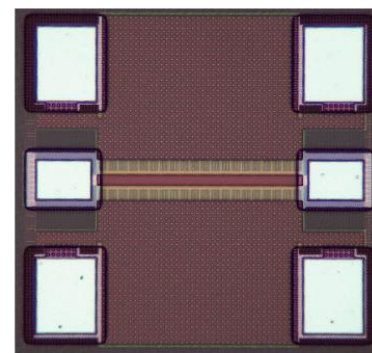


長さ: 200 μ m

Al

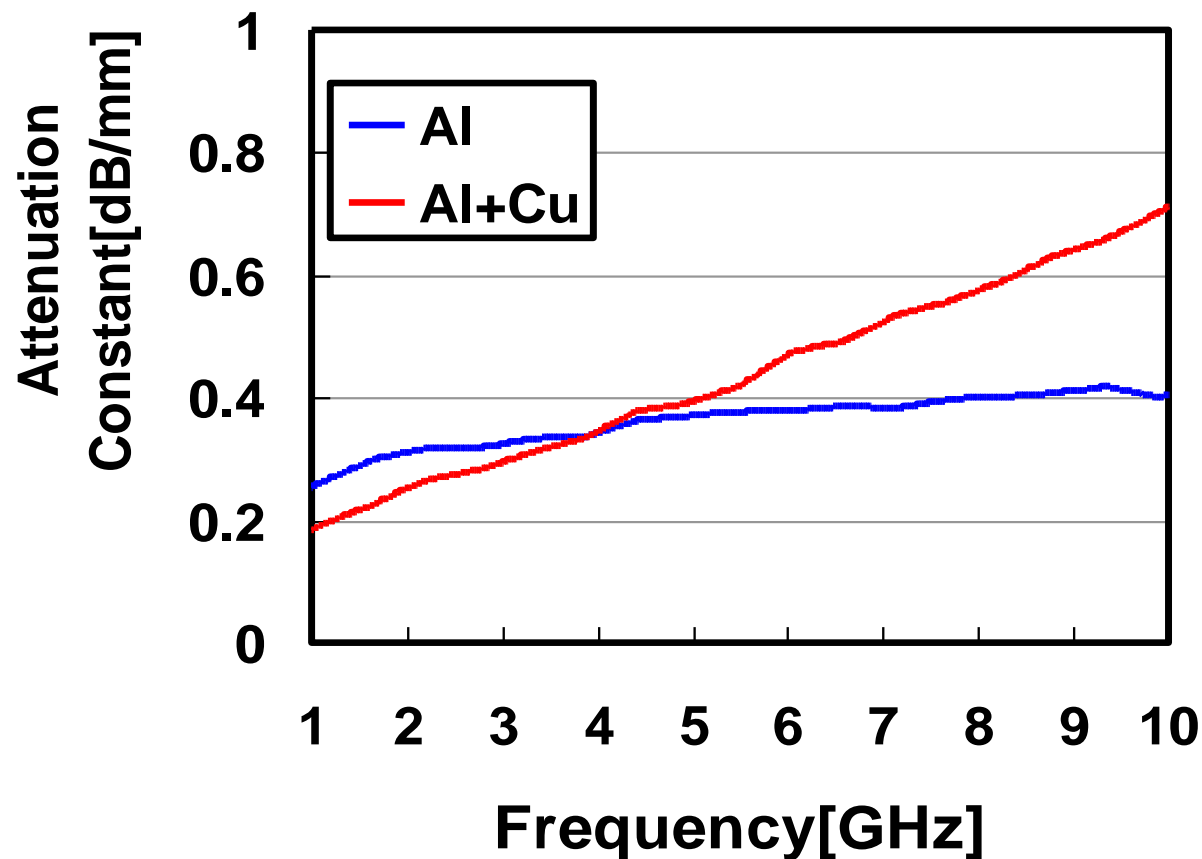


Al+Cu



65nm CMOS プロセスを用いた
コプレーナ線路

$$\alpha = \text{Re} \left[\sqrt{(R + j\omega L)(G + j\omega C)} \right]$$



高周波になるほどAlのみの線路の方が減衰が小さい

Cuの導電率 $5.8 \times 10^7 [S / m]$

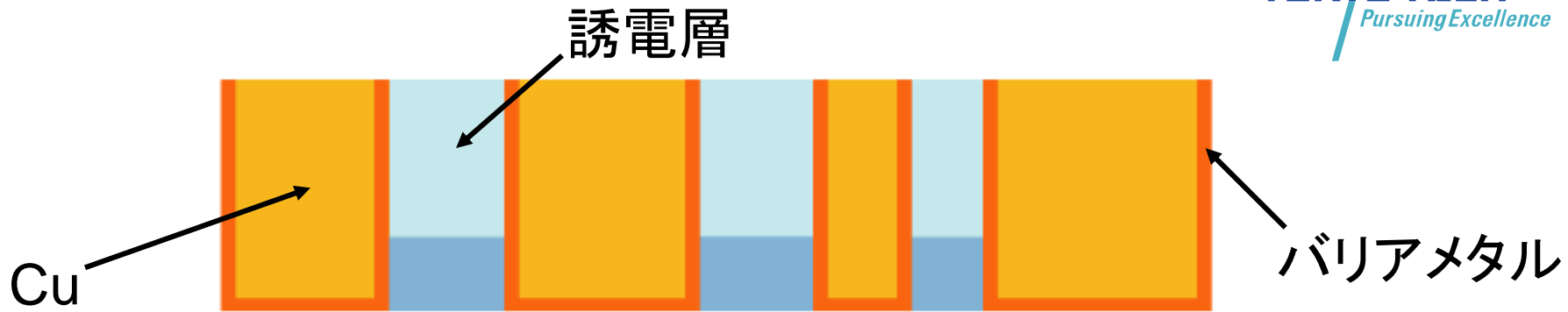
Alの導電率 $4.0 \times 10^7 [S / m]$



低周波では明らかに**Cu**が低損失

高周波で損失が大きくなる原因は

バリアメタルによる導電率の低下
構造の違いによる特性の変化



バリアメタルはCuに比べ導電率が低い

電流の表皮深さ →

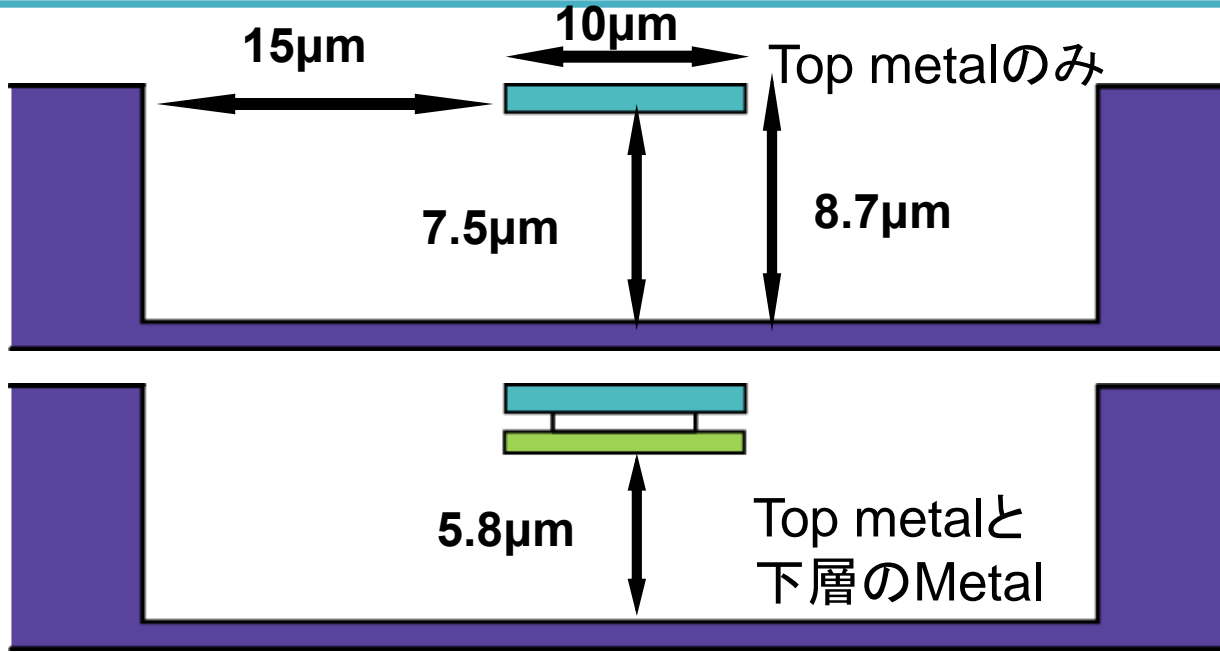
$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}}$$

ω : 信号の
角周波数

μ : 真空の
透磁率

σ : 導電率

高い周波数では薄くなり
信号がバリアメタルに多く流れる



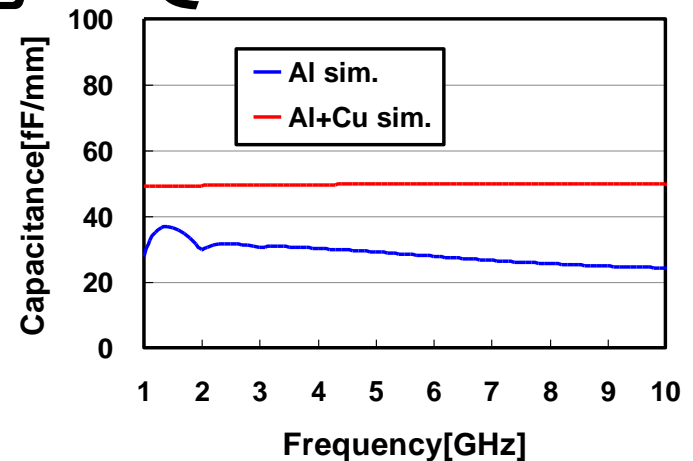
近似式

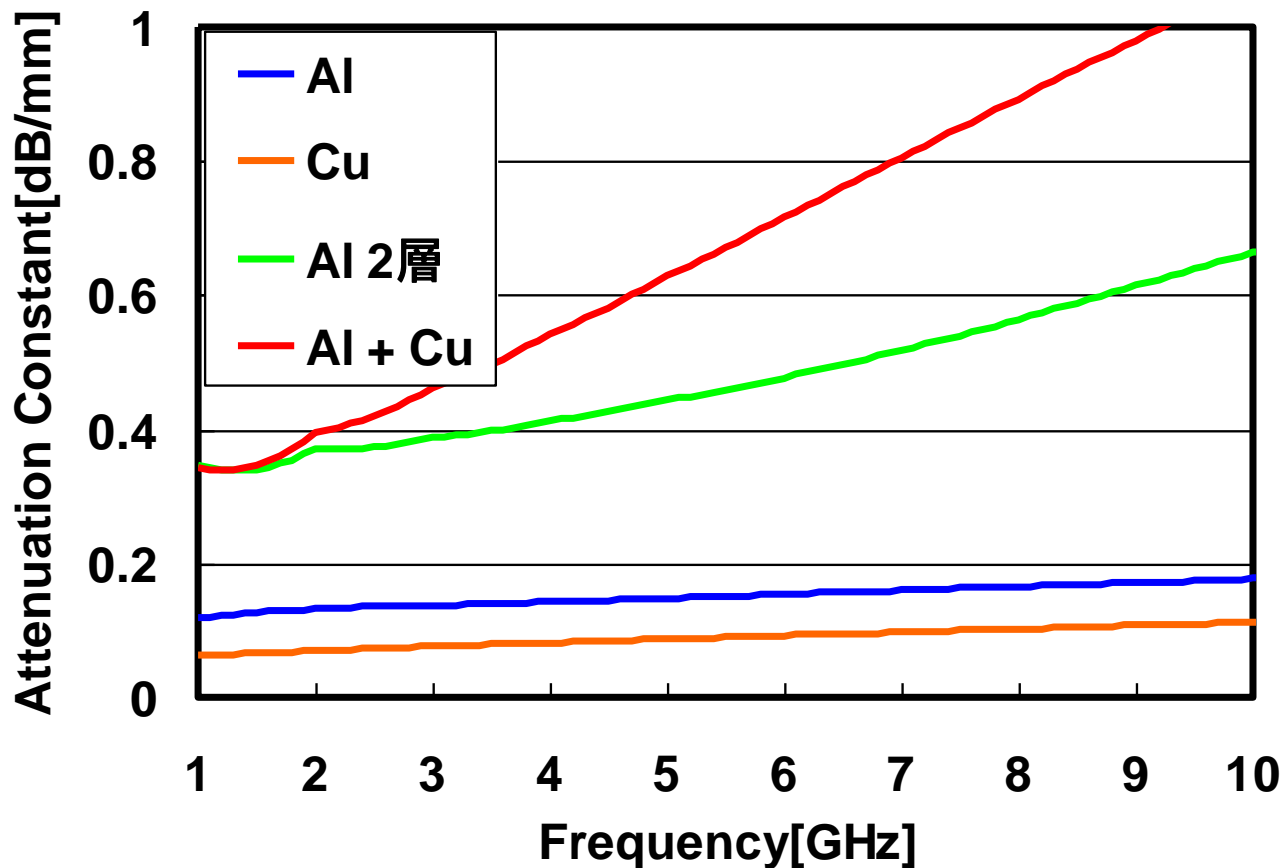
$$\alpha = \frac{R}{2Z_0} + G \cdot \frac{Z_0}{2}$$

$$Z_0 = \sqrt{\frac{(R + j\omega L)}{(G + j\omega C)}}$$

下の構造は上の構造に比べて
キャパシタンス 大
インダクタンス 小

→減衰係数が増加する





同じ材料を用いても2層構造の方が高周波では減衰係数が高い

- 異なる構造の2つの伝送線路を測定して減衰係数の比較を行った
- バリアメタルの影響にあわせ、2層にすることで特性インピーダンスが下がり、損失が増えることがわかった。ただし、バリアメタルの影響については、今回は十分に検討できなかった