

低キックバック・低雑音な比較器に関する検討

A Low-kickback and Low-noise Comparator

山岸 世明 宮原 正也 松澤 昭
Toshiaki Yamagishi Masaya Miyahara Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1. はじめに

比較器ベースの A/D 変換器 (ADC) において キックバックノイズは出力オフセットや有効分解能の劣化などの問題を引き起こす。キックバックの小さい比較器は報告されているが[1], キックバック低減と引換に感度劣化を生じる。今回比較器の感度劣化を抑え, かつ低キックバックな比較器の検討を行ったので報告する。

2. 従来回路

図 1 a,b に通常のダブルテール・ラッチ比較器と, それを低キックバック化したものを示す。通常の比較器では入力 T_r の寄生容量 C_{gd} を介して入力 T_r のドレインとゲートが容量結合してしまう。クロックが立ち上がるとドレインは V_{DD} から GND に動くため, 入力には,

$$-\frac{C_{gd}}{C_{gd} + C_{in}} V_{DD}$$

の電圧差が生じる。従来の低キックバック比較器では, スイッチを入力 T_r の上へカスコード接続し, ドレインの電圧変動を抑えることでキックバックを抑制している。しかしこの回路ではスイッチの雑音が差動で見えるため, 実効的に比較器の入力換算ノイズが増加する。

3. 提案回路

図 1c に提案回路を示す。提案回路では D_i ノードの逆相で動作する D_{ib} ノードと入力を, 入力 T_r と同一サイズのゲート容量で繋ぐことで, キックバックをキャンセルする。この手法では従来回路のようなスイッチの配置変更が不要になるため, 低雑音化の観点で有利である。

4. シミュレーション

図 2 に各比較器の 1mV 入力時の入力ノードの波形を示す。尚, 入力ゲートサイズは $W/L = 40\mu\text{m} / 0.1\mu\text{m}$, $C_{in} = 500\text{fF}$ である。通常の比較器では入力初期電圧 500mV に対し 37mV のキックバックが発生しているが, 従来型・提案型はそれぞれ 9mV, 18mV にキックバックを抑制している。図 3 に各比較器の不感帯を示す。通常の比較器の入力換算雑音 $105\mu\text{V}$ に対し従来型は $207\mu\text{V}$, 提案型は $132\mu\text{V}$ であり, 従来型に比べ低雑音化を実現している。

5. まとめ

低キックバック・低雑音な新規な比較器を提案し従来手法に迫る低キックバックを達成しつつ低雑音化が可能であることを確認した。

謝辞

本研究の一部は, 東京大学大規模集積システム設計教育研究センターを通し, 日本ケイデンス株式会社の協力で行われたものである。

参考文献

[1] Y.Asada et al, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," in ASSCC, Nov. 2009, pp. 141-144.

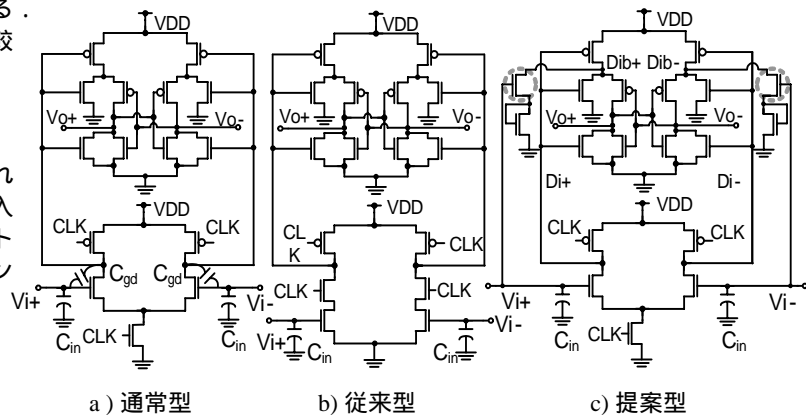


図 1. 各比較器の回路図

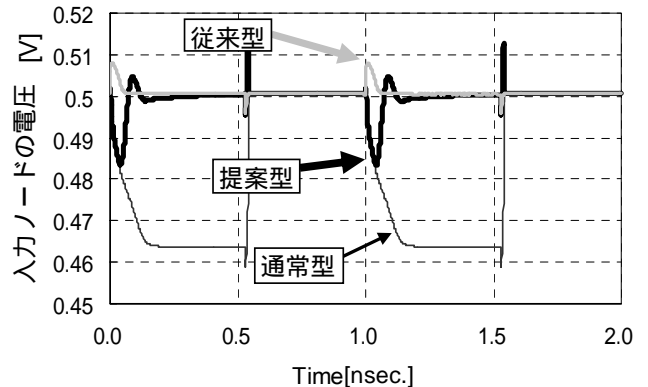


図 2. 各比較器の入力ノード波形

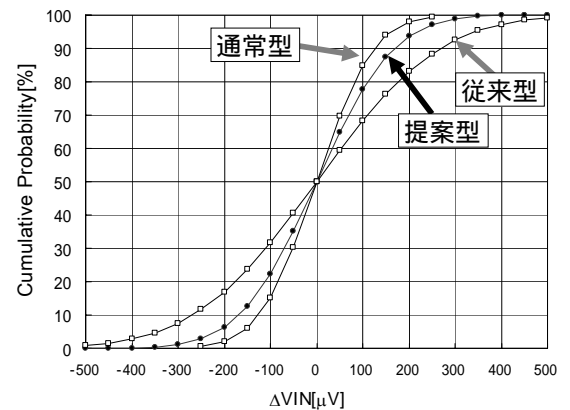


図 3. 各比較器の不感帯の比較