

3次元構造インダクタと底面配置回路を用いた 484- μm^2 21-GHz LC-VCO

A 484- μm^2 21-GHz LC-VCO beneath a Stacked-Spiral Inductor

村上 隼 岡田 健一 松澤 昭
Rui Murakami Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 はじめに

Si CMOS プロセスの微細化に伴い、低電圧で動作する高速・高精度なクロックジェネレータが求められるようになった。クロックジェネレータにはリング発振器または LC 発振器 (LC-VCO) が一般的に用いられる。リング発振器は面積が小さく、低周波では消費電力も小さくすることができる。しかし、LC-VCO と比較するとジッタ特性があまり良くなく、GHz オーダーの高速動作時には大きな消費電力を必要とする。リング発振器と比較して LC-VCO の面積が大きいのは受動素子、特にインダクタが大きく面積の大部分を占めるためである。

そこで、本研究では LC-VCO の小型化について検討した。3次元構造インダクタを用い、インダクタ底面に回路を配置することで LC-VCO の面積の大幅な縮小を実現した。

2 3次元構造インダクタと底面配置構造

LC-VCO は最も面積を小さくすることのできる NMOS クロスカップル型で構成し、その回路図を図 1(a) に示す。LC-VCO の共振器に Stacked-spiral 構造のインダクタを用いる。一般的に共振器に用いられる Mono-layer 構造と比較すると Q 値は 1/5 程度に劣化するが、面積を 1/40 程度にすることができるため、LC 共振器の大幅な面積縮小が可能である。

共振器に Stacked-spiral 型インダクタを用いることで、受動素子の面積を能動素子の面積と同程度にすることができる。更なる面積縮小のため、図 1(b) のようにインダクタの底面に VCO のコア回路を配置する構造を検討する。この構造を採用することで、回路面積を半分程度に縮小することが可能である。しかし、この構造にすることで、金属配線との磁界結合によるインダクタ特性の劣化が懸念される。インダクタンスの劣化は位相雑音や消費電力、出力信号振幅の劣化に繋がる。そのため、磁界結合は極力小さくすべきである。そこで、本回路においては、インダクタの信号線と底面配置した回路の配線が極力直交するようなレイアウト構造とした。

3 底面配置構造によるインダクタへの影響

回路の底面配置による影響を調べるため、電磁界シミュレータを用いてインダクタ特性のシミュレーションを行った。結果を図 2 に示す。底面にコア回路を配置したことで、インダクタの Q 値とインダクタンス共に 5% の劣化となり、位相雑音に換算すると、およそ 0.4dB の劣化となる。これは面積を半分にすることができることを考えれば、十分に許容範囲である。

4 測定結果

本回路について、実際に CMOS 65 nm プロセスを用いて試作を行った。測定結果を表 1 に示す。電源電圧 0.6 V とし、発振周波数は 21 GHz、位相雑音はオフセット周波数 1 MHz、10 MHz でそれぞれ -89 dBc/Hz、-110 dBc/Hz となり、このときの消費電力が 1.92 mW であった。

また、発振器の面積性能効率指標に FoMA というものがある。FoMA は次の式で表される [1]。

$$FoMA = \mathcal{L}(f_{\text{offset}}) - 20 \log \left(\frac{f_0}{f_{\text{offset}}} \right) + 10 \log \left(\frac{P_{\text{DC}}}{1 \text{ mW}} \right) + 10 \log \left(\frac{\text{Area}}{1 \text{ mm}^2} \right)$$

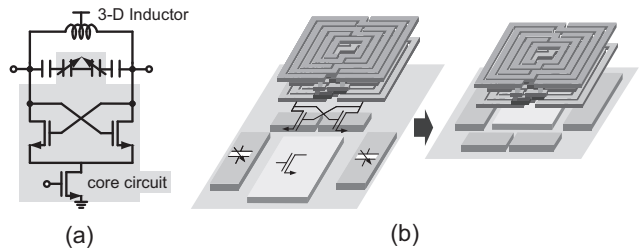


図 1 (a) LC-VCO 回路図, (b) コア回路のインダクタ底面配置

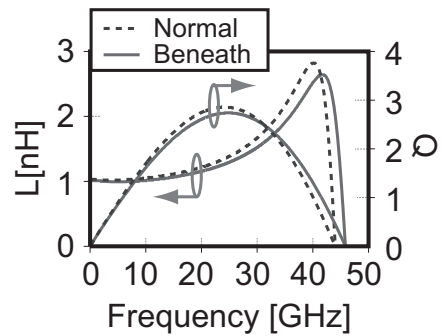


図 2 電磁界シミュレーションによる底面配置の影響解析

表 1 測定結果

V_{DD}	0.6 V
Frequency	21 GHz
Power consumption	1.92 mW
Phase noise	-110 dBc/Hz@1MHz
FoMA	-206 dBc/Hz

ここで、 $\mathcal{L}(f_{\text{offset}})$ は位相雑音、 f_{offset} はオフセット周波数、 f_0 は発振周波数、 P_{DC} は消費電力、Area は面積である。この式から、本回路の FoMA は -206 dBc/Hz となった。

5 まとめ

本研究では、インダクタに 3次元構造のインダクタを用い、インダクタ底面にコア回路を配置することで LC-VCO の面積削減を実現した。CMOS 65 nm プロセスを用いて回路を試作し、484 μm^2 、21 GHz、面積性能効率 FoMA で -206 dBc/Hz を達成した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、NEDO、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

参考文献

[1] S.-A. Yu and P.R. Kinget, *IEEE TCAS-II*, Vol. 56, No.5, pp. 354–358, May, 2009.