

基板バイアスによる比較器のオフセット補償技術に関する検討

A Study of comparator offset calibration using body biasing technique

浅澤 豊旗 山岸 世明 宮原 正也 松澤 昭
 Toyoki Asazawa Toshiaki Yamagishi Masaya Miyahara Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
 Department of Physical Electronics, Tokyo Institute of Technology

1. はじめに

A/D変換器(ADC)を構成する要素の中で比較器はADCの性能を決定する重要な要素の一つである。逐次比較型ADCやフラッシュ型ADCなどの比較器ベースのADCにおいて比較器のオフセット電圧ばらつきは有効分解能や出力コードのオフセットとしてADCの性能劣化に直結する問題である。

近年これを防ぐオフセット補償技術として様々な方法が提案されており、一つの方法として基板バイアスによる補償(BG補償)が提案されている[1]。このBG補償について、従来報告されている電流補償と比較し、シミュレーションにより評価したので報告する。

2. 回路構成

図1に比較器の回路図を示す。この比較器は入力差動信号を増幅する初段のダイナミックアンプと後段のラッチからなり[2]、オフセットの大部分は入力TrのV_{th}ミスマッチにより生じる。BG補償では入力Trの基板電圧を調整することで補償を行う。電流補償では入力Trに並列に挿入されたTrのゲート電圧の調整により補償を行う。本質的には両者とも、入力段でTrの電流量を調整することで補償を行っている。尚、各電圧は抵抗DACにより発生させている。

3. 解析

電流補償とBG補償が比較器の性能に与える影響を比較した。まず消費電力だが、基板バイアスがV_{th}を超えない範囲においては、殆ど抵抗DACでの消費電力で決まり両者に差はない。後段のラッチが動作するまでの遅延時間T_{set_i}は以下の式で与えられる。

$$T_{set_i} = \frac{C_L V_{cm}}{I_{ds} + I_c + I_{set}} \quad (1)$$

$$T_{set_{bg}} = \frac{C_L V_{cm}}{I_{ds} + I_c} \quad (2)$$

I_{set}は補償Trに十分なg_mを発生させるのに必要な電流、I_cはコモン電流である。この式から電流補償の方が遅延時間は小さいことがわかる。雑音はそれぞれ以下の式で近似できる。

$$\sigma_{in_i} \propto \sqrt{\left(\frac{g_{mc}}{g_m}\right)^2 \frac{kT}{C} + 4kT \frac{\gamma}{g_m} \frac{1}{2T_{set_i}} + 4kT \frac{g_{mc}}{g_m} \frac{\gamma}{g_m} \frac{1}{2T_{set_i}}} \quad (3)$$

$$\sigma_{in_{bg}} \propto \sqrt{\left(\frac{g_{mb}}{g_m}\right)^2 \frac{kT}{C} + 4kT \frac{\gamma}{g_m} \frac{1}{2T_{set_{bg}}}} \quad (4)$$

両式の最初の2項は抵抗DAC、入力Trでの熱雑音である。電流補償ではこれに補償Trでの熱雑音加わる。雑音のシミュレーション結果を次章で述べる。

4. シミュレーション

1V,12bit相当のADCを想定して入力換算雑音111μVの比較器を用いて評価を行った。シミュレーション条件は、各補償回路は入力トランジスタのオフセットが±3σで30mVの範囲を同じ精度で補償可能であることとした。各入力電圧に対して比較器の+の出力端子がHighを出す頻度の累積頻度分布を図2に示す。補償回路がない場合に比べてBG補償は115μV電流補償は123μVとなった。即ち、比較器の雑音111μVに対し補償回路の雑音は入力換算でBG補償では32μV、電流補償では54μVとなり、BG補償の方が低雑音であることが分かった。

5. まとめ

比較器のオフセットの補償方法としてBG補償と電流補償を補償ステップ、消費電力が同じ条件でシミュレーションにより比較し、BG補償の方が低雑音であることが分かった。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、並びに、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] Masato Yosioka, *IEEE ISSCC*, pp.384-385, Feb.2010.
- [2] Masaya Miyahara, *IEEE A-SSCC*, pp.269-272, Nov.2008

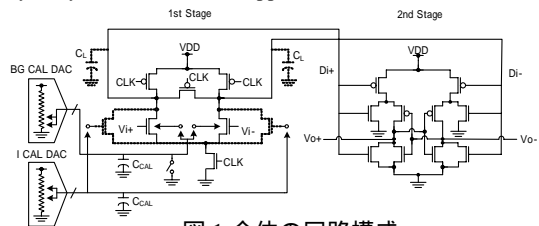


図1 全体の回路構成

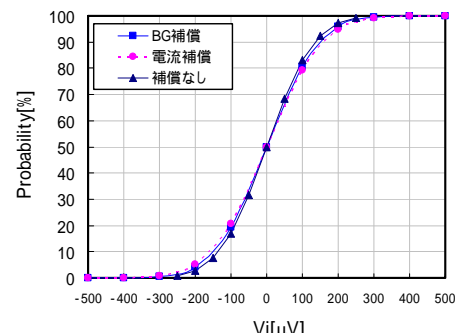


図2 各補償での入力換算ノイズの比較