

基板バイアスによる比較器の オフセット補償技術に関する検討

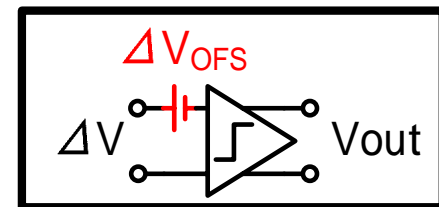
浅澤 豊旗, 山岸 世明, 宮原 正也, 松澤 昭

東京工業大学大学院理工学研究科
電子物理工学専攻

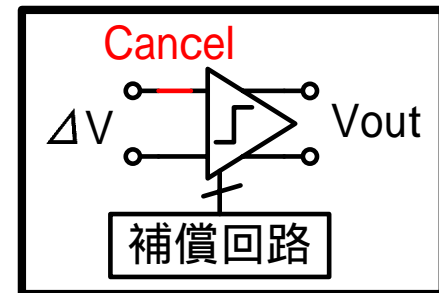
- 研究背景
- コンパレータ動作・オフセット
- 補償技術の比較
- シミュレーション結果
- 理論計算式との比較
- 結論

- SAR-AD変換器の高速, 高分解能, 低消費電力化が期待
 - **コンパレータ(比較器)**は性能を決める重要な要素

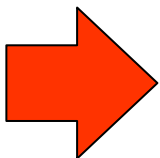
- 製造ばらつきによる**オフセット電圧**
-AD変換器の性能劣化の原因



- 補償回路によりオフセット電圧の
キャンセルが可能



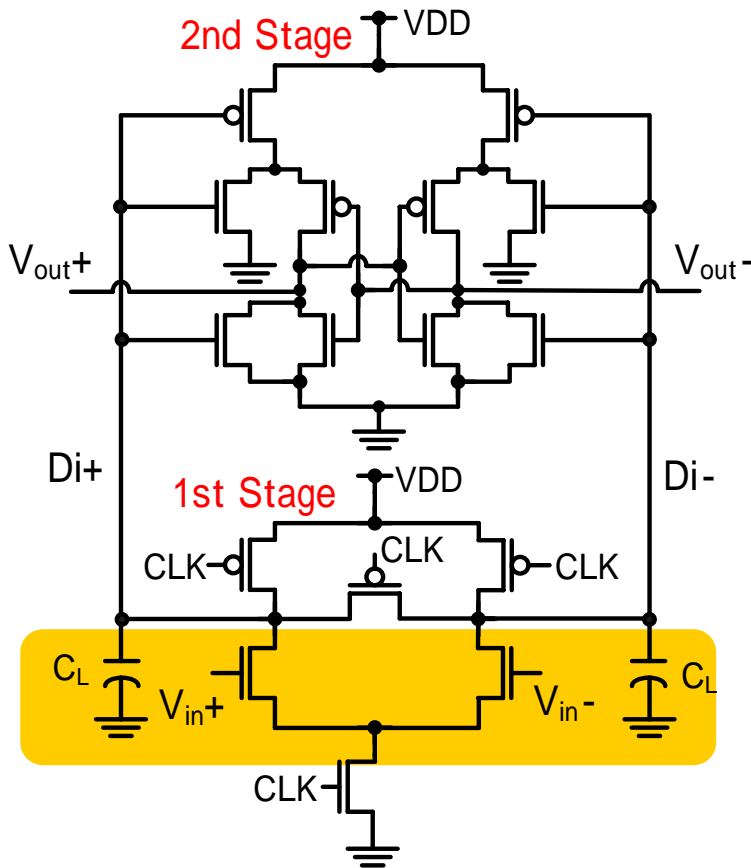
- 補償回路の導入によるコンパレータ自体の**ノイズ・速度等**の性能劣化が懸念される



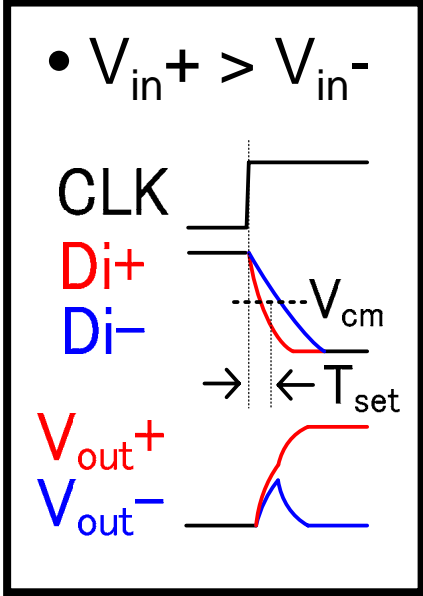
性能劣化の少ない補償技術が求められている

コンパレータ動作とオフセット原因

• ダブルテールラッチ型コンパレータ[1]



- 前段で入力電圧に応じた電流を流す.
- ノードDiのスルーレートに差が生じる.
- 後段のラッチ回路で差を感知する.



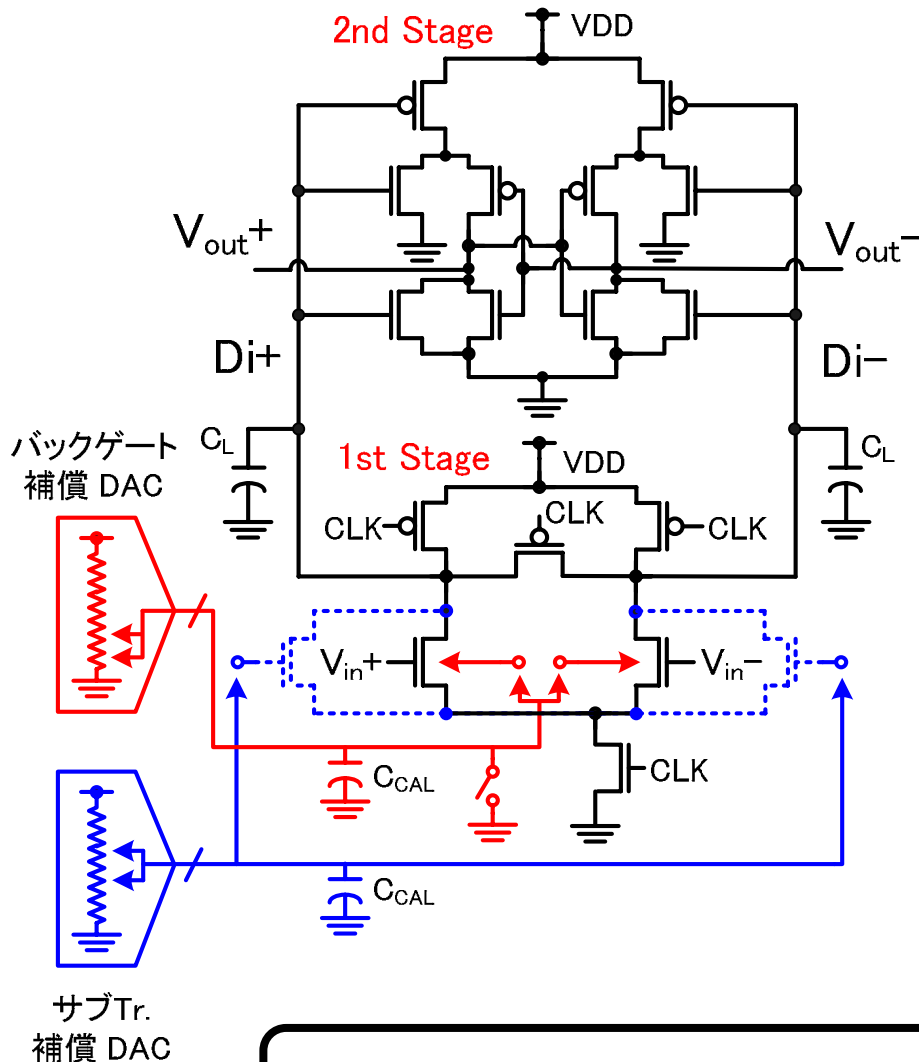
セット時間
スルーレート $T_{set} \approx \frac{C_L \cdot V_{cm}}{I_{ds}}$

• ミスマッチ
容量 C_L , 入力 Tr .

スルーレートが異なる
オフセット電圧として見える

スルーレートを調整できる補償回路によりオフセット補償

[1] Masaya Miyahara, ASSCC, pp.269-22, Nov.2008



- スルーレートを可変
 - 容量と電流 $T_{set} \approx \frac{C_L \cdot V_{cm}}{I_{ds}}$
- 容量補償



消費電力が増大

- 電流補償
 - バックゲート補償
 - サブトランジスタ補償

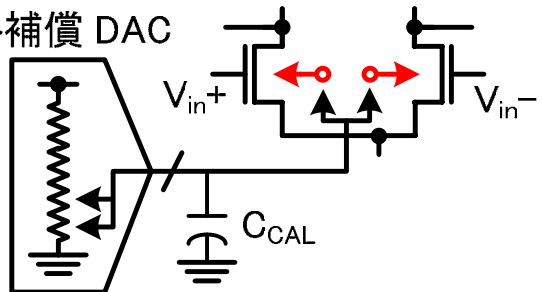


ノイズの増加が課題

2つの電流補償技術のノイズについて比較する

● バックゲート補償

バックゲート補償 DAC

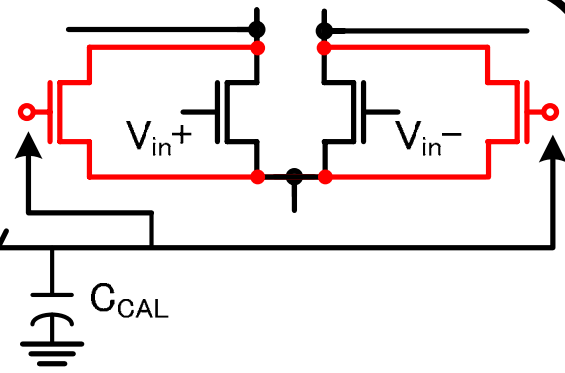


- 入力 Tr. のしきい値を制御

→ ノイズ増加要因

• DAC

● サブトランジスタ補償

サブTr.
補償 DAC

- サブ Tr. による電流制御

→ ノイズ増加要因

• DAC

• サブ Tr.

サブトランジスタ補償の方がノイズ発生源が多い

- セット時間

$$T_{\text{set_bg}} = \frac{C_L V_{\text{cm}}}{I_{\text{ds}} + I_C} \quad T_{\text{set_Sub-Tr.}} = \frac{C_L V_{\text{cm}}}{I_{\text{ds}} + I_C + I_{\text{set}}}$$

- バックゲート補償ノイズ

$$\sigma_{\text{in_bg}} \propto \sqrt{\left(\frac{g_{\text{mb}}}{g_m}\right)^2 \frac{kT}{C_{\text{CAL}}} + 4kT \frac{\gamma}{g_m} \frac{1}{2T_{\text{set_bg}}}}$$

ノイズ

DAC

入力 Tr.

サブ Tr.

- サブトランジスタ補償ノイズ

$$\sigma_{\text{in_Sub-Tr.}} \propto \sqrt{\left(\frac{g_{\text{mc}}}{g_m}\right)^2 \frac{kT}{C_{\text{CAL}}} + 4kT \frac{\gamma}{g_m} \frac{1}{2T_{\text{set_Sub-Tr.}}} + 4kT \frac{g_{\text{mc}}}{g_m} \frac{\gamma}{g_m} \frac{1}{2T_{\text{set_Sub-Tr.}}}}$$

セット時間短縮による入力Tr. ノイズの増大も予想できる

- 12bit SAR-AD変換器を想定

cmosプロセス 90nm

- 最小ステップ幅

バックゲート補償

$$\Delta V_{\min} = \frac{dV_{\text{th}}}{dV_{\text{bg}}} \Delta V_{\text{DAC}}$$

基板バイアスに対する
しきい値の変化量

➡ プロセスにより**固定**

サブトランジスタ補償

$$\Delta V_{\min} = \frac{g_{mc}}{g_m} \Delta V_{\text{DAC}} = \frac{W_{\text{Sub-Tr}}}{W_{\text{Main}}} \Delta V_{\text{DAC}}$$

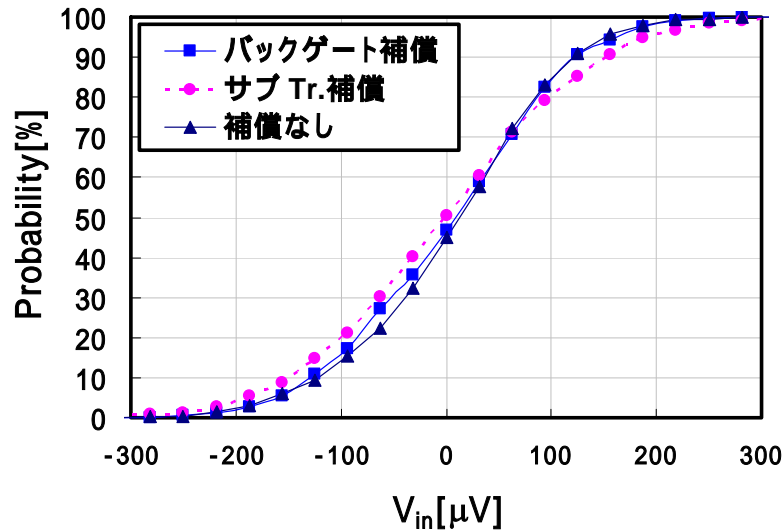
入力Tr.とサブTr.の幅の比率

➡ 設計により**可変**

➡ サブトランジスタ補償の方が自由度が高い

最小ステップ幅が同じ条件となるようにサブTr.を設定

+の出力がHighとなる累積頻度分布



入力換算ノイズ	σ_N
補償なし	94.5 μV
バックゲート	100.5 μV
サブTr.補償	117 μV

セット時間	$t_{SET} [ps]$
補償なし	53.25
バックゲート	51.38
サブTr.補償	47.47

補償なしに対するノイズ増加

- バックゲート補償 : 6.35%
- サブ Tr. 補償 : 23.8%

シミュレーションと計算結果の比較

補償無し

$$\sigma_{in_w/o\ CAL} \propto \sqrt{4kT \frac{\gamma}{g_m} \frac{1}{2T_{set}}}$$

=94.5 μ V

バックゲート
補償

$$\sigma_{in_bg} \propto \sqrt{\left(\frac{g_{mb}}{g_m}\right)^2 \frac{kT}{C_{CAL}} + 4kT \frac{\gamma}{g_m} \frac{1}{2T_{set_bg}}}$$

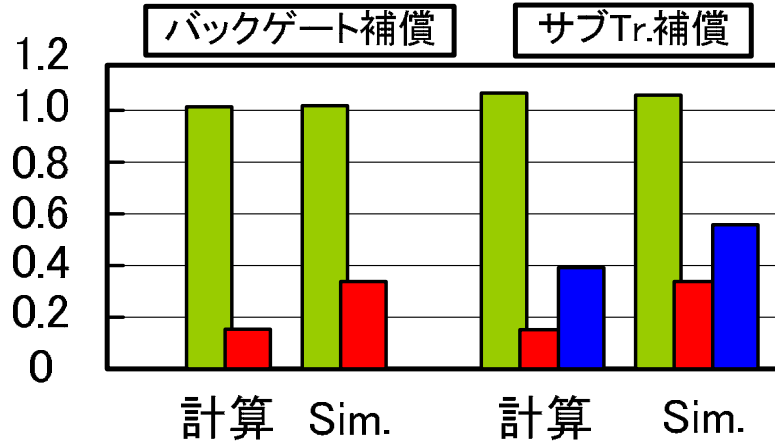
=100.5 μ V

サブTr. 補償

$$\sigma_{in_Sub-Tr.} \propto \sqrt{\left(\frac{g_{mc}}{g_m}\right)^2 \frac{kT}{C_{CAL}} + 4kT \frac{\gamma}{g_m} \frac{1}{2T_{set_Sub-Tr.}} + 4kT \frac{g_{mc}}{g_m} \frac{\gamma}{g_m} \frac{1}{2T_{set_Sub-Tr.}}}$$

=117 μ V

補償なしでの
入力Tr.ノイズ
で規格化



DACの追加による
ノイズの増加が
計算より大きい。

サブトランジスタの追加によるノイズ増加が確認できた

- ステップ幅を揃えた条件下で、バックゲート補償についてサブTr. 補償と比較して17%程度ノイズ増加を抑えることが可能であることをシミュレーションにより示した。
- キャリブレーション回路を追加した場合のノイズの増加についても考慮する必要がある。
- キャリブレーションの精度、レンジ、消費電力に関して今後検討する必要がある。